

КОРРЕКЦИЯ ТОПОЛОГИИ В АЛГОРИТМЕ СЖАТИЯ И КОМПЕНСАЦИЯ ОТСУТСТВИЯ ЭТОГО ЭТАПА

Миронов С. Э., Фролкин А. К.

Кафедра вычислительной техники, Санкт-Петербургский Государственный электротехнический университет «ЛЭТИ» им. В. И. Ульянова (Ленина)
Санкт-Петербург, Россия

E-mail: semironovspb@yandex.ru, anfrolkin@gmail.com

Статья посвящена описанию недостатков алгоритма сжатия топологии фрагментов БИС «в один проход» (без коррекции результатов) в системах технологически инвариантного проектирования. Описывается способ компенсации отсутствия этапа коррекции топологии в алгоритме сжатия.

ВВЕДЕНИЕ

Одной из основных отличительных особенностей современных микроэлектронных проектов является технологическая инвариантность – возможность настройки проекта на любые проектные нормы. Она достигается с помощью систем сжатия топологии, минимизирующих расстояние между элементами в соответствии с проектными нормами и задаваемыми разработчиком ограничениями на расположение отдельных частей топологии. В развитии методов технологически инвариантного проектирования топологии основными направлениями являются повышение плотности упаковки топологии и упрощение алгоритмов ее сжатия.

I. ДВУМЕРНОЕ СЖАТИЕ ТОПОЛОГИИ

Алгоритм сжатия, используемый в разработанной в СПбГЭТУ системе TopDesign [1], включает следующие этапы: сжатие по оси абсцисс, сжатие по оси ординат и обработка ограничений на взаимное расположение элементов топологии.

Сжатый фрагмент задается двумя элементами: файлом виртуальной топологии (*.vlf) и файлом реализации сжатия (*.хu), содержащим значения абсцисс и ординат виртуальных линий.

В исходном виде виртуальные линии находятся друг от друга на бесконечном расстоянии. Сжатие производится путем вычисления расстояния от рассматриваемой виртуальной линии до уже сжатой части топологии. Используемая при этом модель текущей части сжатой топологии называется частоколом [1]. Частокол представляет собой точное геометрическое описание последнего по данной оси появления элементов топологии для каждого слоя. В процессе сжатия осуществляется послойное раскрытие всех элементов, лежащих на очередной виртуальной линии, определяются минимальные расстояния от всех элементов во всех слоях до элементов частоккола и вычисляются значения координат для всех лежащих на очередной виртуальной линии элементов. Максимальная из этих координат и определит положение рассматриваемой виртуальной линии. При сжатии по оси ординат

дополнительно производится вычисление диагональных расстояний.

Ограничения на взаимное расположение элементов топологии задаются с помощью операторов языка управления сжатием в sps-файле.

II. НЕДОСТАТКИ АЛГОРИТМА СЖАТИЯ В ОДИН ПРОХОД (БЕЗ КОРРЕКЦИИ РЕЗУЛЬТАТОВ)

В используемом в системе TopDesign алгоритме двумерного управляемого сжатия топологии отсутствует такой важный этап, как коррекция топологии, полученной в результате смещения элементов топологии в направлении сжатия.

Такая организация алгоритма сжатия топологии приводит к принципиально неверной работе системы, выражающейся в возможном искажении топологии, которое может оказать принципиальное влияние не просто на количественные характеристики, а даже на работоспособность реализуемых схем.

Если одна часть элемента сместилась, а на пути у другой возникают препятствия, то размер элемента в результате сжатия увеличится. Это можно проиллюстрировать с помощью примера, приведенного на рис. 1.

На рис. 1 представлены топологический эскиз (рис. 1, а) и полученный в результате сжатия чертеж (рис. 1, б) топологии, состоящей из двух транзисторов, виртуальные ширины каналов которых составляют 6 шагов и 3 шага виртуальной сетки соответственно для левого и правого транзисторов.

На эскизе топологии, приведенном на рис. 1, а верхняя часть правого транзистора с виртуальной шириной канала 3 шага виртуальной сетки приподнята над большим 6-шаговым левым транзистором. Результатом такого смещения является «растяжение» правого транзистора при сжатии до размеров левого (рис. 1, б).

Из рис. 1, б видно, что:

- затвор, выходящий за пределы нижней части правого транзистора, останавливается, достигнув виртуальной линии, проходящей через точку привязки левого транзистора, на которой для наглядности расположен контакт;

– о виртуальную линию, проходящую через верхнюю часть затвора левого транзистора, «тормозится» топология, расположенная выше этой линии, а именно верхняя часть правого транзистора с контактом.

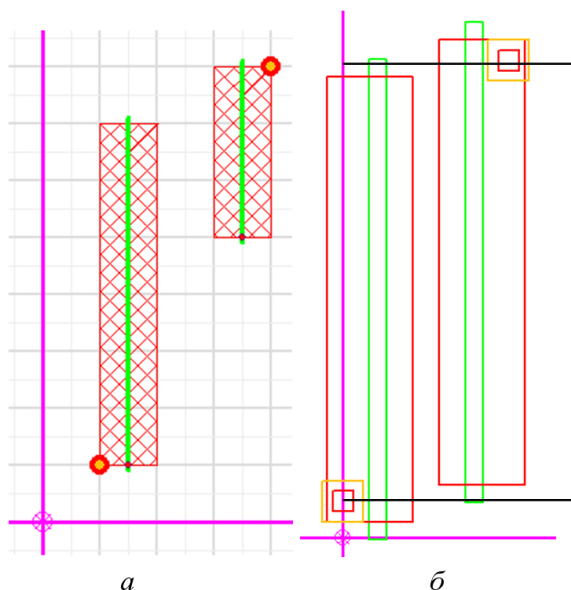


Рис. 1 – Искажение топологии при сжатии:
а) эскиз, б) топология

III. КОМПЕНСАЦИЯ ОТСУТСТВИЯ ЭТАПА КОРРЕКЦИИ ТОПОЛОГИИ В АЛГОРИТМЕ СЖАТИЯ

Метод борьбы с такими искажениями топологии и изменением характеристик схем может состоять в использовании средств управления сжатием для реализации механизма ограничения чрезмерных смещений элементов топологии.

Таким образом, для организации правильной работы систем на основе алгоритмов сжатия без этапа коррекции топологии необходимо с помощью средств управления сжатием отслеживать положение и размеры не только выводов ячеек – стыкуемых элементов топологии, расположенных на границах ячеек, но и активных элементов схем – транзисторов.

Для этого нужно предусматривать действия по вычислению корректирующих ограничений и выполнение сжатия с их учетом. Иллюстрацией к сказанному могут служить рис. 2, а и б, на которых соответственно приведены топологический эскиз и топологический чертеж двух транзисторов, аналогичных приведенным на рис. 1, а, с той разницей, что с целью регулирования ширины каналов в процессе сжатия в топологию введены две виртуальные линии VL1 и VL2.

На рис. 2, а горизонтальные виртуальные линии VL1 и VL2 проведены через верхнюю и нижнюю стороны символического обозначения правого транзистора. Из рис. 2, б видно, что для предотвращения «провисания» правого транзистора реальную ординату виртуальной линии

VL2 точки его привязки нужно ограничить величиной YR2, определяемой как разность реальной ординаты YR1 виртуальной линии VL1 и реальной ширины WR (являющейся функцией виртуальной ширины WV) канала правого транзистора, уменьшенной на величину Q «головки» контакта к активной области транзистора:

$$YR2 = YR1 - (WR - Q)$$

Следует отметить, что в примере на рис. 2 для нижнего закрылка правого транзистора ограничение не вводилось, чтобы не загромождать рисунок, хотя оно также может быть рассчитано как функция от ординаты YR1 виртуальной линии VL1 и технологических параметров.

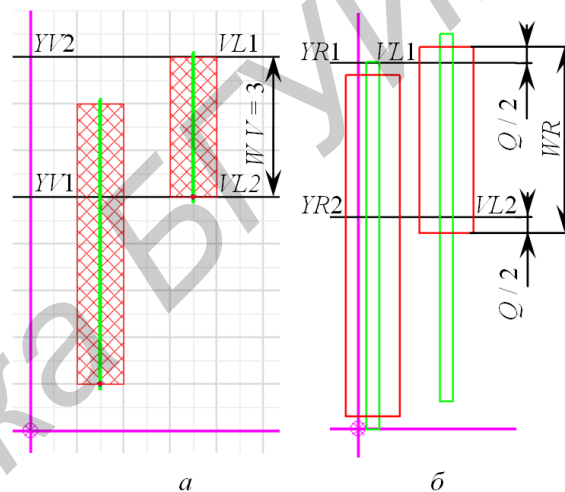


Рис. 2 – Сжатие топологии с корректирующими ограничениями а) эскиз, б) топология

Для исправления недостатков сжатия без этапа коррекции топологии были разработаны алгоритмы и программное средство Layout_Correction (результат работы которого и представлен на рис. 2, б), в автоматическом режиме выполняющее над топологией с дополнительно введенными виртуальными линиями перечисленные ниже действия.

1. Генерация топологии без ограничений на «провисание» элементов.
2. Считывание из полученного в результате сжатия файла координат виртуальных линий (файла с расширением *.ху) реальных координат, «провисающих» элементов.
3. Вычисление ограничений на положение «провисающих» элементов.
4. Подстановка ограничений в файл управления сжатием (файл с расширением *.cns).
5. Повторная генерация топологии с ограничениями на «провисание» элементов.

1. Зуев, И. С. Технологически инвариантная система проектирования топологии стандартных фрагментов МОП БИС / И. С. Зуев, А. Б. Максимов, С. Э. Мионов, Н. М. Сафьянников // Известия вузов. «Электроника», 2003. – № 3. – С. 63–70.