

РЕКУРСИВНЫЙ ПРОЦЕССОР УМНОЖИТЕЛЯ КВАТЕРНИОНОВ СО СТРУКТУРНОЙ CORDIC-ЛЕСТНИЧНОЙ ПАРАМЕТРИЗАЦИЕЙ

Петровский Н. А., Станкевич А. В.

Кафедра электронных вычислительных средств,

Белорусский государственный университет информатики и радиоэлектроники

Минск, Республика Беларусь

E-mail: nick@petrovsky.eu, stankevich@bsuir.by

Предлагается структура рекурсивного процессора умножителя кватернионов – базового элемента алгоритмов цифровой обработки сигналов на основе алгебры кватернионов. Умножитель реализован на лестничной схеме из 2D CORDIC модулей, которые включены по рекурсивной схеме, что, в отличие от прямой лестничной структуры, позволяет заменить операцию умножения действительных чисел микрооборотами CORDIC арифметики.

ВВЕДЕНИЕ

Алгебра кватернионов \mathbb{H} является ассоциативной некоммутативной четырёхмерной алгеброй $\mathbb{H} = \{\mathbf{q} = q_1 + q_2i + q_3j + q_4k \mid q_1, q_2, q_3, q_4 \in \mathbb{R}\}$, где ортогональные мнимые части подчиняются следующим законам умножения: $i^2 = j^2 = k^2 = ijk = -1, ij = -ji = k, jk = -kj = i, ki = -ik = j$. В цифровой обработке сигналов данная алгебра рассматривается как новая парадигма: 3-х и 4-х мерные сигналы могут представляться как одномерные, что упрощает обработку и моделирование сигналов. Во многих приложениях, например, в параунитарных банках фильтров, операция умножения кватерниона переменной x на кватернион константу \mathbf{q} играет доминирующую роль. Оба операнда нормированные кватернионы, т.е. $\|\mathbf{q}\| = 1$. При этом, стоит задача уменьшить число действительных умножений конструируя умножитель на основе структурной лестничной параметризации [1], либо применяя гибридную схему CORDIC-лестничной параметризации, которая позволяет интегрировать CORDIC-алгоритм «внутри» лестничной схемы умножителя, заменив действительные умножения на микрообороты CORDIC-алгоритма: сложение и сдвиг [2].

Существует две матрицы умножения кватернионов справа $\mathbf{M}^-(q)$ и слева $\mathbf{M}^+(q)$, связанные следующими соотношениями $\mathbf{M}^\mp(q) = \mathbf{D}_C \mathbf{M}^\pm(\bar{q}) \mathbf{D}_C$, где $\bar{q} = q_1 - q_2i - q_3j - q_4k$ определяет сопряжённый кватернион, $\mathbf{D}_C = \text{diag}(1, -\mathbf{I}_3)$ — оператор гиперкомплексного сопряжения $\bar{\mathbf{q}} = \mathbf{D}_C \mathbf{q}$.

В данной работе предлагается схема рекурсивного процессора умножителя кватернионов на основе структурной CORDIC-лестничной параметризации матрицы умножения кватернионов, которая, в отличие от поточного умножителя [2], характеризуется меньшими затратами оборудования и меньшей потребляемой мощностью при заданной производительности процессора умножителя за счёт использования един-

ственного процессорного ядра 2D CORDIC алгоритма.

I. ГИБРИДНАЯ СХЕМА CORDIC-ЛЕСТНИЧНОЙ ПАРАМЕТРИЗАЦИИ

Матрицу умножения кватернионов $\mathbf{M}^\pm(q)$ можно представить в виде следующей блочной матрицы:

$$\mathbf{M}^+(q) = \begin{bmatrix} \mathbf{C}(q) & -\mathbf{S}(q) \\ \mathbf{S}(q) & \mathbf{C}(q) \end{bmatrix}, \text{ где}$$

$$\mathbf{C}(q) = \begin{bmatrix} q_1 & -q_2 \\ q_2 & q_1 \end{bmatrix}, \mathbf{S}(q) = \begin{bmatrix} q_3 & q_4 \\ q_4 & -q_3 \end{bmatrix}.$$

Далее на основе известной трёх сдвиговой лестничной факторизации двумерной матрицы поворота можно получить следующую факторизацию матрицы умножения [1]:

$$\mathbf{M}^+(q) = \underbrace{\begin{bmatrix} \mathbf{I}_2 & \mathbf{F}(q) \\ \mathbf{0} & \mathbf{I}_2 \end{bmatrix}}_{\mathbf{U}(q)} \underbrace{\begin{bmatrix} \mathbf{I}_2 & \mathbf{0} \\ \mathbf{G}(q) & \mathbf{I}_2 \end{bmatrix}}_{\mathbf{L}(q)} \underbrace{\begin{bmatrix} \mathbf{I}_2 & \mathbf{H}(q) \\ \mathbf{0} & \mathbf{I}_2 \end{bmatrix}}_{\mathbf{V}(q)}$$

Для заданного коэффициента q и матрицы умножения, например, $\mathbf{M}^+(q)$ определяется набор матричных выражений [1], которые могут быть решены однозначно для $\mathbf{F}(q)$, $\mathbf{G}(q)$, и $\mathbf{H}(q)$, при условии, что $\mathbf{S}(q)$ является несингулярной, а точнее ненулевой матрицей

$$\mathbf{F}(q) = (\mathbf{C}(q) - \mathbf{I}_2) \mathbf{S}(q)^{-1},$$

$$\mathbf{G}(q) = \mathbf{S}(q), \mathbf{H}(q) = \mathbf{S}(q)^{-1} (\mathbf{C}(q) - \mathbf{I}_2).$$

Элементы данных матриц представляют собой вещественные коэффициенты лестничной схемы. Инверсия треугольных матриц потребует только изменения знака их недиагональных элементов (лестничных коэффициентов). Таким образом, умножение на $1/q$, или на эквивалентный \bar{q} , реализуется применением шагов лестничного алгоритма с обратными коэффициентами. CORDIC алгоритм основывается на факторизации матрицы поворота Гивенса $\mathbf{R}(\phi)$ следующим образом

$$\mathbf{R}(\phi) \approx S_{\text{tot}} \prod_{n=0}^{N-1} \begin{bmatrix} 1 & -\sigma(n)2^{-\tau(n)} \\ \sigma(n)2^{-\tau(n)} & 1 \end{bmatrix},$$

где N , $\sigma(n)$, и $\tau(n)$ выбираются так, чтобы аппроксимировать оборот на угол ϕ . Матрица с правой стороны выражения описывает итерацию CORDIC алгоритма: элементарный оборот или микрооборот. Не смотря на то, что поворот на угол ϕ осуществляется для $\cos(\phi) \geq 0$, и $|\cos(\phi)| \geq |\sin(\phi)|$, вращение на произвольный угол можно осуществить добавлением простой пре- и пост- обработки на соответствующий под-ходящий угол $\tilde{\phi}$:

$$\mathbf{R}(\phi) = \mathbf{P}_{\text{post}} \mathbf{R}(\tilde{\phi}) \mathbf{P}_{\text{pre}}$$

Представляя кватернион в полярной форме

$$\mathbf{q} = |\mathbf{q}| e^{i\phi} e^{j\psi} e^{k\chi},$$

где $-\pi \leq \phi < \pi$, $-\pi/2 \leq \psi \leq \pi/2$, и $-\pi/2 \leq \chi \leq \pi/2$, $|\mathbf{q}|$ — модуль кватерниона q , и полагая, что $|\mathbf{q}| = 1$, можно выразить коэффициенты лестничной схемы умножителя кватернионов в следующем виде:

$$f_{11}(q) = -f_{22}(q); f_{12}(q) = f_{21}(q); g_{11}(q) = -g_{22}(q); g_{12}(q) = g_{21}(q); h_{11}(q) = -h_{22}(q); h_{12}(q) = h_{21}(q).$$

Видно что, матрицы $\mathbf{F}(q)$, $\mathbf{G}(q)$, и $\mathbf{H}(q)$ имеют структуру близкую к матрице вращения $\mathbf{R}(\phi)$, например, матрица $\mathbf{F}(q)$ имеет вид:

$$\begin{bmatrix} f_{11}(q) & f_{12}(q) \\ f_{12}(q) & -f_{11}(q) \end{bmatrix} = \mathbf{J}_2 \begin{bmatrix} f_{12}(q) & -f_{11}(q) \\ f_{11}(q) & f_{12}(q) \end{bmatrix}$$

Таким образом, данные матрицы могут быть аппроксимированы с использованием CORDIC-алгоритма. Прямая схема умножителя кватернионов на основе лестничной параметризации со встроенным CORDIC модулем показана на рис.1.

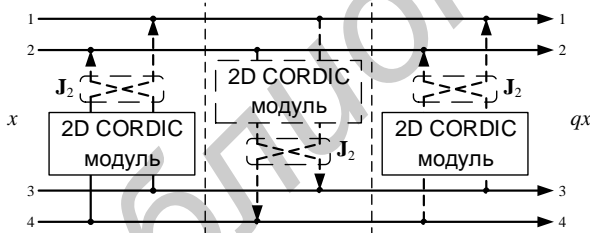


Рис. 1 – Умножитель кватернионов на основе гибридной схемы.

II. РЕКУРСИВНЫЙ ПРОЦЕССОР УМНОЖИТЕЛЯ

Динамический диапазон схемы (рис.1.) может быть всегда ограничен, т.к. значения всех лестничных коэффициентов не превышают единицу. Это достигается заменой кватерниона q на кватернион \tilde{q} , являющегося версией кватерниона q с переставленными и/или изменёнными частями. При этом, для получения корректного результата потребуется только соответствующая пре и пост обработка: $\mathbf{M}^{\pm}(q) = \mathbf{P}_{\text{post}} \mathbf{M}^{\pm}(\tilde{q}) \mathbf{P}_{\text{pre}}$.

Предлагается реализовать умножитель кватернионов (рис.1) путём включения 2D CORDIC

модуля в структуру рекурсивного процессора (рис.2), а так же универсального блока перестановок по схеме \mathbf{P}_{pre} и \mathbf{P}_{post} , как для умножения на кватернион q , так и для CORDIC-алгоритма по приведению угла поворота $\tilde{\phi}$ к ϕ . Таким образом, ядром рекурсивного процессора является 2D CORDIC модуль и 2 сумматора-вычитателя, которые предназначены для выполнения этапов лестничной схемы.

Предложенная схема рекурсивного процессора даёт эквивалентный результат относительно известного решения [2], но требует меньше аппаратных затрат.

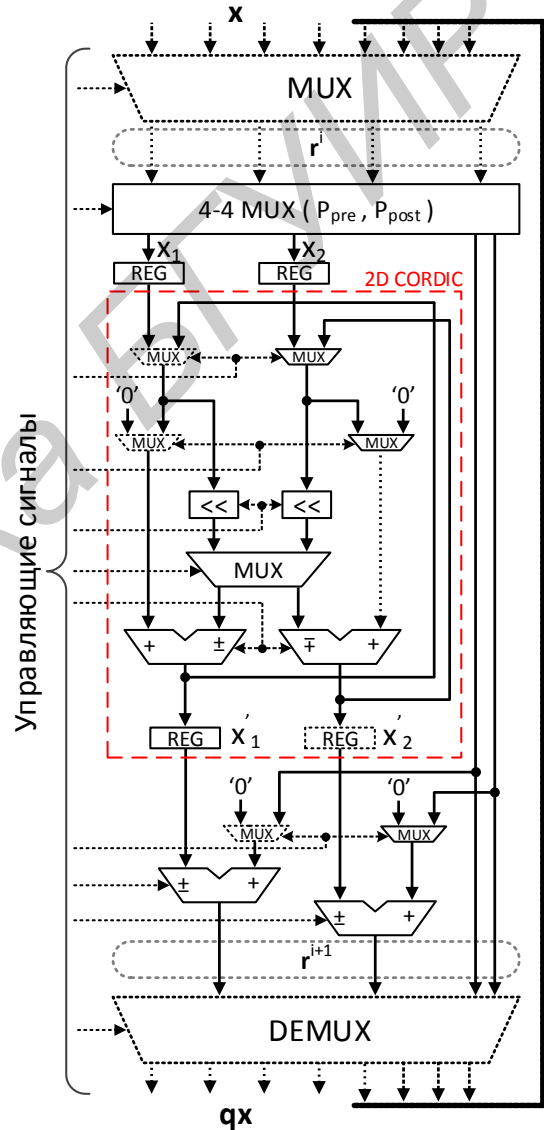


Рис. 2 – Рекурсивный процессор умножителя кватернионов со структурной CORDIC-лестничной параметризацией.

1. Parfieniuk, M. Quaternion multiplier inspired by the lifting implementation of plane rotations / M. Parfieniuk, A. Petrovsky // *IEEE Trans. Circuits Syst. I.* – Oct. 2010. – Vol. 90, № 10. – P. 2708–2717.
2. Petrovsky, N. The CORDIC-inside-Lifting Architecture for Constant-Coefficient Hardware Quaternion Multipliers / N.Petrovsky, M. Parfieniuk // *International Conference on Signals and Electronic Systems (ICSSES'2012)* – Sep. 2012. – Wroclaw, Poland – 6 P.