

ПРИМЕНЕНИЕ КОНВЕЙЕРИЗАЦИИ ДЛЯ УВЕЛИЧЕНИЯ БЫСТРОДЕЙСТВИЯ ЛОГИЧЕСКИХ СХЕМ

П.Н. БИБИЛО, Н.А. КИРИЕНКО

*Объединенный институт проблем информатики Национальной академии наук Беларуси
ул. Сурганова, 6, г. Минск, 220012, Республика Беларусь
kir@newman.bas-net.by*

Рассматривается построение конвейерных структур с целью повышения быстродействия синтезируемых логических схем. Приводятся результаты экспериментального исследования по определению характеристик конвейеризованных схем. Сделаны выводы о значительном увеличении сложности конвейеризованной схемы и потребляемого ею тока.

Ключевые слова: конвейерные структуры, быстродействие логических схем, энергопотребление цифровых устройств.

Для некоторых специальных применений требуется синтез логических схем, обеспечивающих максимальное быстродействие, однако такие опции синтеза в промышленных синтезаторах, например, в LeonardoSpectrum (фирма Mentor Graphics) [1], отсутствуют. В данной работе достижение максимальных показателей быстродействия комбинационных нерегулярных логических схем предлагается осуществлять с помощью конвейеризации.

Получение конвейеризованных логических схем осуществляется в два этапа. На этапе 1 выполняется синтез нерегулярных комбинационных схем с помощью синтезаторов (LeonardoSpectrum либо других). На этапе 2 осуществляется преобразование полученных описаний логических схем в конвейеризованные структуры, для которых функционирование осуществляется по систолическому принципу: все сигналы из выходов одного уровня (каскада) конвейера поступают одновременно на вход следующего каскада конвейера. Этап 2 выполняется с помощью системы синтеза конвейерных логических схем ArCon [2]. Для построения конвейеризованной структуры элементы схемы разбиваются на каскады и между элементами соседних каскадов устанавливаются триггеры. Для уменьшения нагрузочной способности (увеличения быстродействия) производится дублирование логических элементов так, чтобы сигнал с выхода любого логического элемента поступал на вход только одного логического элемента следующего каскада. Удаляются инверторы в схеме, если используемый для конвейеризации триггер имеет инверсный выход. Быстродействие конвейеризованной схемы определяется задержкой самого «медленного» элемента, эта задержка и определит длину периода синхросигнала для триггеров. В связи с добавлением в схему большого количества триггеров значительно возрастает ее энергопотребление.

Проведено экспериментальное исследование с целью определения степени возрастания сложности и энергопотребления конвейеризованных схем, синтезированных в различных системах. В проведенных экспериментах синтез на этапе 1 выполнялся двумя различными системами – LeonardoSpectrum и СиВер [3]. Схемы для экспериментов выбирались из набора тестовых примеров [4]. Измерение энергопотребления осуществлялось с помощью схемотехнического моделирования описаний схем на транзисторном уровне в системе Accusim (фирма Mentor Graphics).

Результаты экспериментов представлены в табл. 1, где L – число элементов в схеме до конвейеризации; $L_{дубл}$ – число элементов схемы после дублирования элемен-

тов; $L_{рез}$ – число элементов (включая триггеры) в конвейеризованной схеме; p – число каскадов (уровней) схемы; R – суммарное число транзисторов во всех элементах схемы до конвейеризации; $R_{рез}$ – суммарное число транзисторов во всех элементах схемы, включая триггеры, после конвейеризации; A – средний потребляемый исходной схемой ток в миллиамперах (мА); $A_{рез}$ – средний потребляемый конвейеризованной схемой ток (мА). Лучшие решения (схемы с меньшим числом транзисторов и потребляющие меньший ток) помечены в таблице 1 жирным шрифтом.

Табл. 1. Оценка энергопотребления конвейеризованных логических схем

Имя схемы	L	$L_{общ}$	$L_{рез}$	p	R	A , мА	$R_{рез}$	$A_{рез}$, мА
Синтезатор LeonardoSpectrum								
add6	1176	2662	2466 4	21	6592	4,94	715564	780
b12	81	129	1144	10	426	0,44	33050	37,9
dist	301	655	4136	14	1588	0,93	114652	102
life	68	117	884	13	352	0,35	25106	27,83
mlp4	461	1024	6697	15	2392	1,05	185998	157
root	155	340	2186	14	796	0,68	60720	62,25
ryy6	11	11	51	4	74	0,08	1354	1,68
z5xp	410	924	5573	14	2168	1,19	153758	135
z9sym	158	340	2675	19	854	0,77	76294	69,6
Среднее значение					1693,56	1,16	151832,89	152,58
Синтезатор СиВер								
add6	285	402	3551	26	1238	2,75	102428	85,12
b12	186	239	1424	14	776	1,21	38840	42,49
dist	585	811	3770	16	2554	6,31	97948	100
life	104	131	581	17	434	0,88	14940	15,95
mlp4	516	746	3908	16	2294	5,03	104172	114
root	266	351	1570	15	1106	2,13	40378	43,41
ryy6	61	69	559	29	234	0,46	15948	13,75
z5xp1	221	306	1641	13	956	1,78	43918	46,68
z9sym	138	178	725	17	580	1,23	18232	20,49
Среднее значение					1130,22	2,42	52978,22	53,54

Проведенный эксперимент позволяет сделать вывод о значительном увеличении сложности конвейеризованной схемы и потребляемого ею тока. Но для данного потока примеров синтезатор СиВер по сравнению с синтезатором LeonardoSpectrum позволил получить схемы, характеризующиеся меньшим возрастанием потребляемого тока.

Список литературы

1. Бибило П.Н. Системы проектирования интегральных схем на основе языка VHDL. StateCAD, ModelSim, LeonardoSpectrum. М., 2005.
2. Бибило П.Н., Кириенко Н.А., Романов В.И. Архитектура системы синтеза конвейерных логических схем // Информационные технологии и системы 2012 (ИТС 2012): материалы международной научной конференции, БГУИР, Минск. – Минск : БГУИР, 2012. – С. 184 – 185.
3. Бибило П.Н., Кардаш С.Н., Романов В.И. СиВер – система синтеза и верификации комбинационных логических схем. // Информатика. – 2006. – N 4. – С. 79 – 87.
4. Berkeley PLA test set [Электронный ресурс]. – Режим доступа: <http://www1.cs.columbia.edu/~cs4861/sis/espresso-examples/ex/>. – Дата доступа: 10.10.2011.