

Разработка и оптимизация IP-компонент для реализации интерфейса Ethernet

Сидоров С.В.; Байрак С.А.; Татур М.М.

Кафедра электронных вычислительных машин

Белорусский государственный университет информатики и радиоэлектроники

Минск, Республика Беларусь

e-mail: finist1988@gmail.com, bairak@bsuir.by

Аннотация—В данной работе проведено исследование возможных вариантов реализации интерфейса Gigabit Ethernet для ПЛИС и сравнение с доступными на рынке универсальными IP-компонентами. Для этого разработана система, содержащая: клиентскую логику, буферные модули, Ethernet контроллер. Для обеспечения опциональной гарантированной доставки разработан и реализован простой и эффективный протокол. Данные передаются на ПЭВМ, оснащенную сетевым адаптером, захватываются с помощью кроссплатформенной библиотеки Rcar и визуализируются в прикладном ПО.

Ключевые слова: Gigabit Ethernet; GMII; FPGA; VHDL; Rcar

1. ВВЕДЕНИЕ

Большинству решений на базе ПЛИС необходим высокоскоростной интерфейс для обмена данными с внешними устройствами. Протокол Gigabit Ethernet на основе стандарта IEEE 802.3 обеспечивает высокоскоростной и дешевый канал связи, для передачи информации на большие расстояния.

Одним из самых распространенных решений является использование стандарта Ethernet в качестве интерфейса передачи данных от устройства к устройству. Наиболее актуальным вариантом данного стандарта для применения в массовых и недорогих устройствах является Gigabit Ethernet, который обладает теоретической пропускной 1 Гбит/с на расстоянии до 100 метров при использовании кабеля Cat-5. Его особенностями являются большое количество различных вариантов аппаратной реализации, относительно низкая стоимость и массовая поддержка со стороны других устройств.

Стандарт Ethernet соответствует двум уровням стека протоколов OSI/ISO – физическому (PHY) и уровню передачи данных, который в свою очередь подразделяется на подуровень доступа к среде (MAC) и подуровень управления логическим соединением (LLC). Взаимодействие между уровнями PHY и MAC обеспечивает интерфейс GMII [1].

Эффективная реализация Gigabit Ethernet с необходимой функциональностью, небольшой площадью на кристалле и низким энергопотреблением является важной задачей при разработке решений на основе ПЛИС с малой логической емкостью.

II. АРХИТЕКТУРА СИСТЕМЫ С ИНТЕРФЕЙСОМ ETHERNET

Архитектура разработанной системы изображена на Рис. 1. Основной функционал ПЛИС реализуется в логике клиента. Клиент взаимодействует с интерфейсом Ethernet через буферы FIFO.

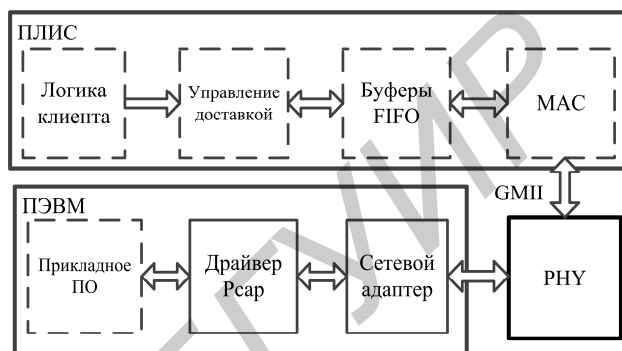


Рис. 1. Структурная схема системы

При передаче контроллер MAC, реализованный в ПЛИС, формирует пакеты из данных в буфере. По интерфейсу GMII пакеты передаются в микросхему PHY, которая передает данные через среду передачи на сетевую карту ПЭВМ, где происходит их захват драйвером Rcar и обработка прикладным ПО.

При приеме пакеты данных формируются с помощью прикладного ПО и обрабатываются контроллером MAC, который записывает их в буфер.

При необходимости в систему добавляется модуль управления доставкой, который обеспечивает надежную передачу данных с помощью механизма подтверждений.

Возможны также модификации описанной архитектуры:

- Реализация PHY и контроллера MAC в ПЛИС;
- Размещение PHY и контроллера MAC во внешней микросхеме [2];
- Программная обработка данных через API сокетов, которая требует аппаратной реализации дополнительных сетевых уровней на стороне ПЛИС [3];

Все подходы имеют преимущества и недостатки и должны рассматриваться при решении конкретных задач, однако описанная архитектура обладает оптимальным соотношением характеристик и подходит для большинства задач.

III. ТЕХНИЧЕСКИЕ РЕШЕНИЯ

A. Архитектура контроллера MAC

Ключевым элементом реализации в ПЛИС является контроллер MAC. На Рис.2 изображена архитектура разработанного контроллера MAC.

Основной задачей при реализации MAC контроллера в ПЛИС является обеспечение частоты функционирования Gigabit Ethernet в 125 МГц.

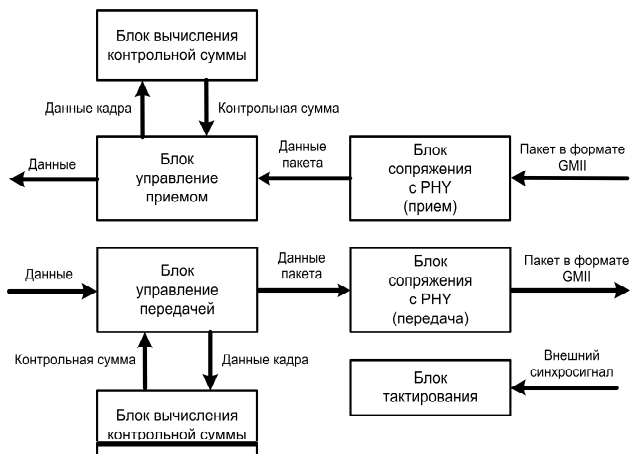


Рис. 2 Архитектура контроллера MAC

При заполнении кристалла ПЛИС более чем на 80% частотные характеристики ухудшаются, поэтому необходим определенный запас по максимальной частоте функционирования. В то же время необходим компромисс между количеством используемых ресурсов и скоростью. Буферизация входов и выходов блоков управления обеспечивает необходимые частотные характеристики, и в то же время использует минимальное количество дополнительных ресурсов.

Эффективная реализация параллельного вычисления контрольной суммы CRC-32 по методике описанной в [4], обеспечивает снижение общих аппаратных затрат на данную операцию, по сравнению с другими методами.

Данная архитектура обеспечивает высокую степень модульности контроллера MAC, благодаря полному разделению трактов передачи и приема, что значительно упрощает его адаптацию в различных приложениях.

Исключение из функционала IP-компоненты дополнительных функций, таких как поддержка VLAN, режима 10/100 Мбит/с и др. позволяет снизить требования к площади на кристалле и энергопотреблению. Другие функции, такие как управляющий интерфейс и управление потоком, могут быть добавлены опционально в качестве дополнительных модулей.

В. Протокол гарантированной доставки

Использование в качестве элементной базы ПЛИС малой емкости налагает серьезные ограничения на возможность использования сложных протоколов гарантированной доставки. В частности, протоколы скользящего окна требуют большое количество внутренней памяти для хранения данных окна. Наиболее эффективно использует ресурсы простой протокол с подтверждениями на каждый пакет данных, изображенный на Рис. 3.

Его преимуществом является минимально возможное использование памяти, так как он хранит только один полный пакет данных, но серьезным недостатком является значительное снижение пропускной способности интерфейса.

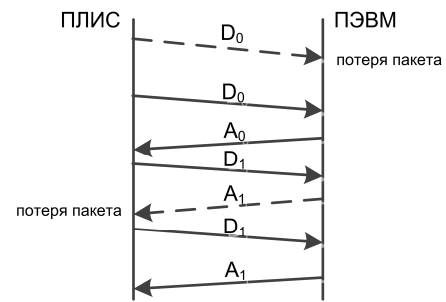


Рис. 3 Протокол гарантированной доставки

IV. СРАВНЕНИЕ ХАРАКТЕРИСТИК

Для оценки экспериментальных результатов использовалась макетная плата Xilinx SP601 с микросхемой ПЛИС Spartan-6 XC6SLX16-2CSG324 и PHY Marvell Alaska 88E1111, ПЭВМ с сетевой картой Gigabit Ethernet. Использование ресурсов оценивалось инструментами среды разработки Xilinx ISE Design Suite. Результаты сравнения с IP-компонентой от Xilinx приведены на Рис. 4

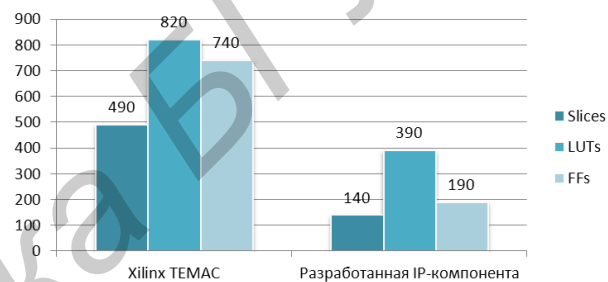


Рис. 4 Сравнение использования ресурсов ПЛИС

Измерение пропускной способности гарантированной доставки проводилось прикладным ПО, разработанным на основе архитектуры Pсар. Результат изображен на Рис. 5.

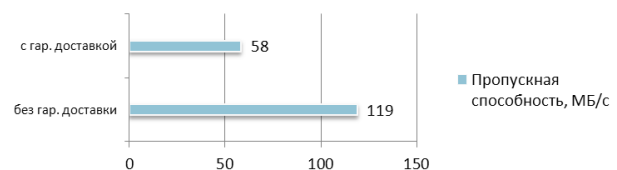


Рис. 5 Эффективность протокола гарантированной доставки

- [1] IEEE 802.3-2008 [Электронный ресурс]. – Электронные данные. – Режим доступа: <http://standards.ieee.org/about/get/802/802.3.html>.
- [2] Weihua Zhang, Zhonghui Wei, Xin He, Peiyu Qiao, Guolong Liang, "The design of high speed image acquisition system over Gigabit Ethernet" Wireless Communications, Networking and Information Security (WCNIS 2010), IEEE Conference, June 2010, pp. 111-115, doi: 10.1109/WCINS.2010.5541900.
- [3] Nikolaos Alachiotis, Simon A. Berger, Alexandros Stamatakis "Efficient PC-FPGA Communication Over Gigabit Ethernet" Computer and Information Technology (CIT 2010), IEEE Conference, September 2010, 1727-1734, doi: 10.1109/CIT.2010.302.
- [4] E. Stavinov "A Practical Parallel CRC Generation Method", Circuit Cellar, January 2010, Issue 234, pp. 38-45.