

# Контроль критически длинных цепей встроенных цифровых систем

Золоторевич Л.А

Кафедра электронных вычислительных машин  
Белорусский государственный университет информатики и радиоэлектроники  
Минск, Республика Беларусь  
e-mail: zolotorevichla@bsu.by

**Аннотация**—Рассматриваются неисправности типа задержки, которые способны влиять на корректность системы синхронизации синхронных структур. Предлагается метод построения тестов, основанный на решении выполнимости булевой функции.

**Ключевые слова:** тест задержки; цифровая структура; КНФ булевой функции; неисправности задержки

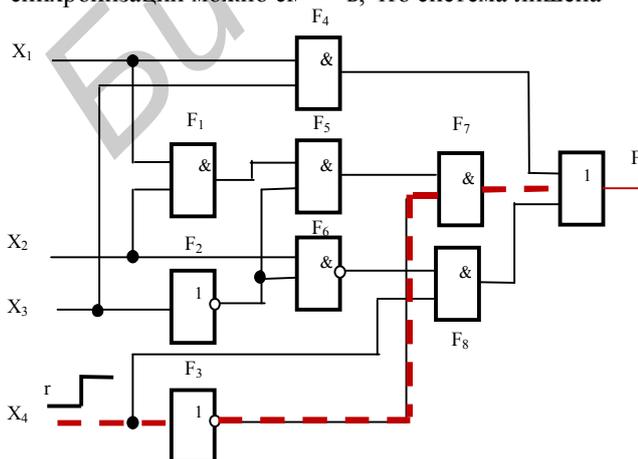
## I. ВВЕДЕНИЕ

Задача построения тестов контроля цифровых устройств и систем продолжает оставаться наиболее сложной, наукоемкой и многоплановой задачей проектирования функционально-сложных объектов.

В данной работе рассматриваются неисправности типа задержки, которые способны влиять на корректность системы синхронизации синхронных структур. Важным является то, что неисправности задержки приводят не только и не столько к понижению быстродействия объекта, а к нарушению алгоритмов его функционирования. Поэтому построению тестов контроля неисправностей задержки в литературе уделяется много внимания. Особенно актуальна данная задача при разработке систем на кристалле.

## II. ОСНОВНЫЕ ПОДХОДЫ К КОНТРОЛЮ НЕИСПРАВНОСТЕЙ ЗАДЕРЖКИ

В упрощенном виде синхронное устройство преобразования цифровой информации может быть представлено в виде двух регистров – регистра приема и регистра выдачи информации, между которыми располагается блок, задачей которого является преобразование полученной информации по заданному алгоритму. При одноуровневой синхронизации можно сказать, что система лишена



неисправностей типа задержка в том случае, если самый длинный путь от входов к выходам устройства не превышает длительность периода синхронизации.

Для тестирования неисправностей задержки применяют разные подходы, которые определяют скорость и качество тестов. В основе лежат методы временного моделирования и методы статического временного анализа. Методы статического временного анализа не требуют моделирования функций элементов устройства, а основаны на вычислении времени возможного поступления изменений сигналов на выходы схемы на основе имеющихся данных о задержках элементов на путях распространения сигналов [1]. В данном случае должны быть исследованы все пути распространения сигналов. Сложность данного подхода заключается в том, что его трудно формализовать при работе с реальными системами, которые допускают многоуровневую систему синхронизации, в которых сигнал от входа системы к выходу может распространяться за несколько периодов синхронизации.

Методы временного моделирования позволяют оценить временные параметры функционирования устройства на некотором множестве тестов. Тесты, разработанные для контроля неисправностей константного типа, не обеспечивают в общем случае решение задачи контроля неисправностей задержки. Оценить время распространения сигналов от некоторого входа к некоторому выходу возможно при распространении логического перехода сигнала на входе и соответствующем изменении сигнала на выходе. Поэтому требуется разработка тестов, обеспечивающих распространение фронта изменения сигналов с входов тестируемой схемы на ее выходы.

Наиболее распространенными и рассматриваемыми в литературе моделями неисправности задержки является модель неисправности задержки перехода (Transition Delay Fault Model - TDFM) и модель ошибки задержки пути (Path Delay Fault Model - PDFM) [5-7]. Очевидно, что модель PDFM более точная, так как предполагает исследование задержек всех путей распространения сигналов от всех входов объекта ко всем его выходам. По причине сложности данной задачи при работе с объектами современной сложности, когда число путей экспоненциально зависит от сложности схем, тестирование всех путей практически не возможно. На практике для генерации тестов рассматривается небольшое число путей. Полагают, что TDFM является менее точной, чем PDFM, но обеспечивает

хорошее покрытие неисправности. Поэтому, эта модель часто применяется на практике.

### III. ПОСТРОЕНИЕ ТЕСТОВ КОНТРОЛЯ НЕИСПРАВНОСТЕЙ ЗАДЕРЖКИ НА ОСНОВЕ МОДЕЛИРОВАНИЯ РАСПРОСТРАНЕНИЯ ФРОНТОВ ВХОДНЫХ СИГНАЛОВ

Задача построения тестов контроля неисправностей задержки актуальна применительно к разным системам идентификации объекта на разных этапах проектирования. Ниже рассматривается задача применительно к структурному представлению объекта. Для определенности имеется логическая сеть из элементов базиса произвольных ДНФ.

Главным отличием задачи построения тестов контроля неисправностей задержки от неисправностей константного типа является то, что для контроля неисправностей задержки необходимо моделирование двух входных векторов, прилагаемых в двух тактах работы схемы.

Определим неисправность задержки четверкой вида  $(x_i, y_j, a_k, a_v)$ , где  $x_i$  – вход схемы,  $y_j$  – выход схемы;  $x_i \in \{x_1, x_2, \dots, x_i, \dots, x_n\}$ ,  $y_j \in \{y_1, y_2, \dots, y_j, \dots, y_m\}$ ,  $n$  – число внешних входов схемы,  $m$  – число выходов схемы,  $a_k, a_v \in \{r, f\}$ , где  $r$  – переключение сигнала на входе из 0 в 1,  $f$  – переключение из 1 в 0. Мощность множества  $R$  рассматриваемых неисправностей  $\dim R = n * m$ . Очевидно, каждая неисправность  $(x_i, y_j, a_k, a_v)$  из определенного множества перечислимых неисправностей функционально связана с некоторой подсхемой, выходом которой является выход  $y_j$ . Входами подсхемы являются те входы схемы, которые определяют функцию, реализованную на выходе  $y_j$ . При построении теста для данной неисправности будем рассматривать не исходную схему, а некоторую конусообразную подсхему (рис. 1), что существенно снижает требуемые вычислительные ресурсы для решения задачи.

На рис. 1 приведена некоторая подсхема, реализующая на выходе булеву функцию  $X_1 X_3 \vee X_1 X_2 \bar{X}_3 \bar{X}_4 \vee X_2 \bar{X}_3 X_4$ , и ее описание на уровне RTL.

Задачу построения теста для неисправностей задержки будем решать на основе применения методов генерации тестов контроля неисправностей константного типа. Для этого рассматриваемая схема  $S$  представляется тестируемой схемой  $S_1$  и ее дублем  $S_2$ , которые представляют исходную схему в двух временных тактах функционирования в заданном режиме. Для рассматриваемого примера для контроля неисправности задержки  $(X_4, F, r, a_v)$ , ( $a_v \in \{r, f\}$ ) необходимо построить такие два входных вектора, которые будут последовательно воздействовать на схему и будут содержать логический 0 в первом векторе и 1 во втором векторе в бите, соответствующем входу  $X_4$ , и которые приведут к изменению сигнала на выходе  $F$  на втором векторе.

Алгоритм построения теста заключается в следующем [2]:

- 1) Описать схему и ее копию в виде КНФ булевой функции разрешения;
- 2) Представить одноместной дизъюнкцией моделируемую неисправность;

3) Описать условия транспортировки неисправности к выходу;

4) Ввести дополнительные ограничения по обеспечению постоянства состояний входов в течение двух временных тактов с целью сокращения риска появления критических состязаний сигналов;

5) Решить задачу выполнимости КНФ булевой функции, полученной конъюнктивным объединением КНФ схемы, ее копии и ограничений.

6) Если решение не найдено, ослабить дополнительные ограничения.

В табл. 1 приведены КНФ функций разрешения элементов схемы, ее копии, а также ограничения, связанные с внесением неисправности, и дополнительные ограничения, обеспечивающие отсутствие критических состязаний. КНФ функций разрешения приведены в упрощенном виде. К примеру, представление  $(X_1 \& X_2) \leftrightarrow F_1$  означает  $(X_1 \vee \bar{F}_1)(X_2 \vee \bar{F}_1)(\bar{X}_1 \vee \bar{X}_2 \vee F_1)$ . Задача построения теста сводится к решению задачи решения выполнимости КНФ булевой функции, полученной конъюнктивным объединением функций разрешения, описывающих элементы исходной схемы, ее копии и ограничения в связи с внесением константных неисправностей и ограничений, связанных с их транспортировкой к выходу.

Для рассматриваемого случая тестом может быть  $(X_1 X_2 X_3 X_4 - X_1^* X_2^* X_3^* X_4^*) = (1100-1101)$ . Задача построения теста задержки актуальна также тогда, когда структурное представление объекта отсутствует, когда проектируется система на кристалле, а некоторые блоки системы представлены на функциональном уровне, к примеру, по соображе-

ниям интеллектуальной собственности.

При построении тестов на уровне структурного представления объекта число рассматриваемых неисправностей пропорционально числу путей в схеме, которое зачастую экспоненциально зависит от размера схемы. При функциональном рассмотрении объекта число неисправностей зависит пропорционально от  $n*m$ , где  $n$  – число входов,  $m$  – число выходов схемы.

Табл. 1 - КНФ разрешения элементов схемы, ее копии и вводимые ограничения

Функции разрешения для элементов исходной схемы	Функции разрешения для элементов копии исходной схемы	Ограничения в связи с внесением неисправности	Дополнительные ограничения
$(X_1 \& X_2) \leftrightarrow F_1$	$(X_1^* \& X_2^*) \leftrightarrow F_1^*$	$\bar{X}_4$	$(\bar{X}_1 \vee X_1^*)(X_1 \vee \bar{X}_1)$
$\bar{X}_3 \leftrightarrow F_2$	$\bar{X}_3^* \leftrightarrow F_2^*$	$X_4^*$	$(\bar{X}_2 \vee X_2^*)(X_2 \vee \bar{X}_2)$
$\bar{X}_4 \leftrightarrow F_3$	$\bar{X}_4^* \leftrightarrow F_3^*$	$(F_1 \vee F_1^*)(\bar{F}_1 \vee \bar{F}_1^*)$	$(\bar{X}_3 \vee X_3^*)(X_3 \vee \bar{X}_3)$
$(X_1 \& X_3) \leftrightarrow F_4$	$(X_1^* \& X_3^*) \leftrightarrow F_4^*$	$(F_2 \vee F_2^*)(\bar{F}_2 \vee \bar{F}_2^*)$	
$(F_1 \& F_2) \leftrightarrow F_5$	$(F_1^* \& F_2^*) \leftrightarrow F_5^*$	$(F_3 \vee F_3^*)(\bar{F}_3 \vee \bar{F}_3^*)$	
$(\bar{X}_3 \& \bar{F}_3) \leftrightarrow F_6$	$(\bar{X}_3^* \& \bar{F}_3^*) \leftrightarrow F_6^*$		
$(F_3 \& F_3) \leftrightarrow F_7$	$(F_3^* \& F_3^*) \leftrightarrow F_7^*$		
$(F_2 \& \bar{X}_4) \leftrightarrow F_8$	$(F_2^* \& \bar{X}_4^*) \leftrightarrow F_8^*$		
$(F_5 \& F_7 \& F_8) \leftrightarrow F$	$(F_5^* \& F_7^* \& F_8^*) \leftrightarrow F^*$		

Рассматривается задача построения теста задержки для объекта, представленного в виде BDD.

Рассматривается задача построения теста задержки для объекта, представленного в виде BDD.

Рассматривается задача построения теста задержки для объекта, представленного в виде BDD.

[1] Hitchcock, R.B. Timing Analysis of Computer Hardware / R.B. Hitchcock, G.L. Smith, D.D. Cheng // IBM J. Res. Develop. – 1982. – V. 26. – No. 1. – P. 100-105.

[2] Золоторевич, Л.А. Верификация проектов и построение тестов контроля СБИС на уровне RTL / Л.А. Золоторевич // АИТ. – 2012. – №10. В печати.