

# JTAG-тестирование и JTAG-тестопригодное проектирование встроенных систем

Лещенко.В.В.

Инновационная компания PROMWAD  
Минск, Республика Беларусь  
e-mail: vladislav.leschenko@promwad.com

**Аннотация**—В рамках данной статьи приводится краткий обзор технологий, поддерживаемых стандартом IEEE1149.x – JTAG, изложены основные понятия, приводятся примеры использования данной технологии.

**Ключевые слова:** JTAG-тестирование, контроль качества, программирование, внутрисхемное тестирование (In-Circuit Test, ICT), тестопригодного проектирования (Design-for-Testability, DFT).

## I. ВВЕДЕНИЕ

Первая версия международного стандарта, описывающего основы архитектуры граничного сканирования, была опубликована в начале 1990 г. Поскольку группа экспертов имела собственное название в виде аббревиатуры JTAG (Joint Test Action Group — объединенная группа [разработки] методов тестирования), эти четыре буквы очень скоро стали неформальным именем нового стандарта [1].

Успешно продолжающаяся разработка все новых и новых стандартов ГС вызвана постоянно усложняющимися проблемами тестирования многослойных ПП с ограниченным доступом, необходимостью обеспечения протокола внутрисхемного программирования ПЛИС и FPGA, совместимого с протоколом тестирования, а также многочисленными проблемами тестирования СБИС типа «система-на-кристалле» (SoC/СнК) и связи этих проблем с тестированием ПП [1].

Основные подвиды JTAG и их применение:

- 1149.1 – Граничное сканирование;
- 1149.4 – Аналоговое тестирование;
- 1149.6 – Дифференциальные шины;
- 1149.7 – Компактный двухпроводный;
- 1149.8.1 – Тестирование пассивных компонентов;

## II. ТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ JTAG

Обобщенная схема интегральной схемы (ИС), содержащей структуру ГС, приведена на рисунке 1. Центральный эллипс изображает функциональное ядро ИС, т.е. ИС как таковую. Внутренние регистры ядра ИС могут (хотя и необязательно) быть включены в общую структуру ГС. Голубыми ромбами помечены контакты ввода/вывода (КВВ) ИС, хотя их связи с функциональным ядром и не показаны на рисунке для его упрощения [3].

**Контроллер TAP** представляет собой конечную машину состояний и является сердцем системы граничного сканирования.

**Порт тестирования (TAP — Test Access Port)** представляет собой четыре или пять выделенных выводов микросхемы: TCK, TMS, TDI, TDO и (опционально) TRST.

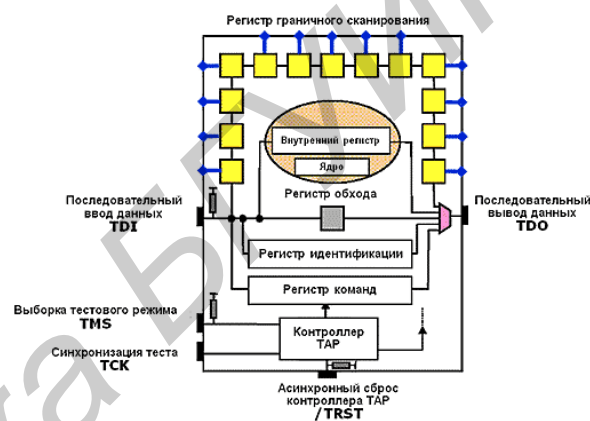


Рис. 1. Обобщенная схема ИС, содержащей структуру ГС [1].

Функциональное назначение этих линий:

- **TDI (test data input** — «вход тестовых данных») — вход последовательных данных периферийного сканирования. Команды и данные вводятся в микросхему с этого вывода по переднему фронту сигнала TCK;
- **TDO (test data output** — «выход тестовых данных») — выход последовательных данных. Команды и данные выводятся из микросхемы с этого вывода по заднему фронту сигнала TCK;
- **TCK (test clock** — «тестовое тактирование») — тактирует работу встроенного автомата управления периферийным сканированием. Максимальная частота сканирования периферийных ячеек зависит от используемой аппаратной части и на данный момент ограничена 25...40 МГц; [2]
- **TMS (test mode select** — «выбор режима тестирования») — обеспечивает переход схемы в/из режима тестирования и переключение между разными режимами тестирования. В некоторых случаях к перечисленным сигналам добавляется сигнал **TRST** для инициализации порта тестирования, что необязательно, так как инициализация возможна путем подачи определённой последовательности сигналов на вход TMS.

**Регистр команд (PK)** предназначен для ввода, хранения и дешифрации кодов команд. Этот

трехкаскадный регистр состоит из сдвигового регистра сканирования PC, регистра хранения PX и дешифратора.

**Регистр обхода (PO)** предназначен для исключения цепочек из тестирования, передавая сигнал с линии TDI на линию TDO. С его помощью можно гибко регулировать количество одновременно тестируемых элементов.

**Регистр идентификации (PI)** предназначен для хранения уникального номера чипа, для идентификации такового в процессе тестирования, именно по информации из этого регистра можно однозначно определить доступность и корректность работы шины JTAG [2].

В общем виде цепочка граничного сканирования представляет из себя сдвиговый регистр ячеек, длиной, равной числу выводов ИС, задействованных при сканировании. Каждая ячейка может быть одного из типов, предусмотренных стандартом. На рис. 2 приведена структура ячейки ГС наиболее общего вида, определяемую стандартом как тип BC\_1.

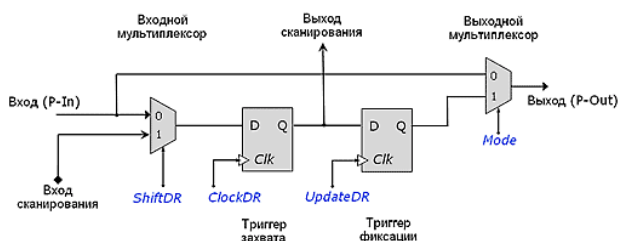


Рис. 2. Пример ячейки типа BC-1 регистра граничного сканирования [1].

Ячейки, в зависимости от типа, могут передавать сигналы в микросхему, изменяя при этом состояния реального входа, так и наружу, не изменяя состояние входа микросхемы. Считывание данных как со внутренней стороны так и с внешней так же возможно. Таким образом, при тестировании с использованием JTAG возможно симулировать как внешнее воздействие на входы микросхемы, так и управлять состояниями реальных выходов микросхемы, что позволяет производить отладку программного обеспечения и аппаратной части независимо друг от друга. Тем не менее, у технологии, все-таки, есть ограничения, и в основном - это ограничения скорости передачи данных и влияние на скорость работы числа включенных в JTAG цепочку микросхем.

Разработка тестов для JTAG практически всегда производится в специализированной Интегрированной Среде Разработки (Integrated Development Environment - IDE). Многие тестовые последовательности, такие как: тестирование микросхем памяти, микросхем стандартной логики – генерируются автоматически. Входными данными для автоматической генерации тестов служат файлы: net\_list и BSDL. Net\_list – файл связи компонентов схемы, можно получить у разработчика печатной платы (ПП), BSDL файл - файл описания компонента, как правило, предоставляется разработчиком микросхем, или находится в свободном доступе на сайте производителя компонента. Оба файла

являются текстовыми и понятными для человека, что позволяет их редактировать.

Для генерации нестандартных тестовых случаев в IDE обычно встроен один из интерпретируемых языков с богатой библиотекой. В большинстве случаев это язык Python.

Отдельные тесты можно объединять в тестовые последовательности, выполняя полнофункциональное тестирование, например на производстве, получая по завершению автоматический отчет.

Наиболее распространенными IDE для проектирования JTAG тестов являются: Provision, XJTAG, onTAP.

### III. ТЕСТОПРИГОДНОЕ ПРОЕКТИРОВАНИЕ

Проектирование тестопригодности схем при их разработке (Design-For-Testability, DFT) является ключевой и интегральной составляющей современного проектирования электронных схем и ПП, а так же регламентировано стандартом **IEEE P1687**. Правила тестопригодного проектирования (методы DFT) предполагают видоизменение топологии и/или связей между элементами схемы, или даже добавление дополнительных элементов (внутрисхемных или наружных), которые могут никак не быть связаны с функционированием схемы и предназначены только лишь для обеспечения ее тестируемости [3].

К таким изменениям можно отнести: согласование уровней сигналов, добавление цепочек выключения/включения микросхем, добавление элементов и цепей для блокирования тактовых генераторов.

### IV. ЗАКЛЮЧЕНИЕ

Все мы прекрасно понимаем важность тестирования в процессе производства технического продукта. Входной контроль качества аппаратной части любого проекта позволяет экономить время дорогостоящих специалистов. – разработчиков, за счет снижения риска предоставления программисту неисправной печатной платы изделия.

При производстве высокотехнологичных продуктов **JTAG** это пожалуй единственный инструмент, позволяющий довольно просто осуществить полноценный контроль качества собранной электронной схемы, выполнить программирование ПО в устройство, и провести производственные испытания.

Компания PROMWAD первой на территории Республики Беларусь начала предоставлять услуги по **JTAG** тестированию и **JTAG** тестопригодному проектированию электронных изделий [4].

- [1] Рустин В., Городецкий А. «Принцип граничного сканирования», ChipNews, 2001, № 6, с. 14-19.
- [2] <http://ru.wikipedia.org/wiki/JTAG>
- [3] Стандарт тестопригодного проектирования IEEE P1687 («КиТ» № 7, 2010 с. 27-36.
- [4] <http://www.promwad.com/news/30-05-2012-jtag-technologies-partnership-ru.html>