

Аппаратное ускорение цифрового моделирования

Зайцев В.С.; Степанец В.Я.

Кафедра математической кибернетики, ММФ
Белорусский государственный университет
Минск, Республика Беларусь
e-mail: zaicevvs@tut.by, stepanets@bsu.by

Аннотация—Описывается один из возможных вариантов ускорения процесса верификации цифровой синхронной ИС в среде смешанного моделирования, поддерживающей язык SystemC, за счет использования FPGA прототипа ИС вместо ее HDL модели.

Ключевые слова: *FPGA прототип; SystemC; HDL; моделирование*

I. ВВЕДЕНИЕ

Моделирование HDL описания разрабатываемой ИС является необходимым этапом ее автоматизированного проектирования. Известно, что достижение достаточной полноты проверки в общем случае сопряжено с прогоном больших наборов тестов и практически возможно лишь при использовании специальных программно-аппаратных систем моделирования. Ниже описывается один из возможных вариантов ускорения моделирования цифровой синхронной ИС (ее цифровой части) на основе использования ее ПЛИС прототипа (макета).

II. ПРЕДПОСЫЛКИ ВЫПОЛНЕНИЯ РАЗРАБОТКИ

Время, затрачиваемое на прогон одного теста в программной среде моделирования на HDL модели разрабатываемой ИС, объективно всегда значительно больше времени обработки того же теста в собственно ИС. Этим объясняются многочисленные попытки использования для выполнения моделирования различных автоматизированных измерительных систем (АИС), включающих специальный процессор, эмулирующий поведение создаваемой ИС и, таким образом, играющий роль ее прототипа.

Новый толчок развитию таких систем дал переход к использованию стандартных HDL языков описания поведения ИС и средств реализации прототипа создаваемой ИС на ПЛИС.

Но, если синтез прототипа ИС при наличии его HDL модели не является на данный момент проблемой, то его использование в АИС требует знаний и навыков работы с ними, разработки оснастки для подключения прототипа, разработки отдельной программы измерения и т.д.

В то же время при применении стандартных HDL языков весь сценарий верификации: выбор (генерация) и загрузка тестов, подача входных воздействий, сбор результатов и их оценка, уже содержится в HDL модели разрабатываемой ИС. Это позволяет создавать программно-аппаратные системы моделирования, использующие аппаратный прототип ИС непосредственно в стандартной среде моделирования. Примерами таких решений являются системы,

предлагаемые фирмами Altera и Synopsys. Так решение, предлагаемое ф. Altera [1] включает программное обеспечение (ПО) для моделирования HDL моделей (Riviera-PRO), ПО для прошивки прототипа (Active-HDL) [2], и специальную плату (например, ALDEC HES5) для прототипирования с каналом подключения ее к компьютеру. Аналогичный набор предлагает и ф. Synopsys: ПО для прошивки FPGA и моделирования (Synopsys Virtualizer), плата для прототипирования (Synopsys HAPS) [3].

Оба этих решения ориентированы на применение при моделировании особо сложных изделий, содержащих десятки миллионов вентилях. Так при использовании платы HAPS60, содержащей 80 миллионов ячеек, стоимость комплекта без учета стоимости лицензии на включение в ПО опции работы с прототипом составляет около 800 000\$. Это не позволяет использовать указанные решения при проектировании небольших, но требующих тщательной отладки проектов, каковыми, например, являются ИС RFID систем, правильная и надежная работа которых фактически определяет правильность и надежность работы всей системы идентификации.

Рассмотрим возможность упрощения и, соответственно, удешевления системы моделирования ИС с использованием ее ПЛИС прототипа.

III. ОСНОВНЫЕ ПРОБЛЕМЫ РЕАЛИЗАЦИИ

Будем считать, что система моделирования с использованием ПЛИС прототипа должна помимо ускорения обработки обеспечивать интерактивный режим работы с пошаговым отображением результатов на временных диаграммах, как будто обработка выполняется без использования аппаратного прототипа.

Известно, что в стандартной среде программного моделирования имитируется параллельный характер обработки информации, присущий аппаратуре. В соответствии с этим при каждом переключении тактового сигнала процессор последовательно обрабатывает все активные в данный момент времени операторы HDL описания. При этом обработка на данном такте считается завершенной лишь после обработки всех таких операторов. Понятно, что при таком подходе модельное время одного такта обработки всегда больше его реального времени в аппаратуре и зависит от общего числа элементов в ИС, структуры их соединения, стиля и языка описания модели, производительности компьютера. При реализации в такой системе интерактивного режима обработки узким местом является производительность компьютера.

При использовании же аппаратного прототипа обработка всех активных на текущем такте элементов выполняется параллельно. В этом случае реализация возможности отображения результатов моделирования в пошаговом режиме требует обеспечения выполнения передачи входных, считывания результирующих данных, их обработки и отображения в течение времени выполнения такта в прототипе. Именно тогда достигается максимальный выигрыш от использования в системе моделирования прототипа изделия вместо его HDL модели. Иными словами узким местом в таких системах ускорения [5] моделирования является шина обмена данными между персональным компьютером и FPGA прототипом.

Для оценки целесообразности выбора той или иной шины обмена обозначим частоту синхросигнала моделируемой ИС через X , число ее входов через N , а число выходов через M . Тогда пропускная способность канала связи при условии раздельной реализации в нем приема и передачи сигналов, должна быть не меньше $F = X * \max(N, M)$. В этом случае моделирование будет проходить в режиме реального времени с небольшой задержкой на выполнение прорисовки сигналов и обработку блока TESTBENCH.

В таблице 1 приведен анализ возможности использования различных каналов связи: COM(0,1152 Мб/с), USB(50 Мб/с), LAN(1000 Мб/с), PCI(4260 Мб/с), для различного числа контролируемых сигналов.

Табл. 1. ПРОПУСКНАЯ СПОСОБНОСТЬ КАНАЛА СВЯЗИ ДЛЯ ДОСТИЖЕНИЯ МАКСИМАЛЬНОЙ ПРОИЗВОДИТЕЛЬНОСТИ

	Частота, МГц / Число контролируемых сигналов ^a					
	1	5	10	50	200	1000
0,01	0,01	0,05	0,1	0,5	2	10
1	1	5	10	50	200	1000
2	2	10	20	100	400	2000
5	5	25	50	250	1000	5000
10	10	50	100	500	2000	10000
20	20	100	200	1000	4000	20000

Тонем в порядке возрастания градиента отмечены пределы возможностей интерфейсов связи com,usb,lan,pci.

В системах ф. Altera и Synopsys используется скоростная шина PCI-Express. Но, как видно из табл. 1, даже она не обеспечивает необходимой для интерактивного моделирования производительности при большом числе наблюдаемых сигналов. Очевидным решением этой проблемы является уменьшение числа последних.

Еще одним резервом повышения интерактивности моделирования является сокращение времени работы блока TEST BENCH, которое может быть достигнуто использованием языка SystemC.

IV. ОПИСАНИЕ НАЙДЕННОГО РЕШЕНИЯ

Для создания предлагаемой упрощенной системы моделирования с использованием прототипа необходима стандартная среда моделирования, поддерживающая язык SystemC [4], доступная по цене плата для прототипирования, адаптер одного из

возможных интерфейсов, для подключения FPGA платы к компьютеру. Далее описан алгоритм работы такой системы.

При ее реализации HDL описание TESTBENCH цифровой синхронной части ИС заменяется модулем, описанным на языке SystemC. Этот модуль должен иметь идентичный с HDL моделью интерфейс и содержать в своем теле C++ функции [6] считывания входных данных, отправки их в «порт», ожидания и приема ответа с «порта» и подачи ответной реакции на выход. Если исходным языком описания является язык VHDL, указанная замена реализуется с помощью файла конфигурации. В FPGA зашивается HDL-модель цифровой части и блок работы с коммуникационным интерфейсом.

При выполнении моделирования TESTBENCH посылает входные данные и тактовый сигнал в SystemC модуль. По приходу фронта синхросигнала функции модуля считывают данные с входной шины и отправляют их на FPGA плату. Далее блок работы с шиной, прошитый в FPGA, принимает эти данные и выставляет полученные значения сигналов на входных линиях, формирует строб тактового сигнала, считывает полученное состояние на выходных линиях и отправляет их в компьютер. В SystemC модуле функция приема ожидает получения данных и затем передает их в TESTBENCH. Такая цепочка действий повторяется на каждом такте моделирования.

V. ВЫВОДЫ

В рамках описываемого исследования был разработан SystemC модуль, содержащий C++ функции отправки, ожидания и считывания данных через com-порт. На базе микросхемы MAX3232 была реализована схема адаптера для подключения FPGA платы к компьютеру. Создан VHDL модуль для прошивки в FPGA, обеспечивающий прием данных и передачу ответов в (из) компьютер через com-порт.

Компиляция и запуск моделирования проводились в среде ModelSim версии 6.1. Для компиляции SystemC модуля использовался gcc-4.2.1 [7]. Разработанные функции модуля работают только в среде Windows.

Созданный вариант системы тестирования был использован при отладке модели цифрового блока RFID карточки работающей в соответствии с ISO-18000.

- [1] Aldec [Электронный ресурс]. – Электронные данные. – Режим доступа: <http://www.aldec.com/en/>
- [2] Aldec [Электронный ресурс]. – Электронные данные. – Режим доступа: http://www.aldec.com/en/products/university_programs
- [3] Synopsys [Электронный ресурс]. – Электронные данные. – Режим доступа: <http://www.synopsys.com/SYSTEMS/FPGABASEDPROTOTYPING/Pages/HAPS.aspx>
- [4] D. C. Black and J. Donovan, “SYSTEMC: FROM THE GROUND UP” Kluwer Academic Publishers, Boston, 2004.
- [5] A. D. Blumer, “Register Transfer Level Simulation Acceleration via Hardware/Software Process Migration,” Blacksburg, Virginia Phil., 2007
- [6] Г. Шилдт Самоучитель C++. 3-е издание. Санкт-Петербург «БЧВ-Петербург», 2003.
- [7] GNU GCC [Электронный ресурс]. – Электронные данные. – Режим доступа: <http://gcc.gnu.org/gcc-4.2..>