

Опыт использования VHDL описания при реализации блока кодирования данных метки радиочастотной идентификации

Зайцев В.С.; Степанец В.Я.

Кафедра уравнений математической физики, ММФ

Белорусский государственный университет

Минск, Беларусь

e-mail: zaicevvs@tut.by, stepanets@bsu.by

Аннотация — В статье речь пойдет о разработке блока кодирования данных микросхемы радиочастотной идентификации с протоколом обмена ISO-18000-6С. Микросхема предназначена для использования в приложениях с рабочей частотой 860-960МГц.

Ключевые слова: VHDL, РЧИД-система, граф, Миллер, FM0, функция перехода, синтез, архитектура

I. ВВЕДЕНИЕ

Проектирование SoC предусматривает применение макроблоков различного типа [1–3] и языков VHDL, VERILOG [4]. При этом последние используются для описания поведения создаваемого изделия (макроблока), его моделирования и синтеза реализующей его логической схемы [5, 6]. Поэтому эффективность их применения определяется хорошим знанием их синтаксиса, семантики и возможностей средств синтеза [7, 8]. Далее описывается опыт использования языка VHDL при проектировании блока цифровой части микросхемы радиочастотной идентификации (РЧИД) [9, 10].

II. КОДИРОВАНИЕ ДАННЫХ В РЧИД СИСТЕМЕ

Одной из основных функций цифровой части системы РЧИД является кодирование информации, пересылаемой между ее передатчиком и приемником. Выбор типа кодирования во многом определяет надежность и помехозащищенность передачи данных. Наиболее часто используемые форматы кодирования данных в системах РЧИД – это кодирование с использованием кода Миллера, FM0, Манчестер [11–13]. И в настоящий момент производители такого рода систем включают поддержку кодировок Миллера и FM0 в одном устройстве, либо всех трех форматов кодирования одновременно.

К РЧИД системам, поддерживающим две кодировки, относятся системы, работающие в соответствии с международным стандартом ISO 18000-6С. Особенность архитектуры блока кодирования такой системы состоит в том, что в ней реализовано два блока кодирования, и управление кодированием осуществляется путем выбора закодированной последовательности. Предлагается объединить два блока кодирования таким образом, чтобы результат объединения занимал меньшую площадь, чем исходная схема. Тип кодирования при этом должен по-прежнему зависеть от управляющего сигнала.

III. СЛИЯНИЕ БЛОКОВ КОДИРОВАНИЯ

Алгоритм получения кода Миллера (рис. 1) и кода FM0 (рис. 2) можно описать с помощью графа переходов и заданием значений функции выхода.

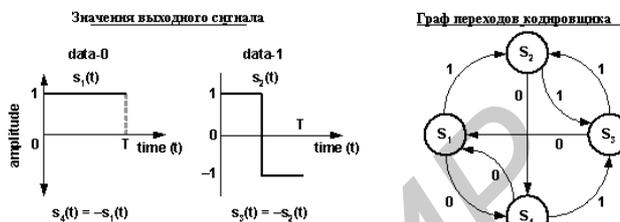


Рис. 1. Граф переходов блока, формирующего код Миллера

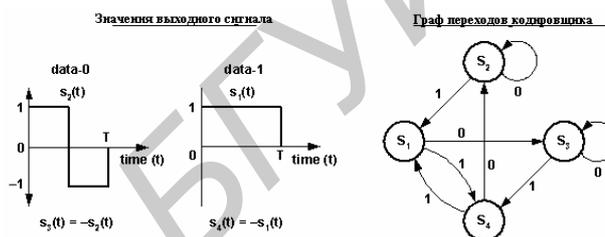


Рис. 2. Граф переходов блока, формирующего код FM0

Распишем функцию перехода и функцию выхода для графа кодирования Миллера и введем замену переменных (1), получим новые функции перехода и выхода (2). Сравним полученные функции с функциями перехода и выхода для графа кодирования FM0. Видно, что из одной функции перехода можно получить другую, изменив два условия перехода, а путем замены переменных получить соответствующую функцию выхода (таб. 1).

$$\begin{aligned} S1 &= a(S4,0), S1 = a(S3,0) & z = z(S1) &= 1 & s1' &= s3 \\ S2 &= a(S1,1), S2 = a(S3,1) & z = z(S4) &= 0 & s2' &= s4 \\ S3 &= a(S2,1), S3 = a(S4,1) & z = z(S2) &= \text{data_clk} & s3' &= s1 \\ S4 &= a(S1,0), S4 = a(S2,0) & z = z(S3) &= \text{not data_clk} & s4' &= s2 \end{aligned} \quad (1)$$

$$\begin{aligned} S3' &= a(S2,0), S3' = a(S1,0) & S1' &= a(S4,1), S1' = a(S2,1) \\ S4' &= a(S3,1), S4' = a(S1,1) & S2' &= a(S3,0), S2' = a(S4,0) \\ S1' &= a(S4,1), S1' = a(S2,1) & S3' &= a(S2,0), S3' = a(S1,0) \\ S2' &= a(S3,0), S2' = a(S4,0) & S4' &= a(S3,1), S4' = a(S1,1) \end{aligned}$$

$$\begin{aligned} z &= z(S1) = \text{not data_clk} \\ z &= z(S2) = 0 \\ z &= z(S3) = 1 \\ z &= z(S4) = \text{data_clk} \end{aligned} \quad (2)$$

Данное преобразование реализуется на языке VHDL и в итоге получается описание, синтез которого позволит получить схему совмещенного кодировщика (рис. 3).

Табл. 1. Сравнение функции перехода и выхода

Миллер	FM0
$S1'=a(S4',1)$	$S1=a(S4,1)$
$S1'=a(S2',1)$	$S1=a(S2,1)$
$S2'=a(S3',0)$	$S2=a(S2,0)$
$S2'=a(S4',0)$	$S2=a(S4,0)$
$S3'=a(S2',0)$	$S3=a(S3,0)$
$S3'=a(S1',0)$	$S3=a(S1,0)$
$S4'=a(S3',1)$	$S4=a(S3,1)$
$S4'=a(S1',1)$	$S4=a(S1,1)$
$z=z(S1') = \text{not data_clk}$	$z=z(S1) = 1$
$z=z(S2') = 0$	$z=z(S2) = \text{data_clk}$
$z=z(S3') = 1$	$z=z(S3) = \text{not data_clk}$
$z=z(S4') = \text{data_clk}$	$z=z(S4) = 0$

При синтезе различных описаний блока кодирования Миллера и FM0 были проверены описания с использованием явного представления конечного автомата. Автомат описывался тремя различными способами: все в одном операторе process; комбинационная часть функции перехода и выхода описана отдельными операторами process и синхронная часть, с использованием отдельного оператора process; комбинационная часть была описана конструкцией с when else, синхронная с использованием process. При этом для каждого из таких описаний были проверены установки синтезатора в части выбора способа кодирования состояний: auto, binary, gray.

```

begin
input_data i <= input_data;
coder_proc: process (clk_i_d, rst)
begin -- process coder_proc
if rst = '1' then -- асинхронный сброс
state <= a1;
elsif clk_i_d'event and clk_i_d = '1' then -- rising clock edge
state <= statei;
end if;
end process coder_proc;
--функция перехода
change <= a1 when switch_fm0_miller = '1' else a4;
statei <=
a1 when input_data i = '0' and (state = change or state = a3) else
a2 when input_data i = '1' and (state = a1 or state = a3) else
a3 when input_data i = '1' and (state = a2 or state = a4) else
a4;
STATEjk <= a1 when STATE = a3 else -- замена переменных
a2 when STATE = a4 else
a3 when STATE = a1 else
a4;
STATEj <= STATEjk when switch_fm0_miller = '1' else
-- замена
STATE;
output_datai <= -- функция выхода
'1' when STATEj = a1 else
clk_i_d when STATEj = a2 else
not clk_i_d when statej = a3 else
'0';
end beh2;

```

Рис. 3. Граф переходов блока, формирующего код FM0

В результате данного эксперимента был получен оптимальный результат при использовании кодировки состояний типа gray. Синтез схем и их сравнение

показали, что приведенные выше типы описаний не имеют принципиального отличия при обработке их системой синтеза Leonardo Spectrum фирмы MentorGraphics.

Удалось объединить две кодировки Миллера и FM0 при этом, разработанная схема не обладает плавающей задержкой по выходной кодировке и имеет площадь меньше площади исходной схемы. Самый лучший вариант схемы с задержкой кодирования для Миллера был 1330 мкм² а для FM0 1327 мкм², а объединенная схема с использованием алгоритма замены состояний – 1709 мкм². Библиотечные элементы, используемые при проектировании, имеют технологические нормы 0,35 мкм.

Описанные выше исследования являлись составной частью разработки на ОАО «ИНТЕГРАЛ» кристалла микропроцессора, предназначенного для использования в системе РЧИД на 850 – 960 МГц работающей по протоколу ISO 18000-6 часть С EPC Gen2.

[1] Казённов, Г.Г. Основы проектирования интегральных схем и систем / Г.Г. Казённов. – М.: БИНОМ. Лаборатория знаний, 2005. – 295 с.

[2] Суворова, Е.А. Проектирование цифровых систем на VHDL / Е.А. Суворова, Ю.Е. Шейнин. – СПб.: БХВ-Петербург, 2003. – 576 с.

[3] Степанец, В.Я. О возможности решения проблемы синтеза полужестких макросов для проектирования Систем-на-Кристалле / В.Я. Степанец // Дискретная математика, алгебра и их приложения (ДИМА 09): тезисы докладов Междунар. науч. конф., Минск, 2009 г. – Минск, 2009. – С. 112-114.

[4] Поляков, А.К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А.К. Поляков – М.: СОЛОН-Пресс, 2003. – 320с.

[5] Бибило, П.Н. Синтез логических схем с использованием языка VHDL / П.Н. Бибило. – М.: СОЛОН-П, 2002. – 268 с.

[6] Бибило, П.Н. Системы проектирования интегральных схем на основе языка VHDL. StateCAD, ModelSim, LeonardoSpectrum. / П.Н. Бибило. – М.: СОЛОН-Пресс, 2005. – 384 с.

[7] Stepanets, V. Development of E-Learning Tools for Training of Specialists for Electronics at the BSU in Frame of RESON-project / V. Stepanets, E. Krylova // Proceeding of 49. Internationales Wissenschaftliches Kollquium (49. IWK) 27-30.09.2004, Ilmenau, V.2 - pp. 492-497.

[8] Бибило, П.Н. VHDL. Эффективное использование при проектировании цифровых систем / П.Н. Бибило, Н.А. Авдеев. – М.: СОЛОН-Пресс, 2006. – 344 с.

[9] Авдеев, Н.А. Микросхема радиочастотной идентификации с протоколом обмена ISO-15693 / Н.А. Авдеев, А.И. Белоус, В.С. Зайцев, А.И. Колб // Электронные компоненты. – 2010. - № 8. – С. 75-78.

[10] Белоус, А.И. Микросхема радиочастотной идентификации IZ2805 / А.И. Белоус, В.С. Зайцев, А.И. Колб // Электронные компоненты. – 2011. – № 6. – С. 61-64.

[11] Зайцев В.С. VHDL описание и реализация блока кодирования системы радиочастотной идентификации. / Зайцев В.С., Степанец В.Я. // Материалы VI Международной конференции «Информационные системы и технологии (IST'2010)», Минск (Беларусь), 24-25 ноября 2010г. - с. 565-568.

[12] Viktor Zaitsau. The Expeirience of Use of VHDL Synthesis in Designing Radio Frequency Identification System. / Viktor Zaitsau, Vladimir Stepanets. // CADSM'2011, 23-25 Febrary, 2011, Polyana-Svalyava (Zakarpattiya), UKRAINE.

[13] (IZ2817) Микросхема интегральная-транспондер со встроенной памятью и функциями чтения/записи с поддержкой системы защиты данных. Свидетельство РФ о государственной регистрации топологии интегральной схемы № 2010630053 от 14 апреля 2010г. / Скоковская И.С., Зайцев В.С., Макаревич Ю.А., Колб А.И., Сякерский В.С. Правообладатель: Производственное республиканское унитарное предприятие «Завод полупроводниковых приборов» (БЮ).