

ПОСТРОЕНИЕ ТЕОРЕТИЧЕСКОЙ МОДЕЛИ ОПРЕДЕЛЕНИЯ ВРЕМЕНИ НАРАБОТКИ НА ОТКАЗ ПОДЗАТВОРНОГО ДИЭЛЕКТРИКА ПОДАЧЕЙ НА ЗАТВОР СТУПЕНЧАТО- НАРАСТАЮЩЕГО НАПРЯЖЕНИЯ

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Шешко П. П.

Чигирь Г. Г. – канд. техн. наук, доцент

В основу модели положена задача повышения экспрессности определения времени наработки на отказ подзатворного диэлектрика МДП-микросхем за счет применения ступенчато-нарастающего напряжения.

Для обеспечения экспрессности контроля целесообразно использовать для ускорения испытаний только один из факторов. В нашем случае удобно использовать величину напряжения, прикладываемого к затвору. При этом испытания проводятся при температуре эксплуатации микросхемы и пересчетов или поправок на температуру испытаний не требуется. Время наработки до отказа в режиме эксплуатации $T_{отк_экс}$, год, в данном случае будет рассчитываться из соотношения (1), соответствующего V-модели.

$$T_{отк_экс} = A_0 \cdot \exp(-\beta \cdot U_{экс}), \quad (1)$$

Сущность предложенного метода заключается в том, что в способе определения времени наработки на отказ подзатворного диэлектрика МДП-микросхемы, включающем испытание тестовой МДП-структуры приложением электрического напряжения к подзатворному диэлектрику до пробоя структуры, расчет времени наработки на отказ, испытания проводятся при температуре эксплуатации микросхемы, приложение электрического напряжения осуществляют в режиме ступенчато-нарастающего напряжения при постоянной длительности всех ступенек $t_{ступ}$ от 10 мс до 1 с, начиная с величины напряжения $U_{нач}$ (оно значительно меньше напряжения эксплуатации $U_{экс}$). После приложения каждой ступеньки напряжения проводят измерение величины тока утечки $I_{ут}$ МДП-структуры. Испытание прекращают при возникновении пробоя структуры, определяемого по величине измеренного тока. Расчет времени наработки на отказ $T_{отк_экс}$ производят по соотношению (1), описывающей процесс деградации диэлектрика.

Экспрессность контроля обеспечивается использованием в процессе испытаний ступенчато-нарастающего напряжения. Ступенчато-нарастающее напряжение удобно характеризовать скоростью развертки $K_{разв}$, В/с,

$$K_{разв} = \frac{\Delta U}{\Delta t_{ступ}}, \quad (2)$$

где ΔU – величина ступеньки или шаг по напряжению при развертке, В;
 $\Delta t_{ступ}$ – длительность ступеньки напряжения, с.

В процессе испытаний за время одной ступеньки $\Delta t_{ступ}$, с, в соответствии с выражениями (1), (2) происходит деградация, эквивалентная деградации в условиях эксплуатации, за время

$$\Delta T_{отк_экс} = \Delta t_{ступ} \cdot \exp(\beta[U - U_{экс}]) = \frac{\Delta U}{K_{разв}} \cdot \exp(\beta[U - U_{экс}]), \quad (3)$$

55-я научная конференция аспирантов, магистрантов и студентов БГУИР, 2019 г.

Проведя интегрирование (суммирование) по всем ступенькам напряжения, получим

$$\begin{aligned} T_{отк_экс} &= \int_{U_{нач}}^{U_{проб}} \frac{\exp(-\beta \cdot U_{экс})}{K_{разв}} \cdot \exp(\beta \cdot U) dU = \frac{\exp(-\beta \cdot U_{экс})}{K_{разв}} \cdot \int_{U_{нач}}^{U_{проб}} \exp(\beta \cdot U) dU = \\ &= \frac{\exp(-\beta \cdot U_{экс})}{K_{разв} \cdot \beta} \cdot (\exp(\beta \cdot U_{проб}) - \exp(\beta \cdot U_{нач})) \approx \frac{\exp(\beta \cdot (U_{проб} - U_{экс}))}{K_{разв} \cdot \beta}, \end{aligned} \quad (4)$$

Коэффициент β рассчитывается по данным двух измерений с различной скоростью развертки в соответствии с выражением

$$\beta = \frac{1}{U_{проб1} - U_{проб2}} \cdot \ln \frac{K_{разв1}}{K_{разв2}}, \quad (5)$$

где $U_{экс}$ – напряжение эксплуатации микросхемы, В;

Унач – начальное напряжение при измерении пробивного напряжения (Унач << Уэксп), В;

Упроб1 – напряжение пробоя диэлектрика при первой скорости развертки, В;

Упроб2 – напряжение пробоя диэлектрика при второй скорости развертки, В;

Кразв1, – первая скорость развертки, В/с;

Кразв2, – вторая скорость развертки, В/с.

Предложенная модель позволяет реализовать экспрессный контроль времени наработки до отказа тонких диэлектриков микросхем за счет значительного уменьшения времени испытаний и обработки данных. Контроль является эффективным для оперативного выявления потенциально ненадежной продукции и поддержания технологического процесса на требуемом уровне.

Список использованных источников:

[1] JEDEC Standart No. 35-A «Procedure for the Wafer-Level Testing of Thin Dielectrics », 2001, p. 1 – 40. Процедура тестирования тонких диэлектриков на этапе изготовления.

[2] JEDEC Standart No. 122E «Failure Mechanisms and Models for Semiconductor Devices», 2009, p. 8 - 12. Механизмы и модели отказов полупроводниковых приборов.

[3] Чигирь Г.Г. Белоус А.И., Турцевич А.С., «Методы повышения надежности микросхем на основе тестовых структур», Германия, LAP LAMBERT Academic Publishing GmbH & Co. KG Heinrich-Böcking-Str. 6-8, 2012, 240 С.

[4] Белоус А.И., Емельянов А.В., Чигирь Г.Г. Тестовые структуры в системах управления качеством интегральных микросхем // Минск: Интегралполиграф, 2008г., 208 С.

[5] Белоус А.И., Турцевич А.С., Чигирь Г.Г., Емельянов А.В. «Методы повышения надежности микросхем на основе тестовых структур», Гомель, 2011г., 240 С.