

УСТРАНЕНИЕ ИЕРАРХИИ ТРАНЗИСТОРНЫХ ОПИСАНИЙ ЛОГИЧЕСКИХ СХЕМ

Кириенко Н. А.

Объединённый институт проблем информатики Национальной академии наук Беларуси
Минск, Республика Беларусь
E-mail: kir@newman.bas-net.by

Рассматривается задача преобразования иерархических структурных описаний транзисторных схем в одноуровневые описания. Представлены форматы описаний транзисторных схем, алгоритм преобразования форматов. Алгоритм положен в основу процедуры, функционирующей в экспериментальной системе логического проектирования.

ВВЕДЕНИЕ

Объекты проектирования, поступающие на вход САПР СВИС, имеют, как правило, иерархическую структуру, т.е. проектировщик представляет задание на проектирование в виде схемы взаимосвязей некоторых логических блоков, каждый из которых также может быть представлен совокупностью взаимосвязанных логических блоков. Листьевыми блоками могут быть некоторые стандартные библиотечные элементы, логика их функционирования может описываться либо логическими уравнениями, либо системой ДНФ, либо структурной схемой из транзисторов. В последнем случае мы имеем дело с транзисторными описаниями объектов проектирования.

В настоящей работе приводятся постановка задачи и алгоритм устранения иерархии транзисторных описаний – преобразования многоуровневых описаний логических схем в одноуровневые транзисторные описания.

I. ФОРМАТ ОПИСАНИЯ ТРАНЗИСТОРНЫХ СХЕМ В СИСТЕМАХ АВТОМАТИЗИРОВАННОГО ПРОЕКТИРОВАНИЯ

Многоуровневое транзисторное описание логической схемы может быть получено в результате преобразования структурного описания устройства, реализованного в базе заданной библиотеки проектирования, в SPICE-формат. Структурное описание может быть результатом синтеза устройства по заданному исходному описанию поведения, представленного в листинге 1, в одной из промышленных систем проектирования, например, Leonardo Spectrum фирмы Mentor Graphics [1].

Листинг 1. Исходное описание поведения логической схемы на языке VHDL.

```
entity BDD_CONN is
port(x1, x2, x3 : in std_logic;
f1:out std_logic);
end BDD_CONN;
architecture BDD_CONN_arch of BDD_CONN is
begin
f1<=((NOT x3 AND NOT x1) OR x2 or x3);
end BDD_CONN_arch;
```

Описание синтезированной схемы представлено в листинге 2. В описании представлены

определения входных (x1, x2, x3), выходных (y) переменных, основных элементов схемы (ix5, ix66, ix68). Для каждого элемента определен его тип, входные и выходные сигналы.

Листинг 2. Синтезированная схема в базе КМОП элементов.

```
entity BDD_CONN is
port (
x1 : IN std_logic ;
x2 : IN std_logic ;
x3 : IN std_logic ;
f1 : OUT std_logic) ;
end BDD_CONN ;
architecture BDD_CONN_arch of BDD_CONN is
signal nx65, nx67: std_logic ;
begin
ix5 : NA3 port map ( Y=>f1, A=>x1, B=>nx65,
C=>nx67);
ix66 : N port map ( Y=>nx65, A=>x2);
ix68 : N port map ( Y=>nx67, A=>x3);
end BDD_CONN_arch ;
```

По описанию синтезированной схемы может быть построен файл в формате SPICE для моделирования в системе схемотехнического моделирования AccuSimII (фирмы Mentor Graphics) [2], который представлен в листинге 3. Описание каждого элемента схемы преобразовано в соответствии с требованиями AccuSimII, но содержит практически ту же информацию, что и синтезированная схема.

Листинг 3. Описание схемы в формате SPICE.

```
.subckt BDD_CONN f1 x1 x2 x3
X_ix5 f1 x1 nx65 nx67 NA3
X_ix66 nx65 x2 N
X_ix68 nx67 x3 N
.ends BDD_CONN
X_BDD_CONN f1 x1 x2 x3 BDD_CONN
```

II. АЛГОРИТМ ПРЕОБРАЗОВАНИЯ МНОГОУРОВНЕВОГО ТРАНЗИСТОРНОГО ОПИСАНИЯ В ОДНОУРОВНЕВОЕ

Описание схемы в формате SPICE содержит три элемента библиотеки проектирования двух типов: NA3, N. Задача устранения иерархии (или компиляции) транзисторных описаний состоит в замене каждой строки описания элемента строками определения этого элемента на транзисторном уровне. Для выполнения этой задачи необходимо иметь описание библиотеки эле-

ментов на транзисторном уровне. Пример описания элемента типа N на транзисторном уровне представлен в листинге 4.

Листинг 4. Описание элемента библиотеки КМОП типа N на транзисторном уровне

```
* Component: N
subckt N Y A
M2 Y A VCC VCC MODP L=3.5e-07 W=4.5e-06
as=1.04e-11 ad=1.04e-11 ps=1.36e-05 pd=1.36e-05
nrs=0.511111 nrd=0.511111
M1 Y A 0 0 MODN L=3.5e-07 W=2.5e-06 as=5.75e-12
ad=5.75e-12 ps=9.6e-06 pd=9.6e-06 nrs=0.92
nrd=0.92
.ends N
```

Описание каждой подсхемы состоит из раздела внешних имен, тела описания и раздела конца описания.

Раздел внешних имен имеет следующий вид:

```
.SUBCKT <имя подсхемы> <имена внешних полюсов>.
```

Имена внешних полюсов схемы – это перечень формальных параметров, которые при компиляции должны быть заменены фактическими из строки обращения к подсхеме. Тело описания может содержать описания как подсхем (вложенные подсхемы), так и транзисторов. Строка описания вложенной подсхемы имеет следующий вид:

```
<имя подсхемы> <имена полюсов> <имя типа
подсхемы>.
```

Имя подсхемы состоит из схемного имени подсхемы, перед которым записывается префикс «X_». В разделе <имена полюсов> должны быть перечислены имена реальных (фактических) переменных, соответствующих формальным переменным подсхемы. Фактические переменные должны быть указаны в том порядке, который был использован в списке имен внешних полюсов (формальных переменных) в заголовке описания соответствующего типа подсхемы (разделе .SUBCKT).

Строка описания транзистора имеет следующий вид:

```
<имя транзистора><имена узлов><физические
характеристики>.
```

Имя транзистора состоит из заглавной латинской буквы M и номера. Далее следуют четыре идентификатора, означающих имена узлов стока, затвора, истока, подложки транзистора, соответственно. Далее следуют тип модели транзистора (MODP или MODN) и его физические характеристики. Раздел конца описания:

```
.ENDS <имя типа подсхемы>.
```

Задача компиляции решается путем поэтапного раскрытия подсхем в исходном описании и замене листовых подсхем их транзисторными описаниями. В описании более высокого уровня подсхема описывается обращением к ней - заголовком, в котором выписаны фактические параметры (имена переменных, подаваемых на входы и снимаемых с выходов схемы). В заголовке описания подсхемы перечислены формальные параметры. Соответствие имен формальных и фак-

тических параметров задается порядком их перечисления. В процессе компиляции схемы обращение к схеме должно быть заменено описанием ее внутренней структуры, причем формальные параметры должны быть заменены на фактические во всем описании. Имена транзисторов и внутренние имена переменных подсхемы должны быть подвергнуты переименованию, так как в противном случае при раскрытии одинаковых типов схем получится некорректное использование одинаковых имен. В качестве новых имен транзисторов используется тот же символ “M” со сквозной последовательной нумерацией. Внутренние имена в транзисторных описаниях элементов заменяются на числовой порядковый номер. Имена 0 и VCC резервируются за узлами земли и питания.

Решение задачи компиляции заключается в поуровневом просмотре многоуровневого описания. По мере раскрытия очередной подсхемы описания ее транзисторов с замененными именами узлов переписываются в результирующее описание, а о каждой подсхеме заполняются таблицы нераскрытых на данном уровне подсхем. Тип подсхемы запоминается в таблице имен типов, а список фактических параметров - таблице фактических параметров. При выполнении компиляции на i-м уровне, составляются таблицы нераскрытых подсхем для (i+1)-го уровня. Если таблицы для (i+1)-го уровня пусты, то компиляция схемы закончена. Если таблицы для (i+1) уровня не пусты, то происходит обработка подсхем из этих таблиц.

Пример скомпилированной подсхемы BDD_CON представлен в листинге 5.

Листинг 5.

```
.subckt BDD_CONN f1 x1 x2 x3
M12 N4 x1 0 0 MODN
M11 N3 nx65 N4 0 MODN
M8 f1 nx67 N3 0 MODN
M9 f1 nx67 VCC VCC MODP
M2 f1 nx65 VCC VCC MODP
M1 f1 x1 VCC VCC MODP
M13 nx65 x2 VCC VCC MODP
M14 nx65 x2 0 0 MODN
M15 nx67 x3 VCC VCC MODP
M16 nx67 x3 0 0 MODN
.ends BDD_CONN
```

Рассмотренный алгоритм положен в основу процедуры, функционирующей в системе логического проектирования CMOSLD [3], разработанной в Объединенном институте проблем информатики НАН Беларуси.

1. Бибило, П. Н. Системы проектирования интегральных схем на основе языка VHDL. StateCAD, ModelSim, LeonardoSpectrum / П. Н. Бибило. – М. : СОЛОН-Пресс. – 2005. – 384 с.
2. Eldo User's Manual / v. 6.5_1. – 2005.
3. Бибило, П. Н. Система логического проектирования функциональных блоков заказных КМОП СБИС с пониженным энергопотреблением / П. Н. Бибило, Н. А. Авдеев, С. Н. Кардаш, Н. А. Кириенко, Ю. Ю. Ланкевич, И. П. Логинова, Д. И. Черемисинов, Л. Д. Черемисинова // Микроэлектроника. – 2018. – № 1. – С. 72 – 88.