

Министерство образования Республики Беларусь  
Учреждение образования  
«Белорусский государственный университет  
информатики и радиоэлектроники»

Кафедра микро- и наноэлектроники

**А. Г. Черных, Б. С. Колосницын**

***ТЕХНОЛОГИЯ ИЗГОТОВЛЕНИЯ  
ИНТЕГРАЛЬНЫХ МИКРОСХЕМ.  
ЛАБОРАТОРНЫЙ ПРАКТИКУМ***

*Рекомендовано УМО по образованию  
в области информатики и радиоэлектроники для специальностей  
1-41 01 02 «Микро- и наноэлектронные технологии и системы»  
и 1-41 01 03 «Квантовые информационные системы»  
в качестве пособия*

Минск БГУИР 2014

УДК 621.3.049.77(076.5)

ББК 32.844.1я73

Ч-49

**Р е ц е н з е н т ы:**

кафедра интеллектуальных систем Белорусского национального технического университета (протокол №1 от 03.01.2013 г.);

профессор кафедры микро- и нанотехники Белорусского национального технического университета, доктор технических наук, профессор В. А. Сычик;

профессор кафедры проектирования информационно-компьютерных систем учреждения образования «Белорусский государственный университет информатики и радиоэлектроники», доктор технических наук В. В. Баранов

**Черных, А. Г.**

Ч-49 Технология изготовления интегральных микросхем. Лабораторный практикум : пособие / А. Г. Черных, Б. С. Колосницын. – Минск : БГУИР, 2014. – 48 с. : ил.

ISBN 978-985-543-002-6.

Пособие содержит описание восьми лабораторных работ и позволяет получить представления о технологии изготовления широкого класса интегральных микросхем. При выполнении этих работ студенты могут изучить технологические процессы и контрольные операции после различных этапов изготовления интегральных микросхем, получить практические навыки измерений параметров тестовых структур и научиться проводить анализ технологического процесса по результатам этих измерений.

Основано на материале по дисциплинам «Технология изготовления интегральных микросхем» и «Технологические процессы микроэлектроники» специальностей «Микро- и нанoeлектронные технологии и системы» и «Квантовые информационные системы». Может быть полезно при изучении родственных курсов других специальностей.

**УДК 621.3.049.77(076.5)**

**ББК 32.844.1я73**

**ISBN 978-985-543-002-6**

© Черных А. Г., Колосницын Б. С., 2014  
© УО «Белорусский государственный университет информатики и радиоэлектроники», 2014

## СОДЕРЖАНИЕ

1 ЦЕЛЬ ЛАБОРАТОРНОГО ПРАКТИКУМА .....	4
2 ПОСЛЕДОВАТЕЛЬНОСТЬ ВЫПОЛНЕНИЯ РАБОТ .....	4
3 ТЕХНОЛОГИЧЕСКИЕ ПРОЦЕССЫ ИЗГОТОВЛЕНИЯ ИМС.....	4
3.1 Технологический процесс изготовления ИМС на ТТЛШ-элементах ..	4
3.2 Технологический процесс изготовления КМОП ИМС с металлизацией на основе пленок алюминия .....	6
3.3 Технологический процесс изготовления СВЧ ИМС.....	8
3.4 Технологический процесс изготовления БиКМОП ИМС .....	11
3.5 Технологический процесс изготовления запоминающих элементов в ИМС .....	12
3.6 Технологический процесс изготовления КМОП ИМС на основе КНИ-структур .....	15
3.7 Технологический процесс изготовления КМОП ИМС с металлизацией на основе пленок меди .....	18
3.8 Конструктивно-технологические особенности формирования КМОП-структур с high-k-подзатворным диэлектриком и металлическим затвором .....	23
4 ТЕСТОВЫЙ КОНТРОЛЬ В ТЕХНОЛОГИИ ИМС .....	32
5 СТРУКТУРА ПРОГРАММЫ НА ПЭВМ.....	40
6 ТРЕБОВАНИЯ ТЕХНИКИ БЕЗОПАСНОСТИ ПРИ РАБОТЕ С ИЗМЕРИТЕЛЬНЫМ КОМПЛЕКСОМ.....	45
7 КОНТРОЛЬНЫЕ ВОПРОСЫ .....	45
ЛИТЕРАТУРА .....	48

## **1 ЦЕЛЬ ЛАБОРАТОРНОГО ПРАКТИКУМА**

Получение представления о технологических процессах изготовления ИМС; изучение технологического маршрута и контрольных операций после различных этапов изготовления ИМС; приобретение практических навыков измерений параметров тестовых структур (ТС) и проведения анализа технологического процесса по результатам измерений ТС.

В лабораторном практикуме рассматриваются технологические маршруты изготовления ИМС и конструктивно-технологические особенности формирования МОП-структур с различными проектными нормами на топологию кристалла.

## **2 ПОСЛЕДОВАТЕЛЬНОСТЬ ВЫПОЛНЕНИЯ РАБОТ**

2.1 Получите у преподавателя задание на выполнение лабораторной работы. Изучите требования по технике безопасности (раздел 6) и описание программы по проведению лабораторной работы на ПЭВМ (раздел 5).

2.2 Ознакомьтесь с технологическим процессом изготовления ИМС (раздел 3). Изучите технологический процесс изготовления ИМС на ПЭВМ.

2.3 Изучите конструкцию тестовых модулей и топологию ТС на кремниевых пластинах. Ознакомьтесь с основными ТС для изучаемого технологического процесса изготовления ИМС (раздел 4).

2.4 Приступите к выполнению экспериментальной части работы – измерению основных параметров ТС на ПЭВМ.

2.5 После окончания измерений основных параметров ТС постройте гистограммы распределения значений параметров ТС. Сопоставьте реальные (полученные в результате измерений) распределения значений параметров с оптимальными.

2.6 Представьте результаты эксперимента на утверждение преподавателю.

2.7 Для защиты работы подготовьте рекомендации по изменению технологического процесса изготовления ИМС.

## **3 ТЕХНОЛОГИЧЕСКИЕ ПРОЦЕССЫ ИЗГОТОВЛЕНИЯ ИМС**

### **3.1 Технологический процесс изготовления ИМС на ТТЛШ-элементах**

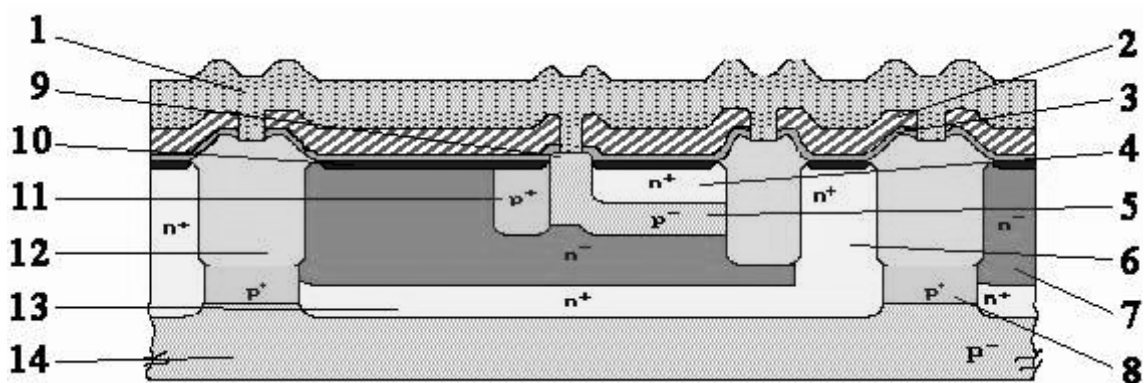
На рисунке 1 показано сечение структуры n-p-n-транзистора с диодом Шоттки, как наиболее характерного в ТТЛШ ИС. В качестве исходного материала используется подложка, легированная примесью p-типа (КДБ-10). После окисления подложек проводят фотолитографию для создания скрытого n<sup>+</sup>-слоя. Для уменьшения сопротивления коллекторной области транзистора поверхностное сопротивление скрытых слоев необходимо уменьшать настолько это возможно. С этой целью скрытые слои подвергают сильному легированию.

Такой сильнолегированный скрытый слой приводит к чрезмерной диффузии примеси в слаболегированный эпитаксиальный коллектор n-типа и может стать причиной образования дефектов в эпитаксиальном слое. При выборе примеси для легирования скрытого слоя обычно отдают предпочтение мышьяку или сурьме, а не фосфору, поскольку они имеют более низкий коэффициент диффузии. Скрытый слой получают путем ионной имплантации сурьмы с последующим термическим отжигом в окисляющей атмосфере. Затем окисел удаляют со всей поверхности подложки и проводят процессы для создания скрытого p<sup>+</sup>-слоя, после чего выращивают эпитаксиальный слой. Эпитаксиальный слой проводимостью n-типа служит в качестве коллекторной области. Чем слабее легирован эпитаксиальный слой, тем меньшей емкостью обладает переход коллектор – база полупроводникового прибора. Эта емкость является основной паразитной емкостью, ограничивающей быстродействие биполярных транзисторов. Однако слишком низкий уровень легирования эпитаксиального слоя очень сложно проконтролировать в ходе эпитаксиального выращивания из-за процесса автолегирования примесью из скрытого слоя.

После создания скрытых слоев и эпитаксиального слоя переходят к процессам получения изоляции. Для этого на подложку с эпитаксиальным слоем последовательно наносят маскирующие слои SiO<sub>2</sub> и Si<sub>3</sub>N<sub>4</sub> и проводят фотолитографию для локального окисления. Изолирующий окисел выращивается таким образом, чтобы его верхняя поверхность и поверхность кремния лежали в одной плоскости. С этой целью проводят травление кремния под локальный окисел. Термическое окисление осуществляют на глубину 1,6 мкм. Скрытый p<sup>+</sup>-слой позволяет сократить толщину термического окисла, а также уменьшить микрорельеф поверхности. Одновременно скрытый p<sup>+</sup>-слой исключает инверсионные каналы под локальным окислом, что повышает электрическую прочность изоляции.

После создания изоляции переходят к процессам создания активных областей транзистора. Базовая область создается в две стадии путем ионного легирования бором с использованием двух фотолитографий. Высоколегированная эмиттерная область получена ионным легированием фосфора с последующим кратковременным отжигом.

На заключительном этапе технологического маршрута проводятся процессы создания металлизации и диода Шоттки. В качестве металла для получения диода Шоттки на коллекторно-базовых областях используют силицид платины, который одновременно выполняет функции контактирующего слоя с областями эмиттера и коллектора. После напыления и вжигания платины проводятся процессы создания металлизации, которая состоит из двух слоев: TiN – барьерного и Al – проводящего. Заключительным процессом получения микросхемы является пассивация, которая проводится с помощью низкотемпературных слоев SiO<sub>2</sub> или Si<sub>3</sub>N<sub>4</sub>.



1 – пассивирующий слой (ФСС); 2 – проводящий слой (Al); 3 – барьерный слой (TiW);  
 4 – эмиттер (P); 5 – база (B); 6 – коллектор (P); 7 – эпитаксиальный слой;  
 8 – скрытый слой (B); 9 – защитный окисел; 10 – металл для создания  
 диода Шоттки (PtSi); 11 – p<sup>+</sup>-база (B); 12 – изолирующий окисел;  
 13 – скрытый слой (Sb); 14 – исходная пластина

Рисунок 1 – Сечение структуры n-p-n-транзистора с диодом Шоттки

### 3.2 Технологический процесс изготовления КМОП ИМС с металлизацией на основе пленок алюминия

КМОП-технология вобрала в себя все преимущества и достижения полупроводниковой планарной технологии и стала одной из наиболее важных технологических схем формирования ИМС.

В лабораторной работе рассматривается технологический маршрут изготовления базового матричного кристалла (БМК) на КМОП-структурах. Такой технологический маршрут характерен для многих современных ИС, включающих 200 тыс. и более транзисторных элементов. Основу элементной базы БМК составляют n- и p-канальные МОП-транзисторы с поликремниевым затвором, сформированные на одной подложке.

В качестве материала подложки используется кремний монокристаллический КЭФ 4,5. Как n-, так и p-канальные транзисторы формируются в n- и p-карманах соответственно. Введение двух самосовмещенных карманов необходимо для повышения устойчивости микросхем к защелкиванию и улучшения их параметров.

Карман p-типа формируется ионным легированием бора с энергией 40 кэВ и дозой 2,0 мкКл/см<sup>2</sup>. Карман n-типа формируется ионным легированием фосфора с энергией 75 кэВ и дозой 0,5 мкКл/см<sup>2</sup>. Разгонка карманов происходит при 1200 °С в течение 2 ч в атмосфере кислорода и 8 ч в атмосфере аргона. Охранные области формируются ионным легированием бора с энергией 100 кэВ и дозой 250 мкКл/см<sup>2</sup>. Локальный окисел для LOKOS-изоляции (1,0 мкм) выращивается при повышенном давлении с использованием маски из нитрида кремния. Технологический маршрут рассчитан для проектных норм на топологию 2 мкм, в связи с чем толщина подзатворного диэлектрика выбрана

0,027 мкм. Соответственно эффективная длина канала для n-канального транзистора составляет 1,1 мкм, а для p-канального – 1,4 мкм.

В качестве подзатворного диэлектрика используется пирогенный окисел. Затвор формируется из поликремния (0,45 мкм) путем анизотропного плазмохимического травления. Истоки (стоки) n+ создаются ионным легированием фосфора с энергией 40 кэВ и дозой 1000 мкКл/см<sup>2</sup>. Истоки (стоки) p+ создаются ионным легированием бора с энергией 30 кэВ и дозой 300 мкКл/см<sup>2</sup>. Затем проводится активация примеси при 850 °С в сухом кислороде в течение 30 мин.

Так как концентрация в p-кармане достаточно низкая, пороговое напряжение n-канальных транзисторов зависит в основном от дозы ионов бора, имплантированных в канал. Пороговое напряжение p-канального транзистора определяется в основном уровнем легирования в области канала. Величины пороговых напряжений p- и n-канальных транзисторов составляют 1,1 + 0,2 В.

Удельные поверхностные сопротивления слоев составляют: первый слой металлизации (материал Al + 1 % Si) – 0,1 Ом/квадрат при толщине слоя 0,6 – 0,8 мкм; второй слой металлизации – 0,1 Ом/квадрат при толщине слоя – 1,1 мкм; кремний поликристаллический – 30 Ом/квадрат; кремний n+ – 60 Ом/квадрат; кремний p+ – 10 Ом/квадрат; p-карман – 2500 Ом/квадрат; n-карман – 4000 Ом/квадрат.

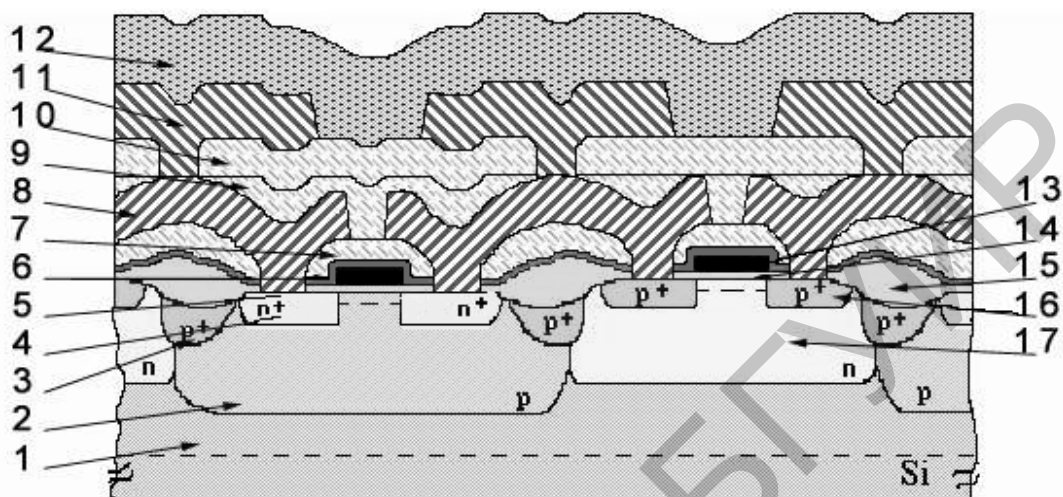
Для получения требуемых размеров элементов необходимо иметь соответствующие точности литографических процессов. С этой целью можно использовать проекционную фотолитографию. Точность проведения фотолитографических операций определяется прежде всего качеством шаблонов и возможностями установок экспонирования и мультипликации.

В конструкции микросхем используется двухуровневая металлизация с шагом в слоях – 6 мкм (шина – 4,2 мкм, зазор – 1,8 мкм). Столь малые топологические размеры требуют максимальной планаризации рельефа. В качестве первого межслойного диэлектрика используется борофосфорно-силикатное стекло (БФСС) толщиной 0,6 мкм. Достоинством БФСС является его низкая температура оплавления (850 °С), что позволяет проводить планаризацию как по затвору, так и после травления контактных окон. При травлении происходит подтрав кремния в области контактных окон (на глубину 0,1 мкм), что приводит к снижению поверхностной концентрации в n-области и, как следствие, к увеличению контактного сопротивления. С целью исключения данного выхода брака необходимо проводить дополнительное легирование n-области с использованием дополнительной литографии.

С целью исключения обрывов по второму слою металла проводится дополнительная планаризация методом сквозного протравливания. Метод заключается в следующем: после создания первого уровня металлизации наносится фосфорно-силикатное (ФСС) (0,8 мкм) и разжиженный фоторезист. После сушки и задубливания фоторезиста проводится плазмохимическое травление фоторезиста и ФСС, причем режимы травления подбираются таким образом,

чтобы скорость травления фоторезиста и ФСС были одинаковыми. Наилучшая планаризация получается, когда травление проводится до остаточной толщины ФСС (0,3 мкм).

После формирования металлизации проводят пассивацию кристаллов для защиты структур от механических и климатических воздействий. На рисунке 2 показано сечение КМОП-структуры.



- 1 – исходная подложка; 2 – карман р-типа; 3 – охранный слой;  
 4 – истоки-стоки; 5 – контактная область; 6 – ФСС;  
 7 – борфосфорно-силикатное стекло; 8 – первый слой металлизации;  
 9 – планаризирующий слой ФСС; 10 – межуровневый диэлектрик;  
 11 – второй слой металлизации; 12 – пассивирующий слой; 13 – поли-Si;  
 14 – подзатворный окисел; 15 – изолирующий окисел; 16 – истоки-стоки;  
 17 – карман n-типа

Рисунок 2 – Сечение КМОП-структуры с металлизацией на основе пленок алюминия

### 3.3 Технологический процесс изготовления СВЧ ИМС

Цифровые арсенид-галлиевые ИМС изготавливаются по различным технологическим вариантам, которые отличаются главным образом методами создания легированных и изолирующих областей. Когда для изоляции используется мезотехнология, возникают проблемы, связанные с паразитными емкостями, увеличением длины межсоединений и снижением их надежности на ступеньках, образующихся при травлении мезоструктур. Другой технологический вариант предусматривает создание планарной структуры с изоляцией путем имплантации ионов бора или кислорода. При этом активные слои могут изготавливаться различными методами. Для снижения сопротивления контактов может применяться локальная имплантация доноров в приконтактные области.

Еще один вариант технологии изготовления планарной структуры ИМС использует локальную имплантацию непосредственно в высокоомную подложку, как для создания активных областей приборов, так и для изготовления сильнолегированных областей. Основными достоинствами этой технологии яв-



ляются возможность оптимизации профиля распределения примеси в активных областях схем и снижение паразитных сопротивлений в транзисторах и диодах за счет создания сильно легированных областей.

Технология арсенид-галлиевых СВЧ ИМС весьма отличается от технологии кремниевых приборов. Она обладает рядом особенностей, в числе которых можно назвать возможность создания спиральных структур индуктивности, монолитных конденсаторов и перемычек с воздушным зазором. Активные элементы в СВЧ ИМС создаются, как и в цифровых ИМС, методами эпитаксии или ионного легирования.

Важнейшими блоками при изготовлении СВЧ ИМС являются омический контакт (ОК) и барьер Шоттки (БШ). Изготовление ОК с малым сопротивлением представляет более сложную задачу, чем для Si, вследствие химической активности материала и трудностей создания несплавных контактов к GaAs. Наиболее распространенный метод формирования ОК заключается в вакуумном осаждении двухслойной системы. Первый слой обеспечивает химическую стойкость, а второй служит для образования n+-слоя. Наиболее часто используют систему Au-Ge в комбинации с поверхностным слоем из никеля, который служит для предотвращения каплеобразования в процессе вжигания. Полученный контакт вначале обладает запирающими свойствами. Для их устранения проводят нагрев до эвтектической температуры (425 °С) в инертной атмосфере или в водороде с образованием жидкой фазы на поверхности раздела и последующей кристаллизацией. Полученные таким образом контакты обладают удельным сопротивлением менее 10 Ом·см. Снижения величины удельного сопротивления ОК можно добиться путем лазерного или электронно-лучевого воздействия на металлические и ионно-легированные слои. С применением импульсной обработки возможно создание стабильных и надежных контактов к GaAs на основе тугоплавких металлов, например Ti-Pt-Au. Металлизация таких контактов обычно формируется взрывным способом.

Важным этапом в технологии создания СВЧ ИМС является формирование БШ. Высокие значения БШ в GaAs, независимость высоты этих барьеров от большинства параметров и способов подготовки поверхности делают GaAs особенно привлекательным для создания ИС на полевых транзисторах с барьером Шоттки (ПТШ).

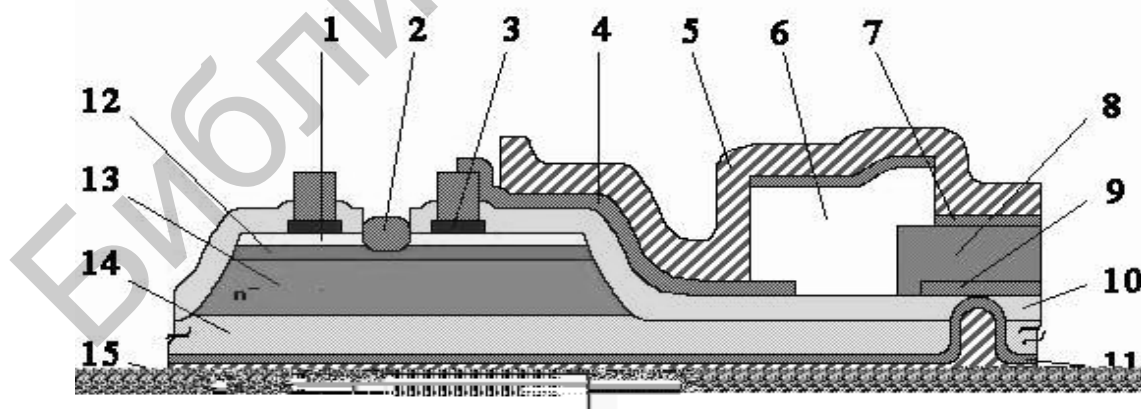
Наиболее распространенным материалом затвора является Al, часто используют Ti-Au, Ti-Pt-Au. При использовании Ti и Au между ними вводят барьерный слой Mo, W, Ni или Pd, предотвращающий диффузию Au через Ti в GaAs. Выбор металла затвора определяется необходимостью обеспечить близкие значения тепловых коэффициентов линейного расширения GaAs и металла. БШ создают методом взрывной литографии. В качестве маски обычно используют Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub>, фоторезист. БШ создают в специальном углублении, что увеличивает его эффективность. Необходимо отметить, что при создании углубления формируется канал ПТШ с заданным напряжением отсечки ( $U_{отс}$ ). Углубленный на 0,2–0,3 мкм затвор позволяет снизить коэффициент шума на 2–3 дБ.

Обычно углубление создается химическим травлением в сернокислом или перекисно-аммиачном травителях. Химическое травление должно обеспечивать низкие скорости и однородный фронт травления.

После затвора вакуумным напылением и взрывной литографией создают первый слой металлизации с одновременным формированием индуктивности и нижних обкладок конденсатора. При этом одновременно увеличивают толщину металлизации истоков – стоков, уменьшая их распределенное сопротивление. В качестве диэлектрика для конденсаторов используют  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$  и другие диэлектрики. Верхняя обкладка конденсаторов формируется со вторым слоем металлизации – разводкой. В качестве металлизации разводки используют V-Al, Ti-Au, Cr-Au, Ti-Pt-Au. В многозатворных ПТШ разводку истоков – стоков осуществляют, как правило, воздушными мостами.

Верхние обкладки конденсаторов для устранения влияния обрыва диэлектрика на первом уровне металлизации также разводят мостами. При создании мостов применяют гальваническое выращивание Au с последующим его травлением и вымыванием фоторезиста из-под перемычек.

Большинство схемотехнических решений СВЧ ИС предполагает заземление истоков по ВЧ. Наиболее распространены два типа заземления – через торец кристалла и через сквозное отверстие. Первый подход наиболее прост в технологическом отношении и обеспечивает высокий процент выхода годных изделий. Однако ПТШ при таком подходе надо располагать по краю кристалла из соображений минимальной индуктивности выводов. Сквозное заземление характеризуется меньшей индуктивностью и облегчает проектирование топологии. Для реализации сквозного заземления подложка утоняется химическим травлением до 100 мкм. Затем химическим или плазменным травлением в ней создают отверстие, которое металлизуют гальваническим Au, контактирующим с планарной стороны с истоками ПТШ. Заключительным этапом при создании ПТШ является пассивация кристалла (рисунок 3).



- 1 – эпитаксиальный слой; 2 – затвор; 3 – контактный слой;  
 4 – металлизация – первый слой; 5 – слой Au; 6 – воздушный мост;  
 7 – верхняя обкладка конденсатора; 8 – диэлектрик; 9 – нижняя обкладка конденсатора;  
 10 – окисел; 11 – утонение подложки; 12 – эпитаксиальный слой n+-слоя;  
 13 – эпитаксиальный слой; 14 – AsGa-пластина; 15 – второй слой Au

Рисунок 3 – Сечение структуры транзистора GaAs ИМС

### 3.4 Технологический процесс изготовления БиКМОП ИМС

При разработке БиКМОП-технологии обычно используются ранее разработанные блоки биполярных и КМОП-технологий, апробированные конструктивно-технологические решения, позволяющие получить единый процесс. Подобный подход позволяет создавать различные типы БиКМОП-структур.

В лабораторной работе рассматривается технологический маршрут изготовления БиКМОП ИМС, применяемый в производстве быстродействующих цифровых схем. Для реализации данного маршрута необходимо использовать 17 процессов фотолитографии, 14 операций ионного легирования, 9 процессов нанесения диэлектрических слоев и поликремния. Такой маршрут характерен для многих современных ИМС с высокой степенью интеграции.

В качестве материала подложки используется кремний монокристаллический с ориентацией  $\langle 100 \rangle$  и р-легированием. Эпитаксиальный слой 2,15 КЭФ 4,5 выращивается поверх  $n^+$ - и  $p^+$ -скрытых слоев. Скрытый  $n^+$ -слой служит коллектором вертикального n-p-n-транзистора и подавляет эффект защелкивания в р-канальных МОП-транзисторах. Формируется слой ионным внедрением Sb (энергия  $E = 60$  кэВ, доза  $D = 250$  мкКл/см<sup>2</sup>) с последующей разгонкой в течение 1,5 ч при  $t = 1220$  °С в кислородной атмосфере. Слаболегированные области р-слоя обеспечивают изоляцию элементов за счет смыкания с р-карманами и  $p^+$ -охранным слоем под изолирующим окислом. Формируется р-скрытый слой ионным внедрением (доза  $D = 3$  мкКл/см<sup>2</sup>,  $E = 100$  кэВ).

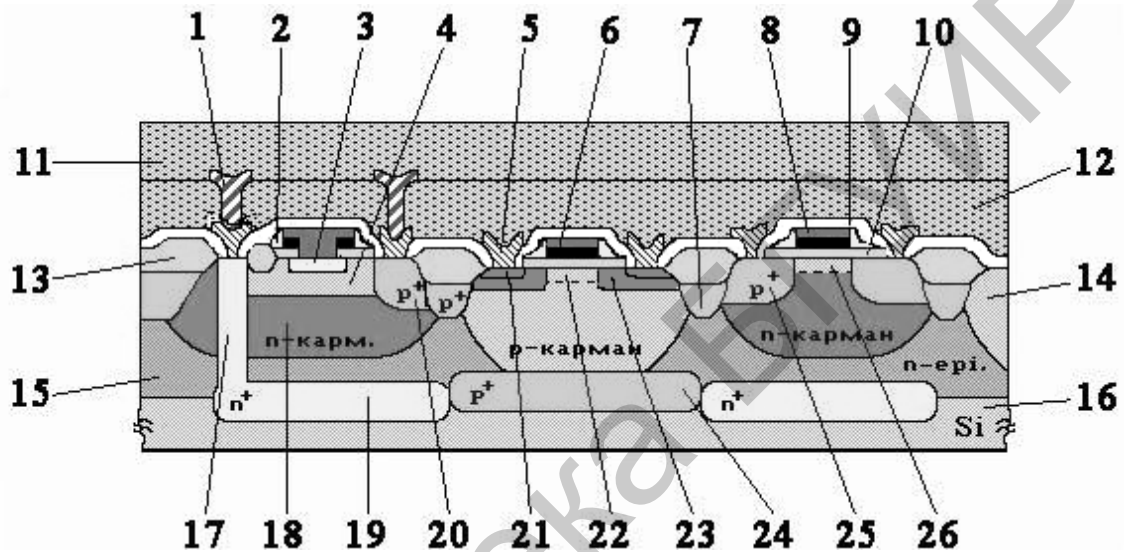
Карманы n- и р-типа формируются самосовмещением с использованием одной операции маскирования. Режимы ионного легирования для карманов р-типа –  $D = 0,3$  мкКл/см<sup>2</sup>,  $E = 75$  кэВ. Разгонка карманов происходит в атмосфере  $N_2$  в течение 1 ч при  $t = 1150$  °С.

Отдельными операциями маскирования и легирования формируются области глубокого  $n^+$ -коллектора активной базы р-резисторов, что обеспечивает улучшение характеристики биполярного транзистора.

Поликремниевые эмиттеры и n-затворы МОП-транзисторов формируются в одном процессе за один этап маскирования. Особенности формирования стоковых областей определяются топологическими размерами затворов МОП-транзисторов. Для n-МОП длина затвора 1,4 мкм, а для р-МОП – 1,8 мкм. Поэтому для исключения эффекта короткого канала на n-МОП-транзисторах после формирования затворов формируются области n-истоков. Затем на затворах формируются окисные боковые стенки, которыми задаются границы легирования  $n^+$ -истоков. Граница  $p^+$ -истоковых областей задается затворами. Толщина подзатворного диэлектрика 0,03 мкм. Локальный окисел для LOCOS-изоляции 0,8 мкм выращивается при повышенном давлении с использованием маски  $Si_3N_4$ .

В технологии применяется двухуровневая система металлизации. Особенности формирования первого уровня металлизации определяются использованием поликристаллического эмиттера. Для уменьшения деградации коэффициента усиления применяется система  $TiN+AlSi$  ( $d = 0,18 + 0,4$  мкм). Второй

слой металлизации – система AlSi (1,2 мкм). Применение двухуровневой металлизации требует максимальной планаризации рельефа. В качестве первого диэлектрика используется БФСС. Это позволяет провести планаризацию рельефа за счет низкотемпературного оплавления (850 °С, 45 мин в кислородной атмосфере). Межслойным диэлектриком между первым и вторым слоями металла является либо планаризованное ФСС либо полиамид. При применении в качестве межслойного диэлектрика ФСС планаризацию проводят методом сквозного протравливания. Для защиты структуры от механических и климатических воздействий проводят пассивацию с использованием пленки полиамида (рисунок 4).



- 1 – второй слой металлизации; 2 – планаризирующий окисел; 3 – эмиттер биполярного транзистора; 4 – база; 5 – первый слой металлизации; 6 – первый слой poli-Si; 7 – охранный слой; 8 – второй слой poli-Si; 9 – борофосфорно-силикатное стекло; 10 – подзатворный окисел; 11 – пассивирующий слой; 12 – межуровневый диэлектрик; 13 – изолирующий окисел; 14 – карман p-типа; 15 – эпитаксиальный слой; 16 – исходная пластина; 17 – коллектор; 18 – n-карман; 19 – скрытый n+-слой; 20 – скрытый p+-слой; 21 – n++-приконтактная область; 22 – подлегирование канала; 23 – исток-стоковые области; 24 – скрытый p+-слой; 25 – исток-стоковые области; 26 – подлегирование канала

Рисунок 4 – Сечение структуры БикМОП-элемента ИМС

### 3.5 Технологический процесс изготовления запоминающих элементов ИМС

Приборы со встроенными блоками электрически стираемых программируемых постоянных запоминающих устройств (EPR0M) в настоящее время являются одними из наиболее используемых типов микросхем. Эти приборы применяются в самых различных устройствах: в кредитных и телефонных карточках, микросхемах для компьютерной техники и в микрокалькуляторах, в электронных часах и оборудовании для телефонии, в торговле и средствах свя-

зи. Включение в состав микроконтроллеров блоков энергонезависимой памяти расширяет возможности этого класса микросхем.

Преимуществом таких устройств является то, что информация может храниться в них порядка 10 лет, а стирание информации производится ультрафиолетовым излучением или рентгеновским излучением, туннелированием (в зависимости от технологии и структуры ячейки).

Среди электрически стираемых программируемых постоянных запоминающих устройств (ЭСПЗУ) большое распространение имеют запоминающие устройства с параллельным стиранием (FLASH ЭСПЗУ), в которых возможна электрическая запись каждой ячейки в отдельности, а электрическое стирание осуществляется для всего кристалла одновременно. В настоящее время около 70 % микросхем FLASH-памяти разработаны на основе запоминающих ячеек ETOX (EPROM tunnel oxide).

Запоминающие элементы ЭСПЗУ типа ETOX – один из наиболее распространенных базовых элементов энергонезависимой памяти. Структура двухтранзисторной запоминающей ячейки ЭСПЗУ приведена на рисунке 5.

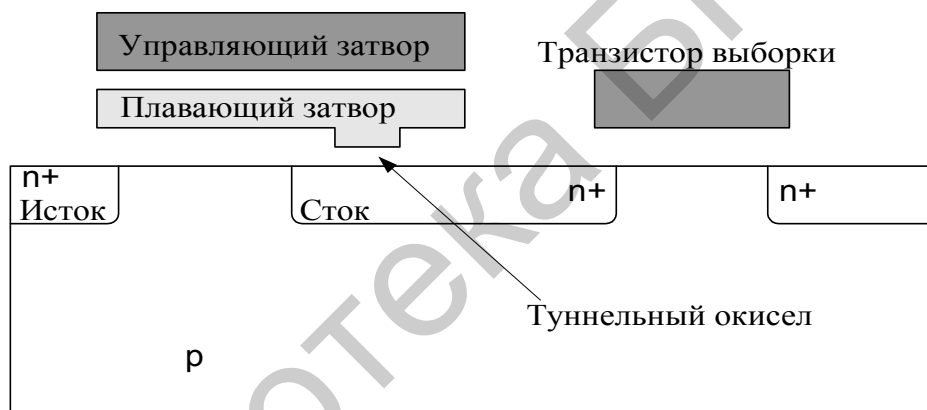


Рисунок 5 – Структура запоминающей ячейки ЭСПЗУ

Толщина окисла между плавающим затвором и подложкой составляет около 10 нм, следовательно, возможно туннелирование электронов с плавающего затвора на исток, если к истоку приложено высокое напряжение при заземленном управляющем затворе. Поэтому пробивное напряжение истокового перехода должно быть достаточно велико. Области истока и стока FLASH ячейки формируются отдельно. В качестве межслойного диэлектрика между управляющим и плавающим затвором используется структура ONO (окисел – нитрид – окисел).

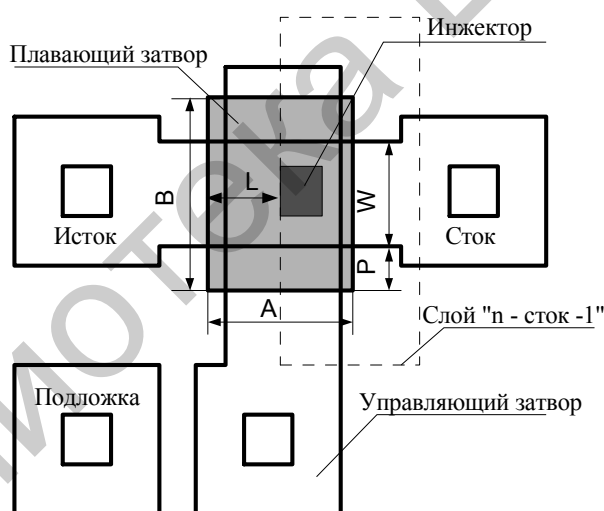
Запрограммированное состояние соответствует наличию отрицательного заряда на плавающем затворе и высокому пороговому напряжению запоминающего транзистора. Для реализации такого состояния к управляющему затвору ячейки прикладывается высокое напряжение при заземленных электродах истока, стока и подложки.

В стертом состоянии на плавающем затворе имеется небольшой положительный заряд, приводящий к отрицательному пороговому напряжению и к отпиранию запоминающего транзистора. Для реализации такого состояния к управляющему затвору ячейки прикладывается нулевое смещение, электроды истока и подложки заземляются, а к электроду стока прикладывается высокое напряжение.

Механизм программирования – записи запоминающей ячейки идет за счет инжекции «горячих» электронов из канала транзистора на плавающий затвор. Программирование запоминающей ячейки осуществляется при подаче на управляющий затвор напряжения программирования  $U_3 = 12$  В. Напряжение стока варьируется от 6 до 12 В. Длительность импульса программирования составляет  $t = 10^{-4}$  с,  $5 \cdot 10^{-4}$  с и  $10^{-3}$  с.

Стирание запоминающей ячейки осуществляется при подаче на управляющий затвор напряжения  $U_3 = 0$  В. Напряжение стока варьируется от 9 до 11 В. Длительность импульса программирования составляет  $t = 10^{-3}$  с,  $5 \cdot 10^{-3}$  с,  $10^{-2}$  с и  $5 \cdot 10^{-2}$  с.

На рисунке 6 приведена топология тестового запоминающего элемента ЭСППЗУ – транзистора с плавающим затвором.



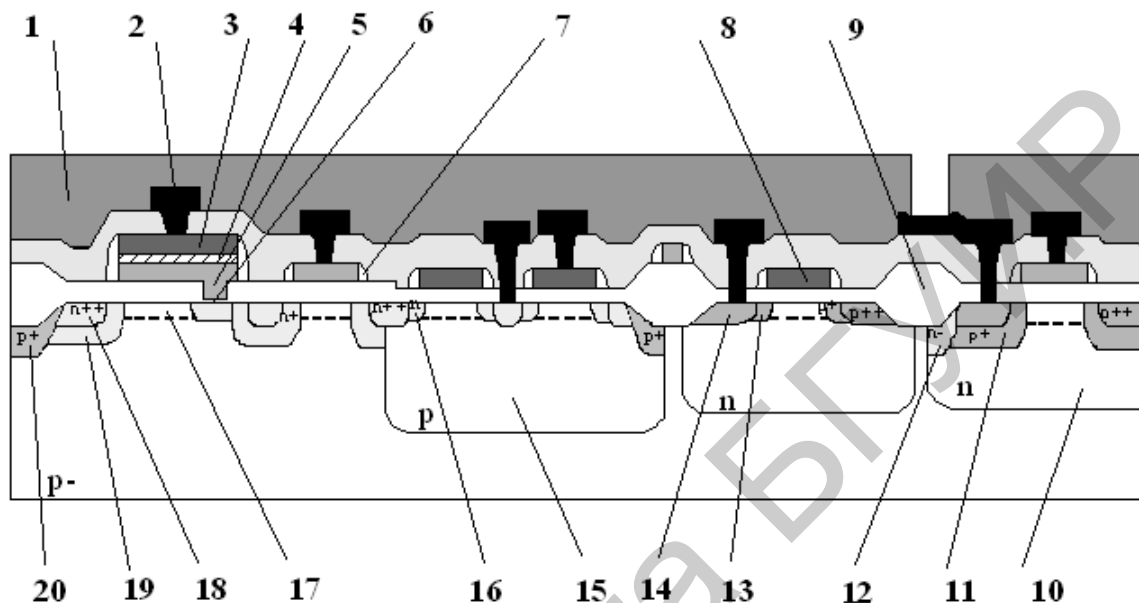
- L – длина канала запоминающего транзистора, определяется слоем «n-сток-1»;
- W – ширина запоминающего транзистора, определяется слоем «разделение»;
- P – выход плавающего затвора на локальный окисел; A – длина плавающего затвора;
- B – ширина плавающего затвора

Рисунок 6 – Топология тестового запоминающего элемента ЭСППЗУ

Эволюция формирования структуры ЭСППЗУ показана в ознакомительной части программы. Технологический маршрут изготовления ЭСППЗУ включает 30 фотолитографий и позволяет одновременно сформировать высоковольтную часть блока управления ЭСППЗУ, блок запоминающих ячеек ЭСППЗУ и низковольтную часть. Затворы высоковольтных транзисторов и

плавающие затворы запоминающих ячеек расположены в первом уровне поликремния на подзатворном окисле толщиной 35 нм, затворы низковольтных транзисторов и управляющие затворы запоминающих ячеек расположены во втором уровне поликремния. Толщина подзатворного окисла в низковольтной части составляет 16 нм, толщина межслойного диэлектрика – 35 нм.

Сечение структуры ячейки ЭСППЗУ показано на рисунке 7.



- 1 – пассивирующий слой; 2 – металлизация; 3 – второй слой poli-Si, управляющий затвор; 4 – межслойный  $\text{Si}_3\text{N}_4$ ; 5 – первый слой poli-Si, плавающий затвор; 6 – туннельный окисел; 7 – планаризирующий окисел; 8 – второй слой poli-Si; 9 – изоляционный окисел; 10 – карман n-типа; 11 – слаболегированные стоки; 12 – охранная область; 13 – слаболегированные стоки; 14 – сильнолегированные стоки; 15 – карман p-типа; 16 – слаболегированные стоки; 17 – подлегирование канала; 18 – сильнолегированные стоки; 19 – слаболегированные стоки; 20 – охранная область

Рисунок 7 – Сечение структуры ячейки ЭСППЗУ

### 3.6 Технологический процесс изготовления КМОП ИМС на основе КНИ-структур

Промышленное использование кремния на изоляторе (КНИ) быстро распространяется. Этот материал открывает новые функциональные возможности элементов микроэлектроники (радиационная устойчивость, электрические схемы высокого напряжения, ИМС с низким напряжением и энергопотреблением). Из известных к настоящему времени способов создания КНИ-структур рассмотрены те, которые имеют достаточно очевидные области приборного применения.

*Тонкие пленки Si на изолирующих подложках.* Как известно, большинство современных полупроводниковых приборов предъявляют очень высокие требования к структурному совершенству и электрофизическим характери-

стикам исходного материала. В связи с этим критической для методов, использующих осаждение пленки кремния на диэлектрические подложки, является прежде всего возможность формирования монокристаллической пленки.

В КНС-структурах это реализуется благодаря сравнительно малому отклонению постоянных  $\Delta a$  решетки Si и сапфира. Однако  $\Delta a$ , не препятствующая эпитаксиальному росту кремния на сапфире, все же достаточно велика, и плотность дефектов структуры в кремнии вблизи границы с подложкой весьма значительна. Кроме того, в настоящее время отсутствует технология, позволяющая изготавливать сапфировые подложки такого диаметра, который типичен для современного микроэлектронного производства (200...300 мм). Но и при меньшем диаметре подложек из сапфира их стоимость весьма высока, что препятствует использованию КНС-структур в массовом производстве приборов. Это объясняет, почему появившиеся на рубеже 70-х годов и производимые до настоящего времени КНС МОП-транзисторы и КНС ИМС выпускаются в ограниченных количествах и используются преимущественно в аппаратуре, предназначенной функционировать при радиационных воздействиях. Существуют и другие диэлектрики, постоянная решетки которых близка к постоянной решетки кремния, к ним относятся прежде всего  $\text{CaF}_2$  и  $\text{ZrO}_2$ .

*Кристаллизация пленок Si на диэлектрических подложках.* Известно много работ, в которых различными способами пытались кристаллизовать поликристаллические пленки Si, осажденные на поверхность диэлектрической пленки ( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ), предварительно сформированной на поверхности Si. К таким способам относятся, например, перевод пленки поликристаллического кремния в жидкую фазу с последующей кристаллизацией или создание в пленке диэлектрика системы заполненных поликристаллическим кремнием отверстий, в которых он контактирует с поверхностью монокристаллической кремниевой подложки. Последнее определяет возможность эпитаксиальной кристаллизации поликристаллического кремния при термообработках.

Однако всем этим способам присущ общий недостаток. Они не могут сформировать монокристаллический слой Si высокого качества и большой площади. Поэтому возможности практического использования полученных подобным способом КНИ-структур ограничены КНИ-приборами малых размеров.

*Реактивная ионная имплантация.* Метод основан на имплантации химически активных ионов в Si, создании обогащенного ионами скрытого слоя в подложке и стимуляции твердофазной химической реакции между атомами Si и внедренной примеси. Возможность имплантационного формирования скрытого в Si слоя  $\text{SiO}_2$  оказалась весьма привлекательной, и на рубеже 90-х годов рядом фирм был освоен промышленный процесс изготовления КНИ-структур, получивший название SIMOX (Separation by Implanted Oxygen).

Достоинства SIMOX-процесса очевидны. Прежде всего, он позволяет создать КНИ-структуры на основе пластин Si любого диаметра. При этом качество компонентов структуры весьма высоко. Плотность дефектов в слое Si при соблюдении жестких требований производственной гигиены при имплантации и отжиге может быть не выше  $10^2 \text{ см}^{-2}$ . Пробивное напряжение скрытого слоя  $\text{SiO}_2$  состав-



ляет 300...400 В при толщине слоя 0,35...0,4 мкм. Однако столь же очевидны и недостатки SIMOX-процесса. Прежде всего, процесс основан на использовании чрезвычайно больших доз имплантации кислорода ( $\sim 1,8 \cdot 10^{18} \text{ см}^{-2}$ ). Для того чтобы внедрить такую дозу в технологически приемлемое время, пришлось разработать специализированные имплантеры с ионным током до 100 мА, что на порядок величины выше, чем у обычных промышленных имплантеров. Стоимость специализированных имплантеров очень высока, вследствие чего стоимость КНИ-структур, созданных с помощью SIMOX-процесса, существенно превышает стоимость исходной кремниевой пластины.

Другой недостаток SIMOX-процесса – необходимость очень высоких ( $\sim 1300 \text{ }^\circ\text{C}$ ) температур отжига, которые, как правило, не могут быть реализованы на стандартном термическом оборудовании (отжиг в нейтральной атмосфере необходим для растворения кислородсодержащих дефектов, возникающих при торможении части внедренных ионов кислорода в слое Si КНИ-структуры). Предложено несколько способов, в той или иной мере исправляющих недостатки SIMOX-процесса.

Один из них использует имплантацию пониженными дозами кислорода ( $\sim 5 \cdot 10^{17} \text{ см}^{-2}$ ). Обычный для SIMOX отжиг таких пластин формирует в Si скрытый диэлектрический слой невысокого качества. Однако, если потом провести дополнительный отжиг при температуре  $\sim 1000 \text{ }^\circ\text{C}$  в кислородсодержащей среде, диффузия кислорода сквозь Si дорастит скрытый слой  $\text{SiO}_2$  и улучшит его качество. Такая технология, названная низкодозовым SIMOX-процессом, позволяет уменьшить дозу облучения и понизить стоимость КНИ-структур. Однако она не отменяет необходимость в отжиге при очень высоких температурах. Кроме того, дополнительный отжиг в кислороде означает, что толщина слоя Si в процессе термообработки будет уменьшаться из-за неизбежного роста пленки  $\text{SiO}_2$  на его поверхности.

Другой метод формирования КНИ-структур связан с имплантацией в кремний двух типов химически активных ионов: кислорода и азота (SIMON-процесс – Separation by Implanted Oxygen and Nitrogen). Метод основан на том, что присутствие в облученном Si зародышей двух различных диэлектрических фаз ( $\text{SiO}_2$  и  $\text{Si}_3\text{N}_4$ ) позволяет сформировать скрытый слой диэлектрика типа  $\text{Si}_x\text{O}_y\text{N}_z$  значительно эффективней, чем слой  $\text{SiO}_2$ . За счет более эффективного роста трехкомпонентной фазы SIMON-процесс обеспечивает возможность, по крайней мере, в 2–3 раза уменьшить дозу имплантации по сравнению с SIMOX-процессом. Кроме того, характерная для SIMON-процесса температура отжига не превышает 1100...1200  $^\circ\text{C}$ , что соответствует стандартным термическим процессам микроэлектронного производства.

*Термокомпрессионное соединение пластин Si с последующим утонением.* Если пластину окисленного Si привести в плотный контакт с другой пластиной Si и подвергнуть нагреву под давлением, можно получить КНИ-структуру. После этого методами механических и химических обработок необходимо утонить одну из пластин вплоть до получения слоя Si необходимой толщины. В полученных таким образом КНИ-структурах структурные и электрофизиче-

ские свойства слоя Si обеспечиваются выбором исходного материала. К достоинству метода относится возможность широкой вариации толщин Si и диэлектрического слоя, к недостаткам – сложность получения совершенной структуры границы раздела Si–SiO<sub>2</sub> и высокая стоимость КНИ-структур. Последнее обусловлено тем, что для формирования каждой структуры необходимо использовать две пластины Si, одна из которых по существу уничтожается в процессе утонения. Кроме того, чем тоньше должен быть изготавливаемый слой Si (а в современных условиях достижимы толщины порядка 0,1 мкм), тем более прецизионной и дорогостоящей становится процедура утонения.

Весьма элегантный способ улучшения экономических показателей технологии термокомпрессионного изготовления КНИ-структур разработан французской фирмой SOI TECH. Пластина Si перед термосоединением подвергается имплантации большой дозы ионов водорода ( $\geq 10^{17}$  см<sup>-2</sup>). В процессе нагрева, необходимого для осуществления термосоединения, атомы водорода собираются в вакансионных радиационных дефектах, создают там избыточное давление и отрывают пластину Si, оставляя у соединяемых поверхностей слой Si, толщина которого примерно равна проективному пробегу ионов водорода. «Оторванная» пластина Si может затем вновь и вновь использоваться при создании КНИ-структур.

Очевидно, что поверхность оставшегося слоя Si необходимо подвергнуть прецизионной обработке, чтобы убрать неровности, возникающие при взрывном отрыве. Это означает, что в данном методе существует ограничение снизу на минимальную толщину слоя Si. Кроме того, не вполне ясно, как повлияет высокая концентрация атомов водорода, оставшаяся в Si, на характеристики КНИ-структур и КНИ-приборов.

К настоящему времени оба основных процесса, способных формировать КНИ-структуры, а именно имплантационный и процесс термокомпрессионного соединения, достигли уровня промышленной технологии. Достоинства КНИ-приборов многократно подтверждены разработчиками технологии ИМС в разных странах.

### 3.7 Технологический процесс изготовления КМОП ИМС с металлизацией на основе пленок меди

Алюминий и его сплавы используются как основной межсоединительный материал для формирования металлизации ИМС, который отвечает большинству технических требований, предъявляемых к материалу металлизации ИМС с размерами элементов более 0,25 мкм. Однако для металлизации ИМС с субмикронными размерами элементов применение алюминия становится проблематичным из-за больших ограничений, связанных со свойствами металла и технологией его осаждения. Одной из наиболее важных проблем при использовании алюминиевой металлизации в субмикронной технологии становятся деградиационные процессы, обусловленные электромиграцией и вызывающие катастрофические отказы в межсоединениях. В этом случае наиболее перспек-

тивным альтернативным решением является использование меди в качестве материала межсоединений в изделиях микроэлектроники.

Медь – ключевой материал в следующем поколении металлизации ИМС. Основным преимуществом меди по сравнению с алюминием является более низкое электрическое сопротивление, стойкость к электромиграции, увеличение скорости переключения элементов ИМС. С уменьшением элементов ИМС до субмикронных размеров скорость переключения становится все более и более ограниченной задержкой времени RC-межсоединений. В этом смысле медь является материалом с большими возможностями для многоуровневой металлизации ИМС, так как та же самая скорость может быть сохранена при использовании медной линии более узкой или тонкой, чем алюминиевая.

Медная металлизация уже признана ведущими фирмами-изготовителями ИМС как процесс, способный обеспечить изготовление ИМС с многоуровневой системой межсоединений с шириной линии менее 0,5 мкм. Однако существует ряд проблем широкого применения медной металлизации.

Одним из препятствий для использования меди в линиях межсоединений ИМС является процесс формирования топологического рисунка. При комнатной температуре медь не образует летучих соединений с плазмой на основе Si и F. Таким образом, сухое плазменное травление медных пленок затруднено. А химическое травление меди может сопровождаться ее коррозией, так как отсутствие самопассивации делает тонкие медные пленки склонными к окислению во время обработки.

Другая проблема состоит в том, что медь является хорошим диффузантом в Si и SiO<sub>2</sub> и легко реагирует с силицидами. Медь быстро диффундирует в кремний и может формировать центры с высокоэнергетическими уровнями в запрещенной зоне кремния. Эти высокоэнергетические уровни обеспечивают механизм избыточных неосновных носителей, рекомбинирующих с основными носителями. Следовательно, медь будет вызывать генерационно-рекомбинационные токи утечки в p-n-переходах и подвергать опасности надежность биполярных и МОП-транзисторов.

Это препятствие может быть преодолено путем использования диффузионных барьеров и пассивирующих слоев при создании медной металлизации. Относительно низкие температуры реакций поверхностей раздела медь – металл стимулируют исследования проблемы эффективности диффузионных барьеров и термической стабильности медной металлизации.

*Процессы формирования медных межсоединений.* Препятствия формирования медных межсоединений, о которых сказано выше, сдерживало применение данного металла в массовом производстве. Положение изменилось тогда, когда корпорация IBM и компания Motorola, объявили о том, что каждая из них, независимо друг от друга, разработали технологию производства кристаллов ИМС с шестью уровнями разводки. Препятствия были преодолены с помощью двухстадийного, так называемого процесса двойной гравировки (dual-damascene process).

Носящий название «гравировки» метод включает формирование шин межсоединений путем первоначального травления канавок или каналов в планарном диэлектрическом слое и последующее заполнение этих канавок металлом.

В методе «двойной гравировки» задействован второй уровень, в котором помимо формирования канавок травится и заполняется ряд отверстий (то есть контактов к активным областям или к металлу). После заполнения металл и диэлектрик планаризируются с помощью химико-механической полировки (ХМП).

Основным достоинством процесса гравировки является исключение необходимости травления металла. Оно приобретает все большее значение по мере перехода полупроводниковой промышленности от алюминия к меди, поскольку травление меди связано с чрезмерно большими трудностями. Второе достоинство процесса гравировки заключается в исключении необходимости заполнения зазоров в диэлектрике между шинами разводки. Травление металла и заполнение канавок в диэлектрике представляют собой две самые большие проблемы для полупроводниковой отрасли в ее движении в сторону меньших размеров. Третье достоинство процесса гравировки состоит в том, что он позволяет обойти некоторые проблемы, связанные с неточностью совмещения фотолитографических слоев, позволяя получать более высокую плотность межсоединений.

Медь, обладающая меньшим удельным сопротивлением, чем алюминий, не является единственным материалом среди тех, на которые предстоит перейти в будущем полупроводниковой промышленности. Чтобы дополнительно уменьшить временные задержки и увеличить скорость работы кристаллов ИМС, также переходят на диэлектрики с низкой диэлектрической постоянной ( $k$ ).

На рисунке 8 показана последовательность технологических операций двойной гравировки с использованием стоп-слоя. Отличительной чертой данного технологического варианта является применение очень тонкого слоя нитрида кремния, который действует в качестве жесткой маски. Здесь слой нитрида кремния, толщина которого может достигать 25 нм, осаждается сверху на диэлектрик, и затем в нем формируется топологический рисунок для создания отверстий межуровневых контактов. Затем осаждается второй уровень диэлектрика сверху нитрида кремния. После этого формируется топологический рисунок канавок и травится в верхнем уровне диэлектрика до стоп-слоя нитрида кремния. Однако травление продолжается далее через отверстие в нитриде, формируя тем самым межуровневые отверстия. На последней стадии канавки и межуровневые контакты заполняются металлом. Заметим, что на рисунке показана канавка намного шире межуровневого отверстия, но в действительности они имеют практически одинаковый размер. Основным преимуществом данного технологического маршрута формирования межсоединений является то, что в нем присутствует всего одна операция травления и одна операция заполнения углублений металлом.

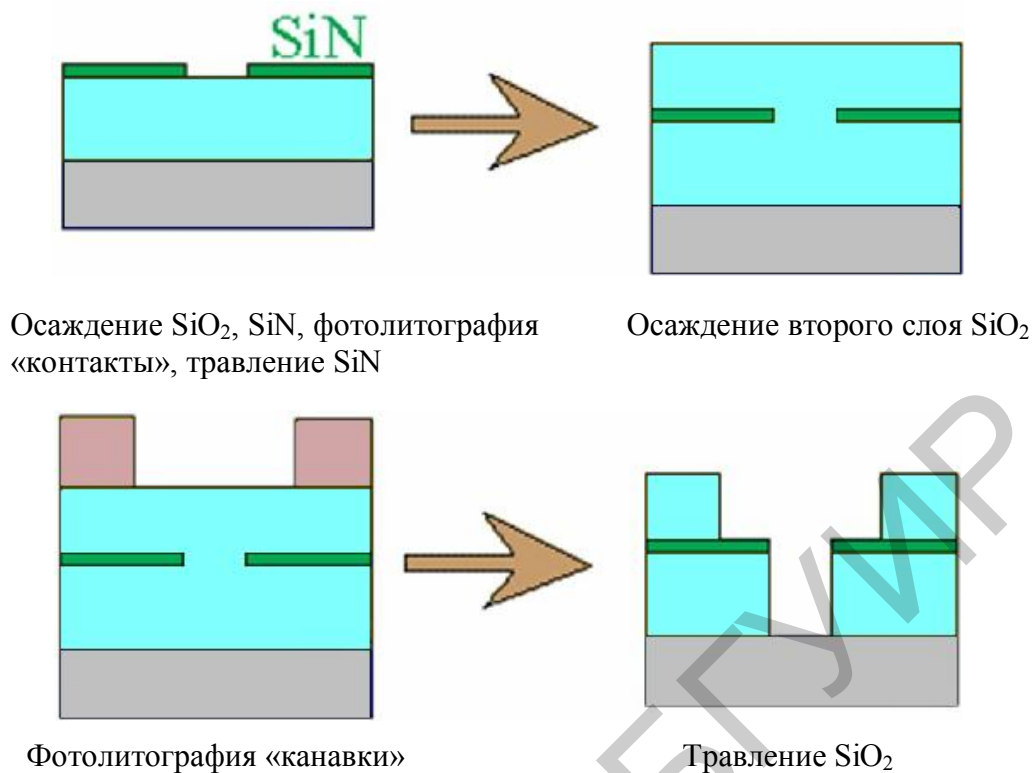


Рисунок 8 – Последовательность процесса двойной гравировки с использованием стоп-слоя

Медь, обладающая меньшим удельным сопротивлением, чем алюминий, не является единственным материалом среди тех, на которые предстоит перейти в будущем полупроводниковой промышленности. Чтобы дополнительно уменьшить временные задержки и увеличить скорость работы кристаллов ИМС, также переходят на диэлектрики с низкой диэлектрической постоянной.

*Методы осаждения пленок меди.* Медь может быть осаждена PVD, CVD, электролизным осаждением и электроосаждением. Такие методы осаждения, как электролизное осаждение и электроосаждение, имеют преимущества – низкую стоимость оборудования и низкую температуру процесса, а также высокое качество осадков и хорошую способность заполнения отверстий между слоями-канавками. Однако для электроосаждения требуется внешний источник тока, однородный сплошной толстый слой-затравка и низкорезистивный контакт к слою-затравке. Более того, электрическая однородность электроосажденных пленок и способность заполнения отверстий между слоями и канавок зависит от распределения тока. Электроосаждение имеет также более низкую производительность по сравнению с процессом кассетного электролизного осаждения. Метод электролизного осаждения особенно привлекателен из-за низкой стоимости, присущей селективности, высокого качества электролизных Cu-пленок, осажденных на очень тонкие слой-затравки (< 10 нм), и хорошей способности заполнения отверстий между слоями. Очень узкие дорожки – до 100 нм шириной – также изготавливали селективным электролизным осажде-

нием. Применение литографических процессов для медных пленок затруднено из-за сложности их травления.

Анизотропное сухое травление для получения мелких элементов с высокими отношениями в меди не является тривиальным. Так как хлориды и флуориды меди не очень летучи при комнатной температуре, температура подложки должна быть поднята до довольно высоких температур (> 150–250 °С) во время травления. Это усложняет формирование маскирующего слоя. Также химия сухого травления может быть причиной коррозии меди. Как альтернатива сухому травлению, селективное осаждение может быть использовано для формирования дорожек. Есть несколько критических требований, которые должны быть решены, чтобы электролизное осаждение меди могло стать общей технологией металлизации ИМС.

На рисунке 9 показано сечение КМОП-структуры с пятиуровневой металлизацией, изготовленной на основе пленок меди.

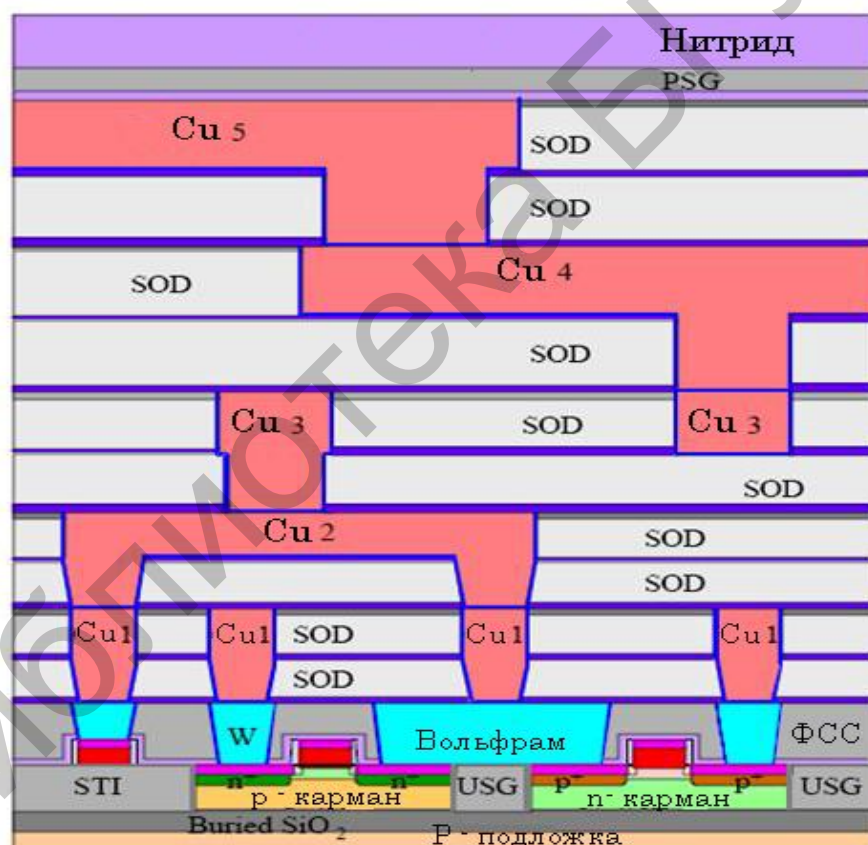


Рисунок 9 – Сечение КМОП-структуры с металлизацией, изготовленной на основе пленок меди

Для создания металлизации был использован метод «двойной гравировки» со стоп-слоем. Первым этапом при создании медной металлизации является создание слоя диэлектрика на подложке. Затем следует процесс нанесения стоп-слоя, который служит для остановки процесса травления, а также для равномерности глубины травления. Следующим процессом является нанесение вто-

рого слоя диэлектрика. Слои диэлектрика необходимы для избежания процессов травления меди, что является одной из основных проблем при использовании медной металлизации.

Следующим этапом является формирование сквозных межсоединений. Для этого проводят фотолитографию, вскрывают окна в фоторезисте и проводят процесс травления в диэлектрике сквозных межсоединений. Травление завершается на стоп-слое. Затем производят следующую фотолитографию для травления канавок. После экспонирования и проявления фоторезиста начинают травление стоп-слоя в области сквозных межсоединений, а также первого (в области сквозных межсоединений) и второго слоя диэлектрика (металлические канавки). После операции травления производят удаление фоторезиста и очистку.

После этапа формирования сквозных межсоединений и канавок следует этап заполнения их медью. Перед осаждением меди необходимо создать барьерный слой, чтобы избежать процесс диффузии меди в кремний, что тоже является проблемой медной металлизации. После создания барьерного слоя с помощью электролизного метода осаждения создают затравочный слой меди для лучшей адгезии основного слоя меди с барьерным слоем, а также для лучшей однородности пленки. Далее электрохимическим методом производят осаждение меди по всей площади пластины. Затем проводят процесс химико-механической полировки кристалла. В результате получают встроенные металлические соединения.

### 3.8 Конструктивно-технологические особенности формирования КМОП-структур с high-k-подзатворным диэлектриком и металлическим затвором

В процессе эволюции планарных транзисторов менялись не только их размеры, существенные изменения претерпели и используемые материалы, и даже геометрия самих транзисторов. Для того чтобы выдержать диктуемые законом Мура экспоненциальные темпы увеличения числа транзисторов в одной микросхеме, необходимо было разрабатывать новые технологии производства.

Уменьшение размеров транзисторов в целом положительно сказывается на их характеристиках. Так, если считать, что длина затвора транзистора уменьшается в  $M$  раз, то во столько же раз уменьшаются и толщина слоя диэлектрика, отделяющего область затвора от кремниевой подложки, и ширина затвора, и рабочее напряжение затвора. Кроме того, в  $M$  раз возрастает скорость работы транзистора, и квадратично увеличивается плотность размещения транзисторов на кристалле, а рассеиваемая мощность уменьшается в  $M^2$  раз.

Основная проблема, связанная с уменьшением размеров транзисторов, заключается в том, что экспоненциальное увеличение числа транзисторов на кристалле приводит к экспоненциальному росту потребляемой мощности и, как следствие, к перегреву микросхемы. Причин тому несколько, но все они имеют один и тот же корень: уменьшение размеров транзистора приводит к появлению токов утечки. Токи утечки возникают через слой диэлектрика, отделяющего

область затвора от кремниевой подложки, а также между истоком и стоком в «выключенном» состоянии транзистора.

Рассмотрим причины возникновения токов утечки в области затвора более подробно. Слой диэлектрика между затвором и кремнием можно рассматривать как плоский конденсатор (рисунок 10), емкость которого зависит от диэлектрической проницаемости вещества, толщины слоя диэлектрика и площади затвора:

$$C = \frac{\varepsilon_0 k S}{t}, \quad (1)$$

где  $S$  – площадь затвора;

$t$  – толщина слоя диэлектрика;

$k$  – диэлектрическая проницаемость слоя диэлектрика;

$\varepsilon_0 = 8,85 \cdot 10^{-12} \text{Ф} \cdot \text{м}^{-1}$  – электрическая постоянная

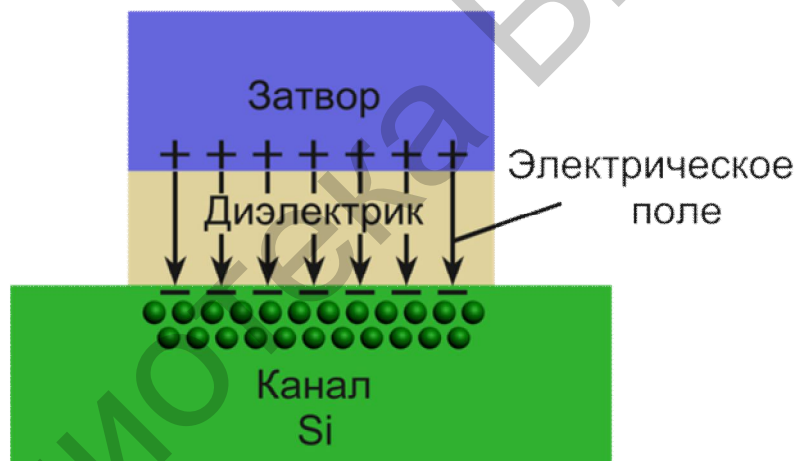


Рисунок 10 – Сечение плоского конденсатора в МОП-структуре

Понятие емкости затвора очень важно, так как от нее зависит величина тока, проходящего между истоком и стоком. Действительно, поскольку емкость определяет способность накапливать заряд, то при одном и том же напряжении в случае большей емкости можно накопить больший заряд в канале проводимости, а следовательно, и создать больший ток. Таким образом, большая емкость позволяет снижать напряжение на затворе, что немаловажно при уменьшении размеров транзисторов. Кроме того, на ток в канале проводимости оказывает непосредственное влияние и длина самого канала: чем она меньше, тем больший ток можно получить.

По мере уменьшения размеров транзистора уменьшается и толщина слоя диэлектрика. При этом между длиной канала и толщиной слоя диэлектрика (ри-



сунок 11) соблюдается простое соотношение: толщина слоя диэлектрика приблизительно в 45 раз меньше длины канала.

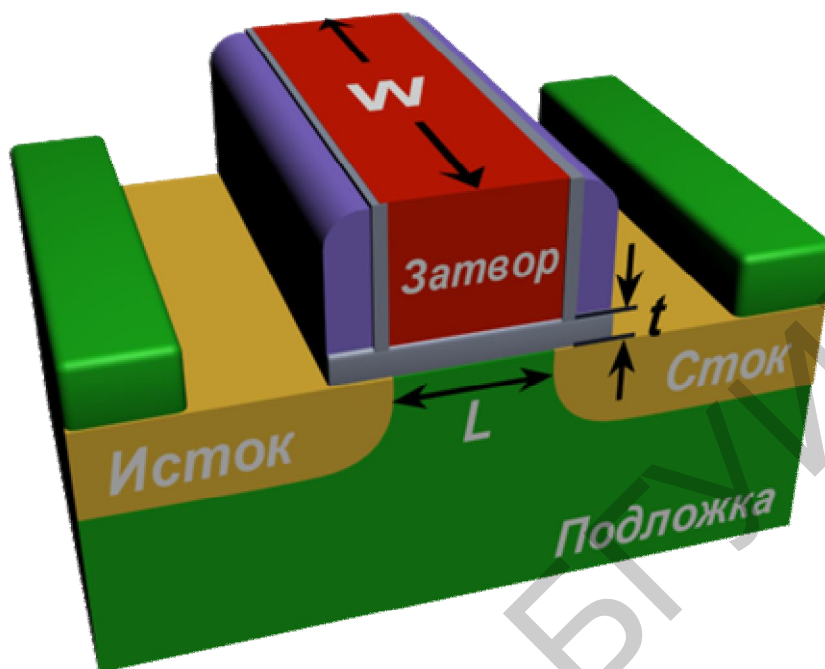


Рисунок 11 – Структура МОП-транзистора

До недавнего времени в качестве диэлектрического слоя традиционно использовался диоксид кремния, диэлектрическая проницаемость которого составляет 3,9. Однако уменьшение толщины слоя диэлектрика, которое приводит к возрастанию емкости затвора, то есть положительно сказывается на характеристиках транзистора, имеет и свои негативные последствия. Дело в том, что при достижении величины в несколько нанометров начинают сказываться эффекты туннелирования зарядов через слой диэлектрика, что приводит к возникновению токов утечки. В частности, в 45-нанометровом техпроцессе производства транзисторов при использовании диоксида кремния в качестве подзатворного диэлектрика его толщина составляет порядка 1 нм, то есть примерно 5 атомарных слоев.

Возникает вопрос, почему нельзя увеличить толщину диоксида кремния для уменьшения токов утечки? Ответ прост: это привело бы к уменьшению емкости затвора и необходимости увеличения управляющего напряжения, то есть фактически свело бы на нет все преимущества уменьшения размеров транзистора. Поэтому проблему возникновения токов утечки можно решить, только если вместо диоксида кремния использовать другие диэлектрические материалы, позволяющие создавать более толстые слои диэлектрика, но тем не менее, обеспечивающие неизменную или даже более высокую емкость затворного конденсатора. Такие материалы должны иметь более высокую диэлектрическую проницаемость. Они получили название high-k-диэлектрики.

Емкость конденсатора, образованного диоксидом кремния, равна

$$C_{\text{ox}} = \frac{\varepsilon_0 k_{\text{ox}} S}{t_{\text{ox}}}, \quad (2)$$

где  $k_{\text{ox}}$  – диэлектрическая проницаемость диоксида кремния;

$t_{\text{ox}}$  – толщина слоя диоксида кремния.

Емкость конденсатора, образованного high-k-диэлектриком, составляет

$$C_{\text{high-k}} = \frac{\varepsilon_0 k_{\text{high-k}} S}{t_{\text{high-k}}}, \quad (3)$$

где  $k_{\text{high-k}}$  – диэлектрическая проницаемость high-k-диэлектрика;

$t_{\text{high-k}}$  – толщина слоя high-k-диэлектрика.

Для того чтобы емкости затворов с использованием диоксида кремния и high-k-диэлектрика были равными, необходимо, чтобы выполнялось условие

$$\frac{\varepsilon_0 k_{\text{ox}} S}{t_{\text{ox}}} = \frac{\varepsilon_0 k_{\text{high-k}} S}{t_{\text{high-k}}}, \quad (4)$$

то есть чтобы толщина слоя high-k-диэлектрика была равна

$$t_{\text{high-k}} = \left( \frac{k_{\text{high-k}}}{k_{\text{ox}}} \right) \cdot t_{\text{ox}}. \quad (5)$$

Таким образом, применение альтернативных материалов с более высокой диэлектрической проницаемостью позволяет во столько раз повысить толщину слоя диэлектрика по сравнению с толщиной диоксида кремния, во сколько раз диэлектрическая проницаемость вещества больше диэлектрической проницаемости диоксида кремния. Увеличение слоя диэлектрика в свою очередь позволяет уменьшить токи утечки.

Применение материалов с более высокой диэлектрической проницаемостью, чем  $\text{SiO}_2$ , оказывает положительное влияние на электрофизические параметры МОП-структур. Одной из наиболее важных характеристик, определяющих быстродействие МОП-транзистора, является крутизна активного канала  $s(g_m)$ . Крутизна определяется как отношение приращения тока стока  $dI_c$  к вызвавшему его изменению напряжению на затворе  $dU_{\text{зи}}$  при постоянном напряжении на стоке  $U_{\text{си}}$ :

$$S = \frac{dI_c}{dU_{\text{зи}}} \Big|_{U_{\text{си}}} = \text{const}. \quad (6)$$

И может быть также определена через удельную крутизну:

$$S = b \cdot U_{зи} \quad (\text{для области насыщения}); \quad (7)$$

$$S = b \cdot U_{сз} \quad (\text{для линейной области}). \quad (8)$$

Удельная крутизна прибора связывает его геометрические и электрофизические характеристики и измеряется в  $[A/B^2]$ :

$$b = \frac{\mu \cdot C_{\text{high-k}} \cdot Z}{L}, \quad (9)$$

где  $\mu_n$  – подвижность;

$C_0$  – емкость затвора;

$Z$  – ширина канала;

$L$  – длина канала;

$C_{\text{ox}}$  – удельная емкость подзатворного диэлектрика.

Из уравнений (6) и (9) видно, что крутизна увеличивается при уменьшении длины канала  $L$ , порогового напряжения и толщины окисла  $d$  (так как  $C_0 = \epsilon\epsilon_0 / d$ ).

Таким образом, применение high-k-подзатворных диэлектриков позволяет значительно увеличить значение крутизны МОП-транзистора, что положительно сказывается на усилении прибора. Благодаря высокой диэлектрической проницаемости материалов, используемых в качестве high-k-подзатворных диэлектриков, можно уменьшить толщину подзатворного диэлектрика до сколь угодно малых размеров, что также положительно сказывается на минимизации прибора.

Процесс замены  $\text{SiO}_2$  high-k-диэлектриками не является достаточным для получения высокоэффективных КМОП-структур, так как применение структуры «high-k/poly-Si» приводит к возникновению высокого порогового напряжения в планарных транзисторах. Данная проблема получила название Fermi level pinning («захват» уровня Ферми). Источник проблемы в конечном счете сводится к взаимодействию между поликремниевым затвором электрода и нового high-k-диэлектрика.

Диэлектрический слой состоит из диполей-объектов с положительным и отрицательным полюсами. Эти диполи вибрируют подобно тугий круглой резинке, что приводит к сильным колебаниям в кристаллической решетке полупроводника, называемым фононами (рисунок 12). Эти фононы соударяются с проходящими мимо электронами, замедляя их и уменьшая скорость переключения транзистора.

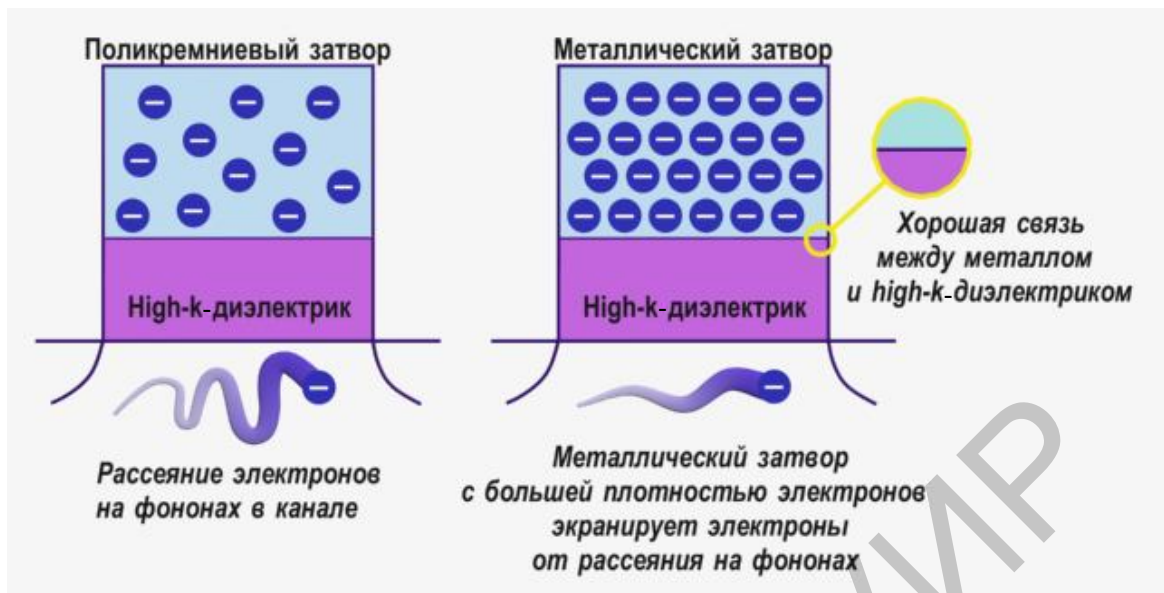


Рисунок 12 – Взаимодействие между затвором электрода и high-k-диэлектриком

Моделирование показывает, что влияние дипольных колебаний на электроны канала может быть незначительным, если значительно увеличить плотность электронов в электроде затвора. Единственный способ это сделать – перейти от поликремниевого затвора к металлическому. Как проводник, металл может «упаковать» в сотни раз больше электронов, чем кремний. Эксперименты и дальнейшее компьютерное моделирование подтверждают, что металлический затвор выполнит свою задачу, отсеивая фононы, позволяя электрическому току беспрепятственно проходить через канал транзистора.

Получение тонких пленок high-k-диэлектриков для МОП-транзисторов представляет собой сложную задачу. Развитие технологий тонких слоев происходит параллельно со стремительным развитием прецизионных технологий. Одной из главных технологических задач становится получение сверхтонких слоев материалов заданного состава на 3-мерных объектах сложной формы. При этом оборудование и собственно методы получения традиционно развиваются по пути сохранения преемственности решений микроэлектроники и путем постепенного снижения толщин слоев, усложнения формы объектов и совершенствования методов контроля качества слоев. Одним из главных условий применения любого нового технологического процесса является его изначальная ориентация на известные конструкции оборудования и минимум затрат при внедрении в производство. Максимально соответствующим таким задачам является метод атомно-слоевого осаждения.

Суть метода состоит в том, что при выполнении некоторых процессов химического осаждения из парогазовой фазы в небольшом интервале очень низких температур осаждения проявляется эффект постоянной ограниченной по величине скорости осаждения. Это происходит благодаря эффекту лимитирования химического процесса стадией хемосорбции реагентов и их взаимодействия на поверхности объекта. Методическая особенность метода

атомно-слоевого осаждения заключается в том, что введение реагентов в химический реактор с нагретой подложкой принудительно разделяется во времени (рисунок 13). Сначала подается один реагент, после хемосорбции которого реактор продувается инертным газом, далее подается второй реагент (либо в исходном состоянии, либо дополнительно активированный плазменным разрядом) и его реакции с хемосорбированным исходным вторым реагентом осуществляется продувка реактора и повторение цикла необходимое число раз.

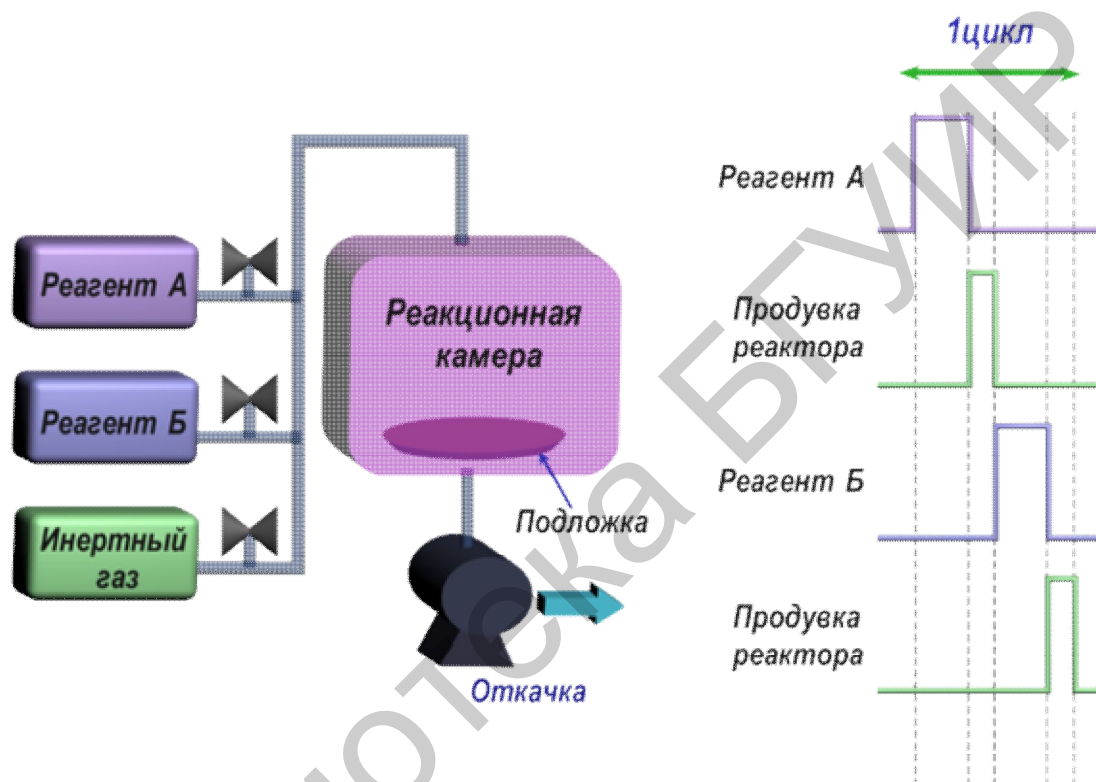


Рисунок 13 – Структурная схема установки атомно-слоевого осаждения

Таким образом, процесс атомно-слоевого осаждения выполняется циклически (реагенты подаются импульсами длительностью от долей секунды до нескольких секунд), а скорость наращивания тонкого слоя составляет в идеальном случае монослой за цикл. Разделение подачи реагентов во времени и лимитирование процесса атомно-слоевого осаждения поверхностной реакцией означает, что взаимодействие реагентов в газовой фазе либо отсутствует, либо не оказывает влияние на процесс роста слоя.

В итоге однородные слои могут быть нанесены на объекты очень сложной формы при относительно низкой температуре. Такими объектами могут быть как плоские подложки, так и любые термически устойчивые объекты, например, специальный инструмент, сыпучие материалы (катализаторы). В отличие от иных известных методов послойного

наращивания атомно-слоевое осаждение осуществляется в значительно более мягких условиях вакуума, в более простом оборудовании; этот метод применим для различных материалов.

Дальнейшие исследования и анализ развития метода атомно-слоевого осаждения дают возможность заключить, что этот метод, во-первых, не имеет принципиальных аппаратных отличий от методов химического осаждения из парогазовой фазы, во-вторых, может быть эффективно охарактеризован в рамках разработанных теоретических представлений.

Атомно-слоевое осаждение позволяет утолщать пленку атомов за один раз. При этой технологии используется газ, который реагирует со всей поверхностью кремниевой подложки, покрывая поверхность всего одним слоем атомов (рисунок 14).

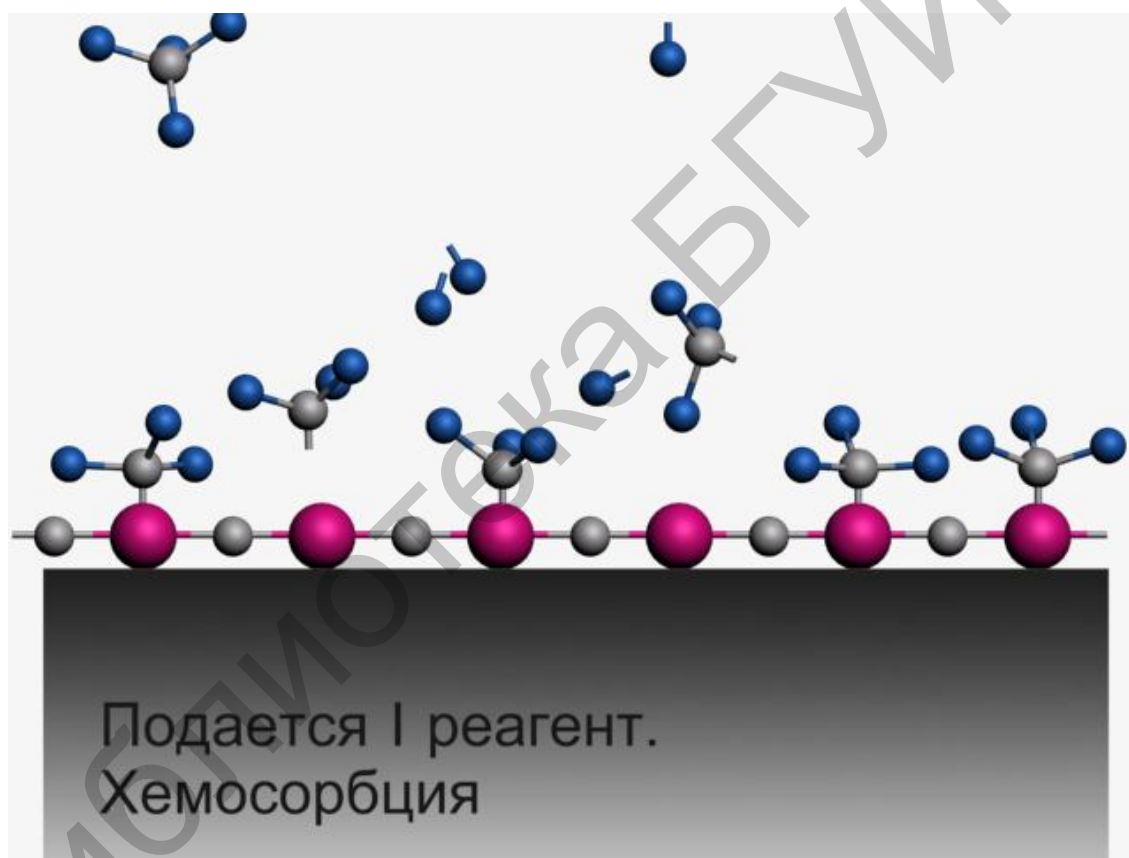


Рисунок 14 – Реакция первого газа со всей поверхностью кремниевой подложки

Газ удаляется из камеры и заменяется вторым газом, тем, который химически реагирует с пленкой атомов, только что осажденных. Это создает еще одну пленку атомов, и процесс затем также останавливается (рисунок 15). Технологию можно повторять несколько раз, производя наслоенные материалы, толщина которых контролируется вплоть до атомных слоев.

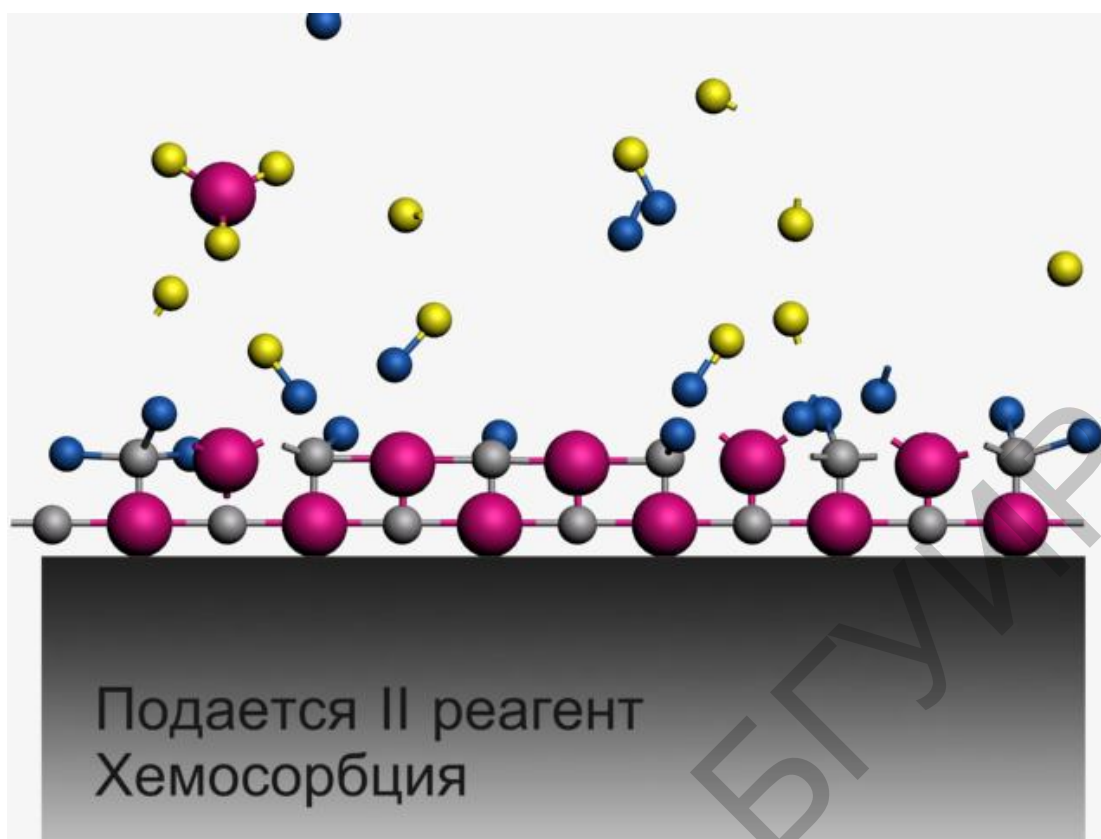


Рисунок 15 – Химическая реакция второго газа с пленкой атомов, только что осажденных

До конца прошлого столетия метод атомно-слоевого осаждения не получал развития по двум основным причинам:

- микроэлектроника еще не подошла к объектам очень сложной формы, и имеющиеся на то время процессы осаждения слоев из газовой фазы не обеспечивали все технологические задачи;

- метод атомно-слоевого осаждения имеет априори низкие скорости осаждения, что является недостатком для серийного производства.

В конце прошлого столетия технологические нормы микроэлектроники перешли рубеж 0,1 мкм и требуемые толщины слоев стали существенно снижаться; кроме того, начали интенсивно развиваться нанотехнологии. С этого времени метод атомно-слоевого осаждения получил распространение в производстве интегральных микросхем.

Данный метод применим в случаях, когда требуется получить:

- толщины пленки 1–1000 нм;
- сплошность покрытия, конформность;
- высокую производительность;
- осаждение на 3D и пористые подложки;
- прецизионность.

В таблице 1 представлены некоторые параметры для наиболее популярных high-k-диэлектриков. Первоначально исследовались оксиды титана

и тантала, затем процесс исследований переместился на оксиды алюминия, гафния и циркония.

Таблица 1 – Сводная таблица альтернативных диэлектриков

Диэлектрик	Диэлектрическая проницаемость, $\epsilon$	Ширина запрещенной зоны, эВ
SiO <sub>2</sub>	3,9	8,9
Si <sub>3</sub> N <sub>4</sub>	7,0	5,1
Al <sub>2</sub> O <sub>3</sub>	9,3	8,7
Y <sub>2</sub> O <sub>3</sub>	15	5,6
La <sub>2</sub> O <sub>3</sub>	30	4,3
Ta <sub>2</sub> O <sub>5</sub>	20	4,5
TiO <sub>2</sub>	80	3,5
HfO <sub>2</sub>	25	5,7
ZrO <sub>2</sub>	25	7,8

Полученные атомно-слоевым осаждением high-k-диэлектрики на основе гафния и циркония показывают намного более стабильные электрические характеристики по сравнению с теми, которые были сформированы распылением или химическим осаждением.

#### 4 ТЕСТОВЫЙ КОНТРОЛЬ В ТЕХНОЛОГИИ ИМС

Тестовую структуру (ТС) можно определить как микроэлектронный прибор, используемый для измерения параметров физической структуры ИМС и изготавливаемый одновременно с рабочими схемами. ТС разделяют по назначению на функциональные (предназначены для исследования функциональных свойств компонентов после окончания технологического цикла) и параметрические (предназначены для исследования физических параметров во время технологического цикла). ТС могут быть использованы для:

- оценки качества полупроводниковых материалов;
- оценки и управления воспроизводимостью техпроцесса;
- измерения параметров схем и приборов;
- получения данных о случайных отказах;
- оценки оборудования и проверки квалификации операторов.



Применение ТС позволяет автоматизировать операции контроля на основе использования сравнительно простых зондовых устройств и несложных алгоритмов пересчета данных. В процессе такого контроля измеряются параметры ТС, вычисляются статистические характеристики их распределения, которые могут быть использованы для оценки качества выполнения технологических операций и в дальнейшем для организации автоматических систем управления технологическими процессами на основе специализированных информационно-измерительных компонентов, управляемых ЭВМ.

Размещению ТС на пластине придается большое значение, поскольку это определяет количество изготовленных ТС относительно рабочих кристаллов для получения более достоверной тестовой информации, а кроме того, связано с использованием рабочей площади пластины, что отображается на экономико-технологических параметрах приборов.

Для операционного контроля наиболее широко используются ТС, расположенные на краях рабочего кристалла микросхем. Для общего контроля в связи со сложностью технологии и большим количеством контролируемых параметров применяют тестовый модуль, который размещается среди рабочих кристаллов на пластине. В ряде случаев тестовый модуль располагают по всей площади пластины. Такое размещение дает возможность определить и локализовать некоторые виды отказов в микросхемах, а также определить плотность дефектов по пластине. Такой подход к организации размещения ТС при всех достоинствах имеет недостаток – уменьшается размер активной части пластины.

Тестовые структуры должны обеспечивать анализ всех отказов, встречающихся в ИС. При этом каждый вид отказа исследуется с помощью специальной ТС, которая выявляет только определенный механизм отказа. С точки зрения контролируемых параметров ТС можно разделить на пять групп.

Первая группа – ТС для контроля удельного поверхностного сопротивления ( $R_s$ ). Это, например, необходимо для оценки пространственной однородности легированных, а также проводящих и эпитаксиальных слоев. Относительная простота определения  $R_s$  делает его полезным при оценке характеристик технологического процесса. Наиболее распространенной ТС является классический резистор Ван дер Пау, позволяющий контролировать  $R_s$  областей, размеры которых ограничены только разрешающей способностью процесса литографии. На базе этой ТС создан ряд модификаций (греческий крест, квадратный крест, скомпенсированный квадратный крест и др.). Разнообразие ТС этого типа объясняется стремлением получить более точную оценку  $R_s$  по эмпирической формуле Ван дер Пау, учитывающей геометрию ТС.

Вторая группа – ТС для контроля ширины линии. В результате многократного повторения процесса литографии фактические размеры топологических элементов могут отличаться от проектных. Поэтому необходимо контролировать такой параметр, как ширина сформированных линий  $W$ . Он используется и для оценки характеристик литографического оборудования, точности соблюдения режимов технологических операций процесса литографии.

Третья группа – ТС для проверки качества совмещения рисунков при формировании двух последовательных топологических слоев или двух последовательно используемых фотошаблонов в комплекте. Эта группа ТС используется для оценки характеристик ТО, например, проекционных систем совмещения и установок пошаговой мультипликации. Оценка качества совмещения топологических слоев, получаемая с помощью ТС для количественной оценки качества совмещения рисунков по осям X и Y одновременно, не зависит от величины подтравы, боковой диффузии или изменения геометрических размеров фотошаблонов.

Четвертая и пятая группы – ТС для оценки дефектов, таких, как короткое замыкание металлизированных линий, отсутствие контакта металл – полупроводник и т. п. Подобные ТС обеспечивают необходимую информацию для выбора оптимального набора проектных норм оценки выхода годных приборов.

*Измерение поверхностных сопротивлений* производится двумя методами: мостовым и методом Ван дер Пау. Мостовой метод основан на измерении сопротивления резистора без учета контактного сопротивления (для чего используются потенциальные отводы). В этом случае поверхностное сопротивление рассчитывается по формуле

$$R_s = \left( \frac{U}{I} \right) \cdot \left( \frac{W}{L} \right), \quad (10)$$

где  $R_s$  – поверхностное сопротивление, Ом·м;  
 $U$  – падение напряжения на потенциальных отводах, В;  
 $I$  – протекающий по телу резистора ток, А;  
 $W$  – ширина резистора, м;  
 $L$  – длина резистора, м.

Метод Ван дер Пау реализуется на тестовой структуре, показанной на рисунке 16.

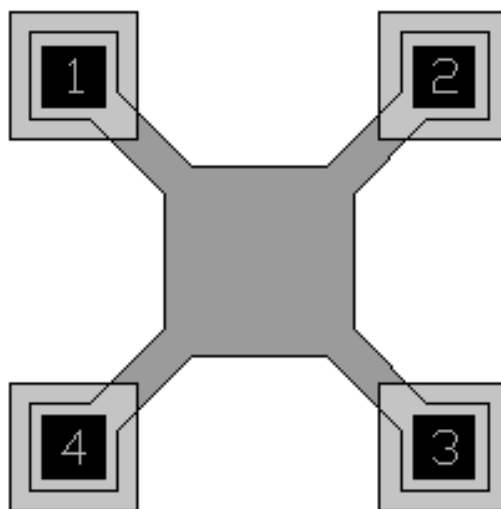


Рисунок 16 – Тестовая структура по методу Ван дер Пау

Поверхностное сопротивление определяется тогда по формуле

$$R_s = \left( \frac{\pi}{\ln 2} \right) \cdot \left( \frac{U}{I} \right), \quad (11)$$

где  $R_s$  – поверхностное сопротивление, Ом·м;  
 $U$  – падение напряжения на потенциальных отводах 3, 4, В;  
 $I$  – протекающий через токовые отводы 1, 2 ток, А.

Достоинством метода Ван дер Пау является возможность измерения  $R_s$  в локальных областях при различных внешних воздействиях на контролируемые проводящие слои.

*Измерение ширины проводящих областей и зазоров между ними.* Для измерения двух параметров используется ТС, представляющая собой комбинацию двух методов: Ван дер Пау и мостового (рисунок 17). Для измерения ширины линии сначала методом Ван дер Пау измеряется поверхностное сопротивление проводящего слоя  $R_s$ , затем – сопротивление резистора в мостовой части  $R$  (исключая при этом влияние переходных контактных сопротивлений), после чего вычисляется ширина линии проводящего слоя в области мостовой части по формуле

$$W = \frac{R_s \cdot l}{R}, \quad (12)$$

где  $W$  – ширина мостовой части структуры, м;  
 $R_s$  – поверхностное сопротивление, Ом·м;  
 $R$  – сопротивление резистора в мостовой части, Ом;  
 $l$  – длина резистора в области мостовой части структуры, м.

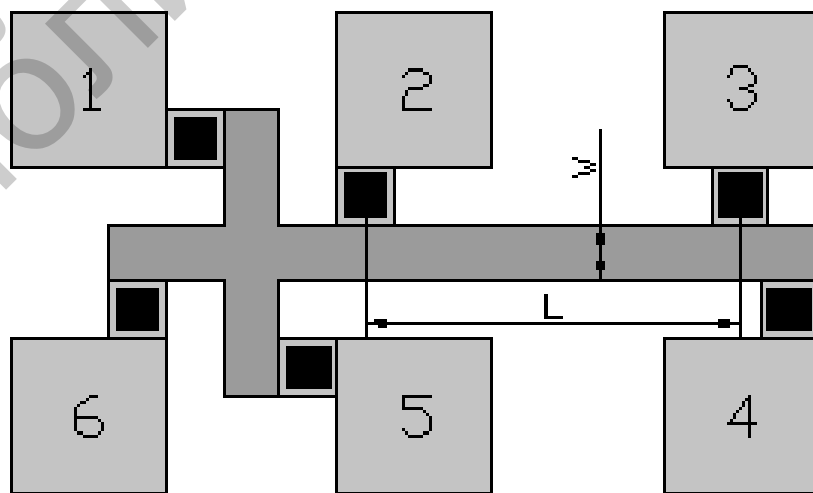


Рисунок 17 – Комбинированная тестовая структура

**Измерение рассовмещения топологических слоев.** Для оценки качества литографии при проведении операций совмещения используется ряд ТС. Для оценки качества совмещения проводящего слоя с контактным окном к нему используется ТС, показанная на рисунке 18.

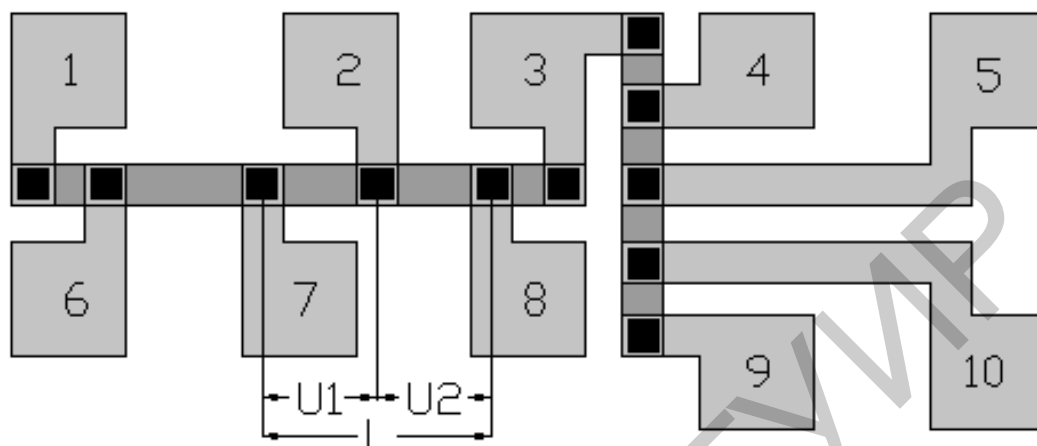


Рисунок 18 – Тестовая структура для оценки качества совмещения

Она состоит из двух расположенных во взаимно перпендикулярном направлении мостовых резисторов. В центре каждого из них на равном расстоянии от потенциальных выводов топологически закладывается контактное окно, от которого имеется вывод на отдельную контактную площадку. При проведении операции совмещения на установке фотолитографии за счет рассовмещения контактное окно сдвигается из центрального положения, что приводит к различию в величинах падения напряжения в областях между контактным окном и правым и левым (верхним и нижним) потенциальными отводами при пропускании электрического тока через мост. Рассовмещение вдоль направления течения электрического тока рассчитывается по формуле

$$r = \frac{l(U_1 - U_2)}{2(U_1 + U_2)}, \quad (13)$$

где  $l$  – длина мостовой части между потенциальными отводами, мм;  
 $U_1$  – падение напряжения между одним из потенциальных отводов и центральным контактным окном, В;  
 $U_2$  – падение напряжения между другим потенциальным отводом и контактным окном, В.

Данный метод измерения получил широкое распространение при построении векторных полей рассовмещений, позволяющих разделять ошибки литографического оборудования. Для оценки рассовмещения предлагается использовать ТС, напоминающую нанесенную шкалу, выполненную на основе проводящего слоя (рисунок 19).

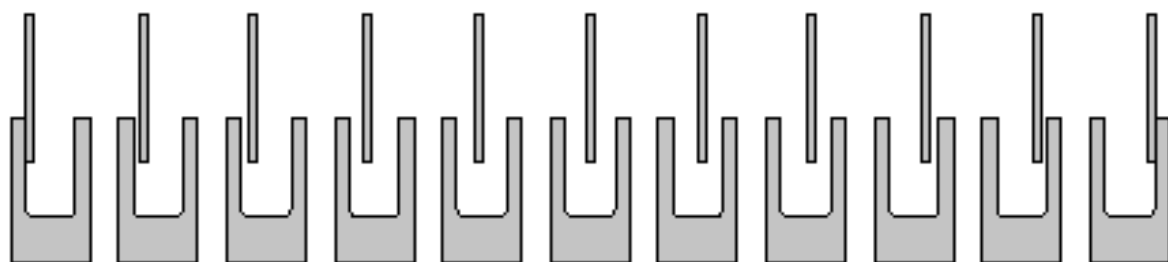


Рисунок 19 – Тестовая структура для оценки рассовмещения

Указанная структура позволяет одновременно производить оценки с помощью электрических измерений и визуальным способом, что дает возможность не включать специальные фигуры визуального контроля.

*Измерение контактного сопротивления* можно провести, используя метод Кельвина. На рисунке 20 показана тестовая структура для измерения  $R_k$ .

Измерение  $R_k$  производится при задании тока в контакт и снятии величины падения напряжения непосредственно на контакте. Ток задается в площадки 1, 3, падение напряжения снимается с контактов 2, 4. Контактное сопротивление вычисляется по формуле

$$R_k = \frac{U_{2,4}}{I_{1,3}} \quad (14)$$

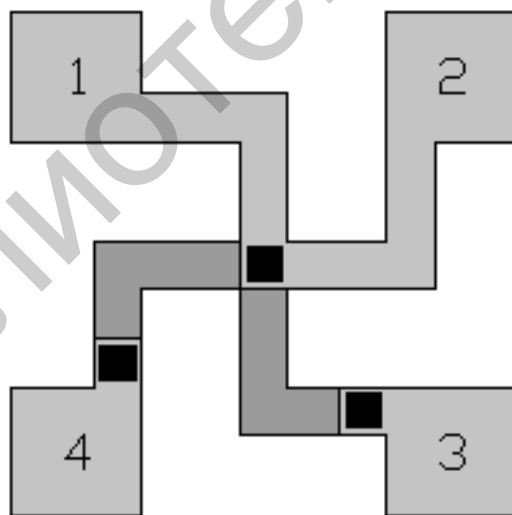


Рисунок 20 – Тестовая структура по методу Кельвина

Данный метод соответствует одномерной модели контакта, используемого в элементах схемы. Для реализации другого метода измерения контактного сопротивления используется тестовая структура, представляющая собой прямолинейный проводник, к которому формируются несколько контактных окон, находящихся друг от друга на расстояниях, которые удовлетворяют соотноше-

нию 1:2:3:...:n, где n – количество сформированных контактов.  $R_k$  вычисляется с использованием исходного уравнения по формуле

$$R = 2R_k + \frac{R_s \cdot L}{W}, \quad (15)$$

где  $R$  – сопротивление резистора, Ом;  
 $R_k$  – контактное сопротивление, Ом;  
 $R_s$  – поверхностное сопротивление, Ом·м;  
 $W$  – ширина структуры, м;  
 $L$  – длина резистора, м.

Измеряемые величины  $R(L)$  содержат постоянное слагаемое  $2R_k$ , откуда легко можно вычислить  $R_k$ , используя метод наименьших квадратов. При этом также вычисляется  $R_s$  слоя, на основе которого сформирован проводник. Точность измерения  $R_k$  зависит от конструкции и модификации применяемой тестовой структуры. Экспериментально показано, что 4-зондовый метод Кельвина может быть использован при условиях, когда поверхностное сопротивление нижней области, к которой производится контакт, меньше или равно сопротивлению контакта, а также когда расстояние от края контакта до края области под контактом стремится к нулю. Рассмотрено несколько модификаций тестовых структур, показано, что оптимальной является структура с переменной длиной области проводника.

*Контроль случайной дефектности.* Случайная дефектность определяется с помощью либо тестовых структур, объединяющих большое количество тестовых компонентов, соединенных последовательно или параллельно, либо одной структуры с геометрическими размерами, соизмеримыми с размерами самой схемы или ее узлов. Тестовые структуры для контроля случайных дефектов конструируются таким образом, что выход из строя одного из элементов или небольшой части тестовой структуры резко измерял контролируемые параметры всей тестовой структуры. Таким образом построена, например, сборка транзисторов (рисунок 21), предназначенная для оценки дефектности транзисторов ИМС. Количество транзисторов в сборке равно 100. Затворы сборки соединены по строкам, истоки по столбцам, а стоки закорочены на землю. Подобное соединение дает возможность просканировать каждый транзистор в отдельности, что позволяет анализировать распределение по их видам.

Подобную матрицу можно построить для КМОП-транзисторов. Если объединить все затворы и истоки, можно проектировать тестовые структуры с любым количеством транзисторов, то есть с любой чувствительностью к случайным дефектам.

Другой распространенной ТС контроля случайных дефектов является ТС, изображенная на рисунке 22. Она представляет собой меандр из проводящего слоя с двумя вложенными в него гребенками. ТС формируется с помощью фотолитографии.

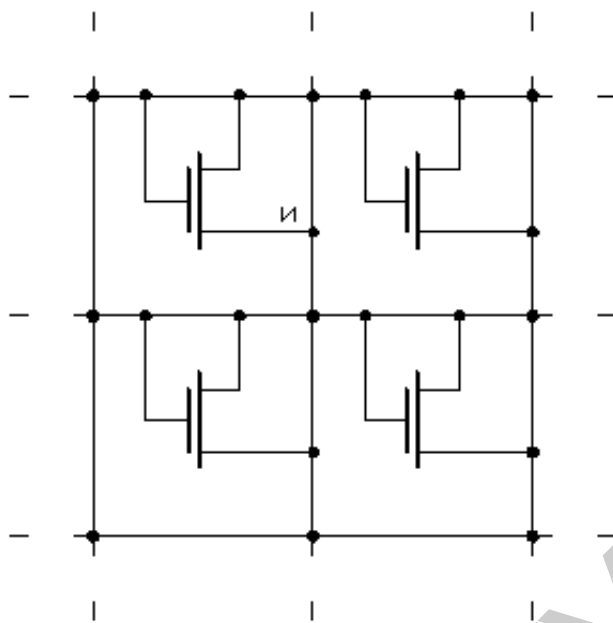


Рисунок 21 – Схема матрицы транзисторов

При пропускании тока через сформированный меандр определяется наличие обрыва, а при смещении напряжения на одной из гребенок относительно меандра определяется наличие коротков. При этом критичным является длина периметра, ширина меандра и затвор между ним и гребенкой. Данную ТС можно сформировать на рельефе одного из технологических слоев, что позволяет оценить уровень обрывов на ступеньках. Методология проектирования подобных ТС применима к КМОП-технологиям.

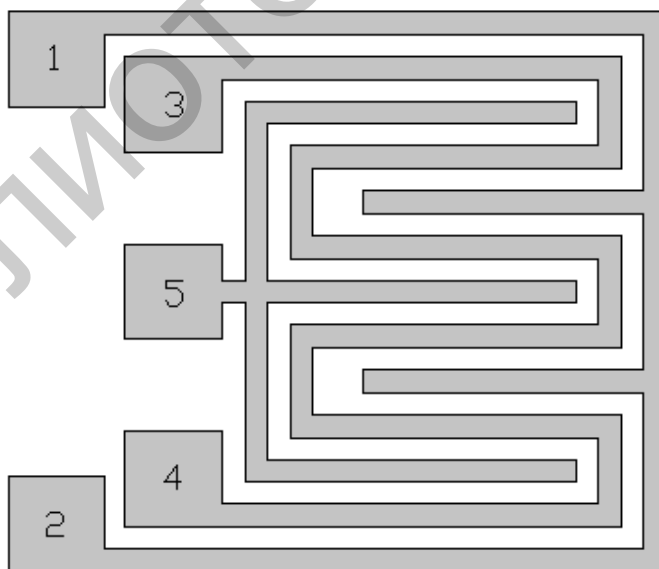


Рисунок 22 – Тестовая структура – меандр

Большое применение имеют ТС для контроля обрывов и определения дефектности в переходных контактных областях. Такие ТС представляют собой цепочки контактов между различными областями (рисунок 23).

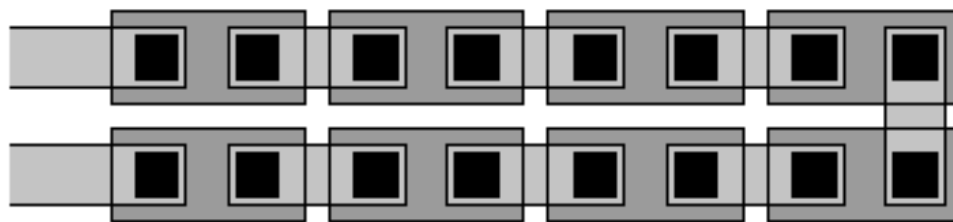


Рисунок 23 – Цепочка контактов

## 5 СТРУКТУРА ПРОГРАММЫ НА ПЭВМ

Программа состоит из двух блоков. Первый блок теоретический, а второй – практический. В первом блоке обучающийся изучает эскизный маршрут изготовления ИМС. Предусмотрено два варианта изучения: пошаговый и «экс-пресс» методы. Вариант изучения выбирается из меню выбора варианта.

В первом варианте последовательно выводятся сечения структур после каждой технологической операции. Движение вперед осуществляется путем нажатия кнопки «Следующий». Каждое сечение снабжено информативной строкой, в которой отражается название операции с комментарием. Из коммента обучающийся может получить более подробную информацию о технологической операции (оборудование, режимы и т. п.). Если в процессе изучения по какой-либо причине понадобилось вернуться на один или несколько шагов назад, то для этого предусмотрена кнопка «Предыдущий». Несколькими нажатиями этой кнопки можно вернуться к любому ранее показанному сечению структуры. В конце выводится конечное сечение полупроводниковой структуры. Последовательность выполнения операций показана на рисунках 24–27.

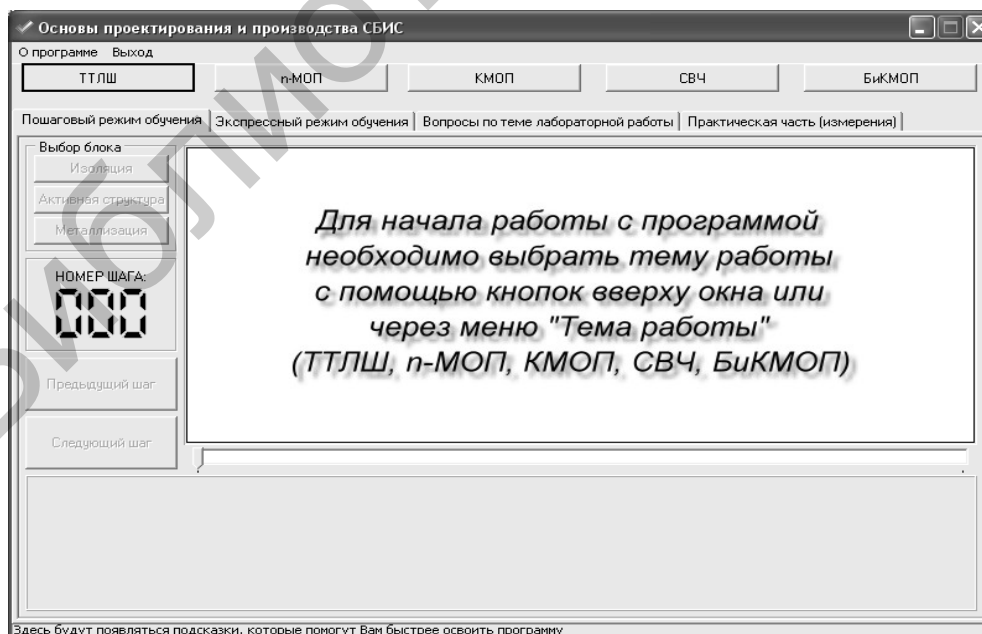


Рисунок 24 – Выбор технологического маршрута



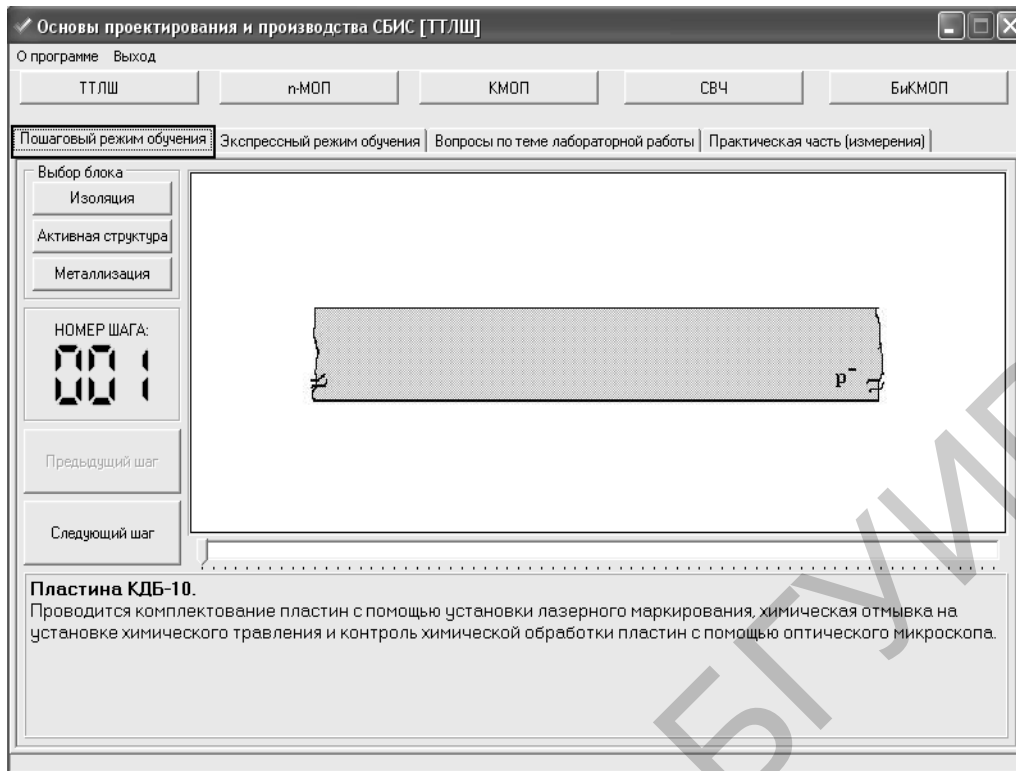


Рисунок 25 – Выбор варианта изучения технологического маршрута



Рисунок 26 – Пошаговый метод изучения технологии

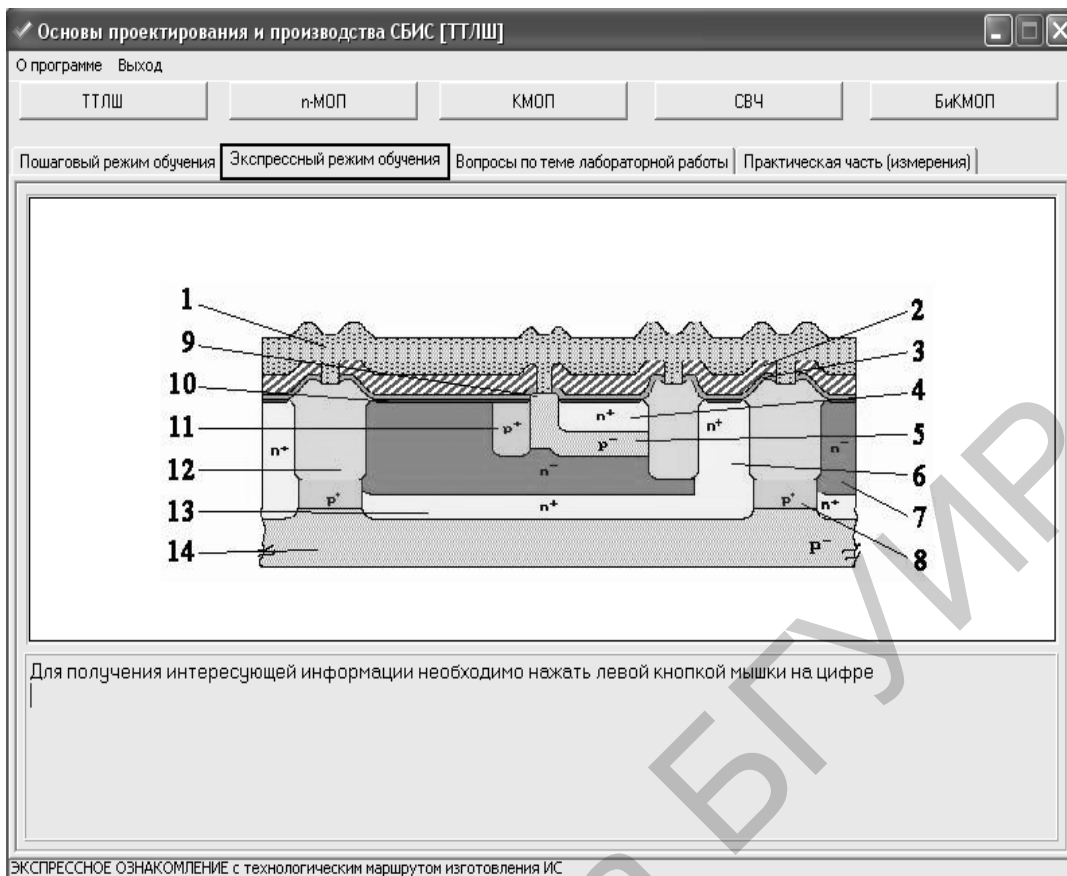


Рисунок 27 – Экспресс-метод изучения технологии

Второй вариант предназначен для тех, кто уже имеет некоторые знания по данному технологическому процессу. При выборе этого варианта появляется меню выбора рисунка. Пользователь может, введя номер, получить на экране соответствующую информацию по выбранной части технологического маршрута.

Теоретическая часть заканчивается контролем уровня усвоения технологического процесса (рисунок 28). Пользователю предоставляется возможность ответить на блок вопросов. Для каждого вопроса предусмотрено несколько вариантов ответов, один из которых правильный. На этом первый («теоретический») блок заканчивается. Во втором блоке обучающийся проводит анализ технологии изготовления ИМС. Это происходит посредством имитации тестового контроля. Программа позволяет провести контроль восьми параметров ТС по каждому технологическому маршруту изготовления ИМС. Обучающийся получает у преподавателя задание в виде наименований параметров, которые следует проконтролировать. Выбор параметров в программе осуществляется из меню выбора параметра, приведенного на рисунке 29. Движение по меню происходит стандартным методом с помощью клавиш управления курсором.

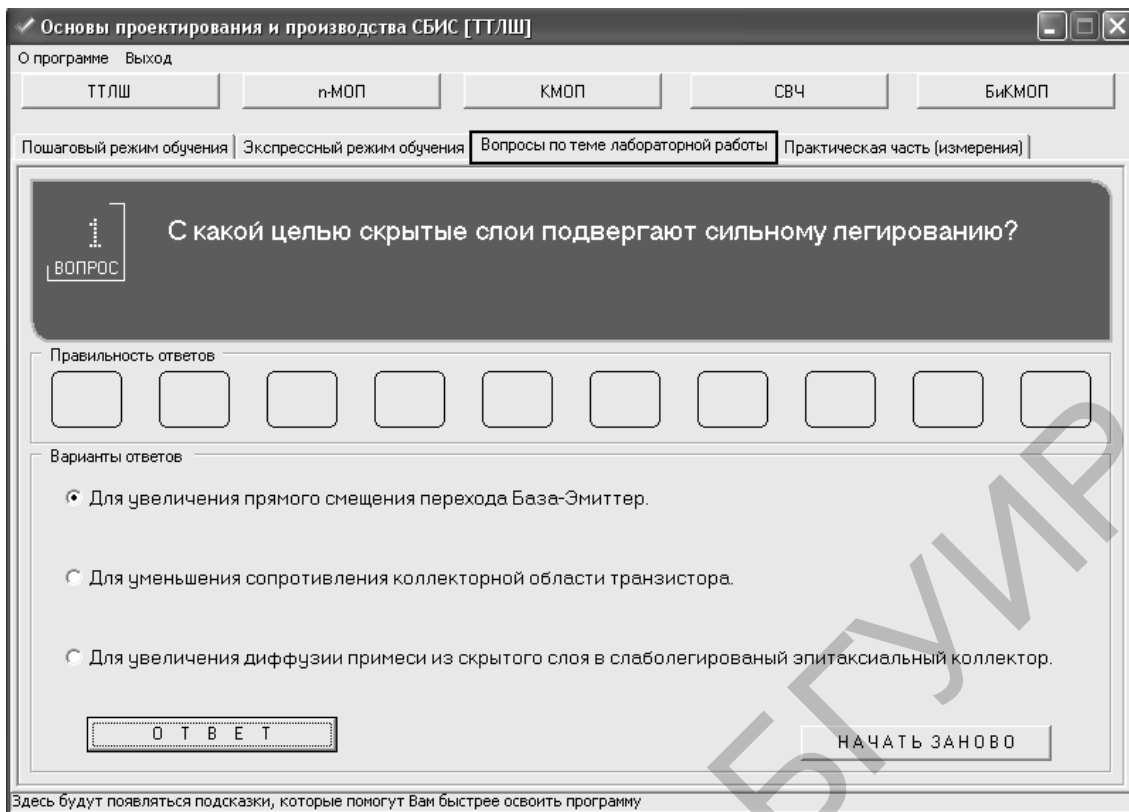


Рисунок 28 – Вопросы по теме лабораторной работы

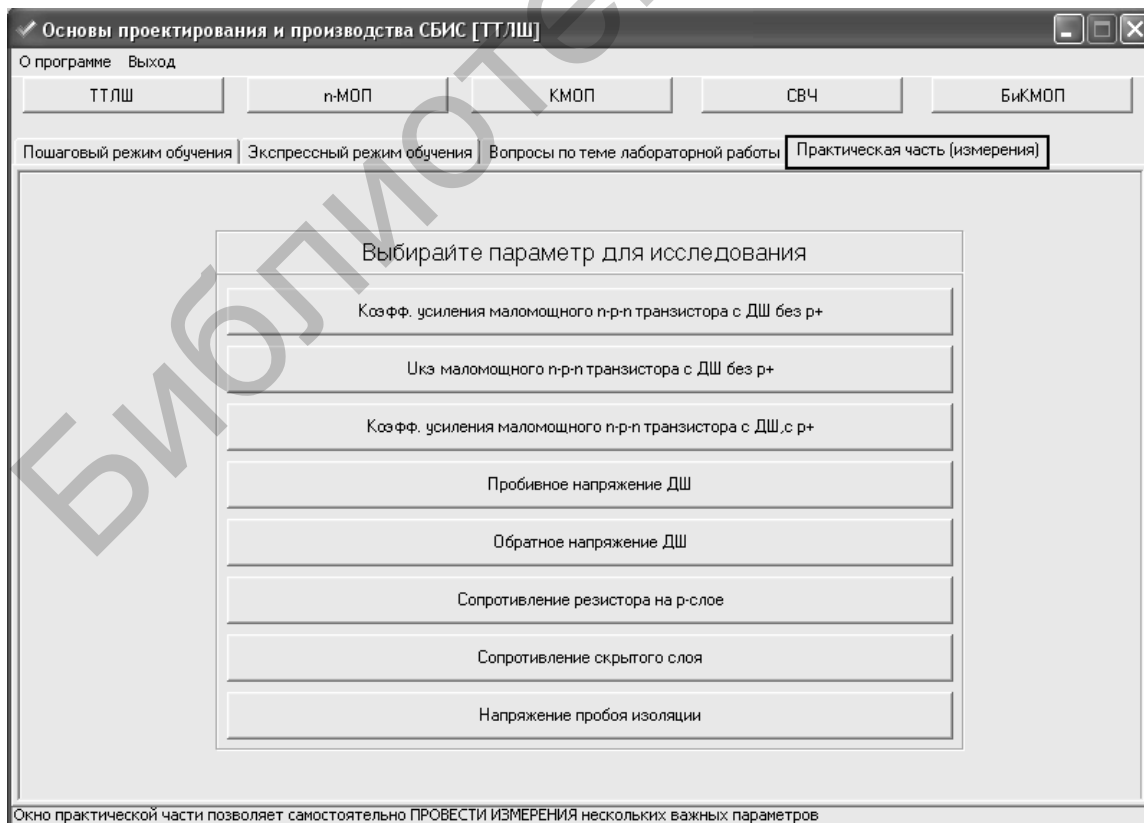


Рисунок 29 – Меню выбора исследуемого параметра

После того как пользователь выбрал один из измеряемых параметров, программа переходит в режим имитации процесса измерения (рисунок 30). Проводятся измерения параметра ТС на 20 пластинах. Экран при этом разделен на две части: таблица результатов и измерительное табло. Под таблицей результатов находятся два индикатора процесса (индикатор хода процесса измерения данной пластины и индикатор хода всего процесса измерения). В таблицу заносятся результаты измерений параметров в ходе процесса измерения. После окончания процесса измерения обучающийся должен переписать эти результаты и внести их в отчет (рисунок 31).

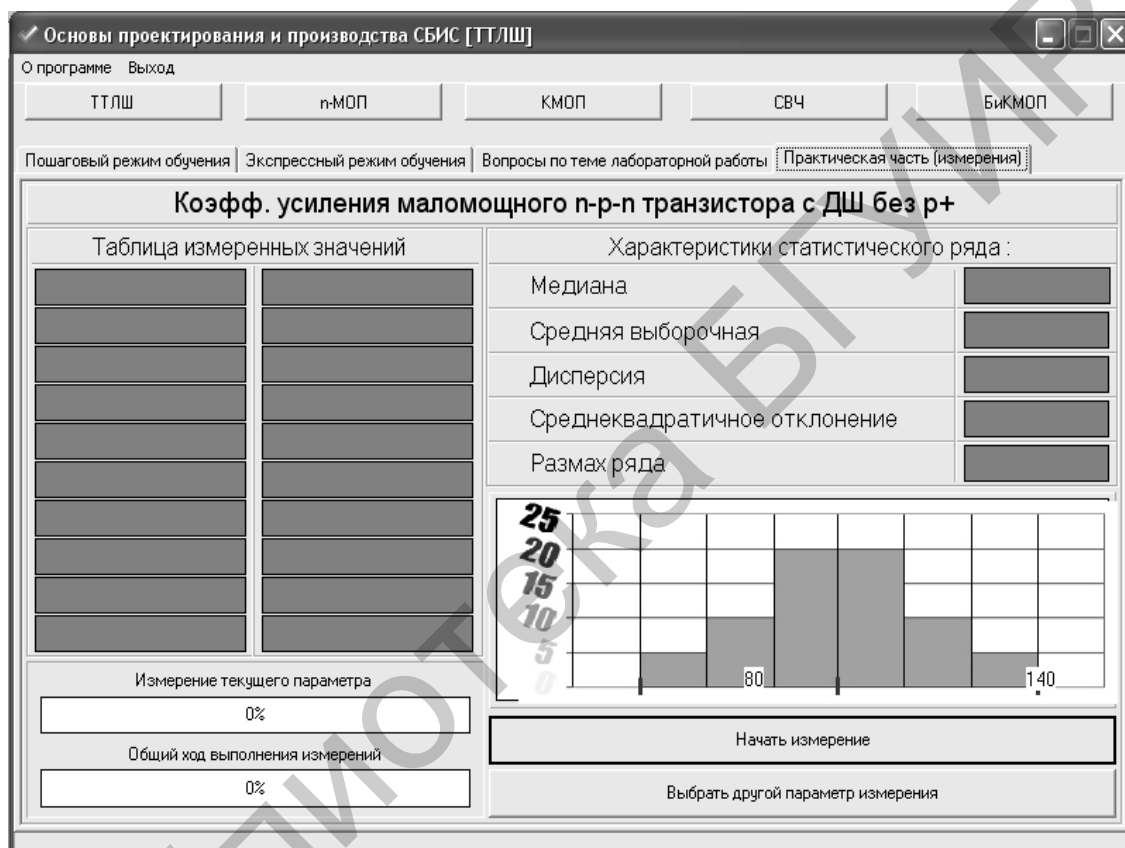


Рисунок 30 – Экран перед проведением измерений

По результатам измерений необходимо построить реальное распределение параметров, сопоставить реальное и идеальное распределение на едином графике, объяснить возможные причины отклонений (если таковые имеются) и дать рекомендации по изменению режимов технологических операций для устранения расхождений.

При выполнении работы студенту необходимо провести анализ трех различных параметров ТС.

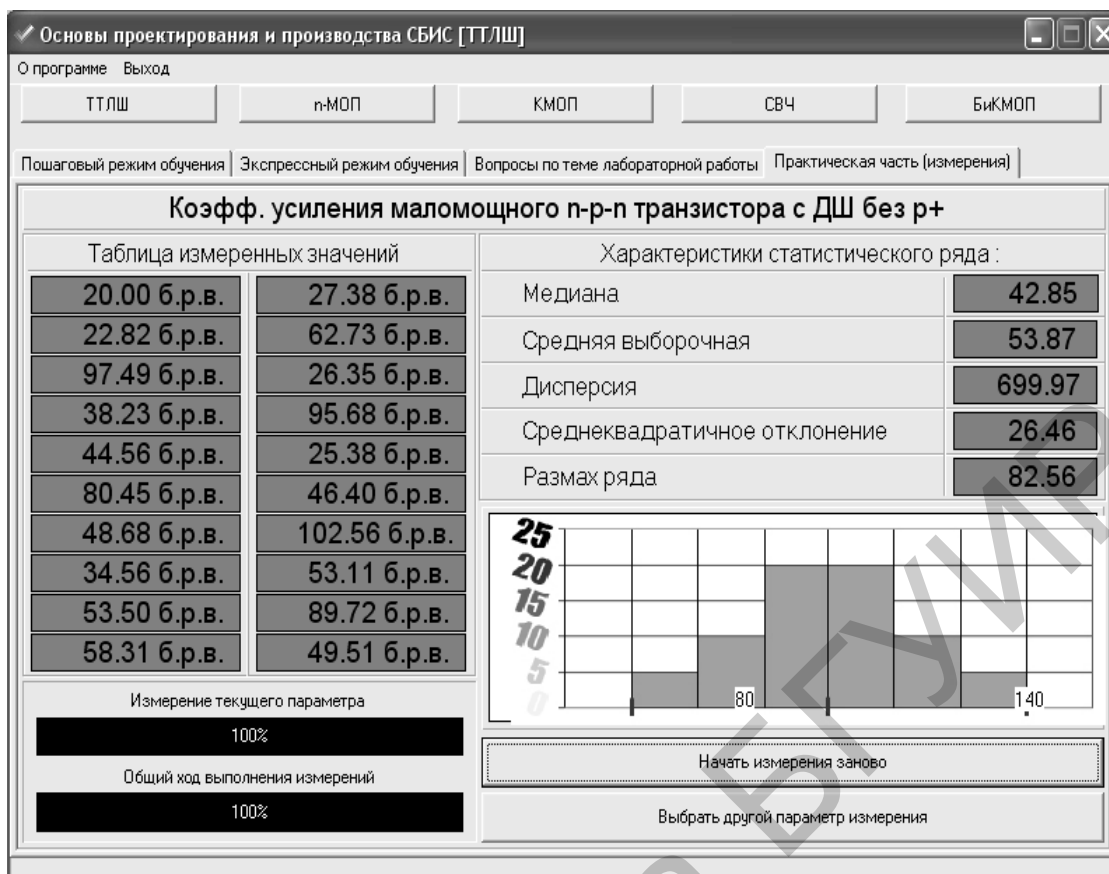


Рисунок 31 – Результаты измерений и статистического анализа

## 6 ТРЕБОВАНИЯ ПО ТЕХНИКЕ БЕЗОПАСНОСТИ ПРИ РАБОТЕ С ИЗМЕРИТЕЛЬНЫМ КОМПЛЕКСОМ

1 К работе с измерительным комплексом допускаются студенты, прошедшие инструктаж по технике безопасности в технологической лаборатории и изучившие порядок работы с измерительным комплексом.

2 Перед включением приборов в сеть необходимо проверить наличие заземления на измерительном комплексе и в блоке питания микроскопа. Заземление приборов проводит лаборант.

3 Категорически запрещается: вскрывать защитные кожухи на приборах; прикасаться при включенных приборах к токоведущим проводам и клеммам.

## 7 КОНТРОЛЬНЫЕ ВОПРОСЫ

1 Назовите конструкторско-технологические методы повышения быстродействия биполярных ИМС.

2 Объясните назначение диодов на основе барьеров Шоттки в биполярных транзисторах.

3 Назовите основные этапы технологического маршрута формирования биполярного транзистора с диодом Шоттки.

4 Нарисуйте профиль легирования биполярного транзистора. Объясните необходимость проведения двухстадийного процесса ионного легирования при получении базовой области.

5 Объясните назначение различных ТС в биполярных ИМС.

6 В чем заключаются технологические особенности изготовления скрытого  $n^+$ -слоя?

7 Объясните принципы создания основных промышленных методов изоляции в биполярных ИМС.

8 С какой целью используется многослойная металлизация? Объясните на конкретном примере функциональное назначение различных слоев металлизации в биполярных ИМС.

9 Назовите основные этапы технологического маршрута формирования КМОП-структур.

10 Каким образом с помощью ТС можно обеспечить воспроизводимость технологического процесса?

11 С помощью каких технологических процессов можно управлять пороговым напряжением  $n$ - и  $p$ -канальных транзисторов при их формировании?

12 С какой целью при создании КМОП ИМС используется эпитаксиальная структура?

13 Какие эффекты могут возникнуть при уменьшении размеров элементов в КМОП-структуре?

14 Из каких этапов состоит технологический маршрут изготовления ИМС на GaAs?

15 Дайте сравнительную характеристику технологии изготовления ИМС на Si и GaAs.

16 Назовите причины, сдерживающие широкое развитие GaAs-технологии.

17 Перечислите основные особенности конструкции ПТШ на GaAs.

18 Объясните необходимость применения мезотехнологии при создании ПТШ на GaAs.

19 Какие параметры ТС могут указывать на изменения процессов в технологических блоках создания ОК и БШ?

20 Назовите основные конструкторско-технологические особенности изготовления БиКМОП ИМС.

21 Укажите главные области применения ИМС, изготовленных по БиКМОП-технологии.

22 Назовите основные этапы технологического процесса формирования БиКМОП ИМС.

23 Объясните необходимость и особенности проведения тестового контроля в БиКМОП-технологии.

24 Объясните назначение различных структур тестового модуля БиКМОП ИС.

25 Объясните механизм программирования ячейки ЭСППЗУ.

26 Назовите назначение всех элементов двухтранзисторной ячейки ЭСППЗУ.

27 Назовите основные этапы технологического процесса формирования двухтранзисторной ячейки ЭСППЗУ.

28 Объясните конструктивно-технологические особенности изготовления транзистора с плавающим затвором.

29 Назовите основные достоинства и недостатки пленок меди при использовании их в технологии ИМС.

30 В чем заключается метод двойной гравировки?

31 Какова необходимость применения барьерных слоев при создании медной металлизации?

32 Назовите основные способы и методы осаждения пленок меди.

33 Какие основные конструктивные и технологические параметры подзатворного диэлектрика влияют на работу МОП-транзистора?

34 Обоснуйте основные причины перехода МОП-структур к high-k-диэлектрикам.

35 Назовите основные причины замены затвора из поликристаллического кремния на металлический.

36 Объясните, каким образом влияет толщина слоя диэлектрика на параметры МОП-транзистора.

37 Объясните, каким образом влияет диэлектрическая проницаемость материала подзатворного диэлектрика на параметры МОП-транзистора.

38 В чем заключаются особенности метода атомно-слоевого осаждения?

39 Назовите основные этапы технологического процесса атомно-слоевого осаждения.

## ЛИТЕРАТУРА

- 1 Зи, С. Технология СБИС. В 2 т. / С. Зи. – М. : Мир, 1986. – Т. 1 – 405 с.; Т. 2. – 452 с.
- 2 Рындин, Е. А. Субмикронные интегральные схемы : элементная база и проектирование / Е. А. Рындин, Б. Г. Коноплев. – Таганрог : ТРТУ, 2001. – 147 с.
- 3 Брандон, Д. Микроструктура материалов. Методы исследования и контроля / Д. Брандон, У. Каплан. – М. : Техносфера, 2006. – 378 с.
- 4 Пул, Ч. Нанотехнологии / Ч. Пул, Ф. Оуэнс. – М. : Техносфера, 2005. – 286 с.
- 5 Синдо, Д. Аналитическая просвечивающая электронная микроскопия для материаловедения / Д. Синдо, Т. Оикава. – М. : Техносфера, 2005. – 260 с.
- 6 Физические измерения в микроэлектронике / В. А. Пилипенко [и др.]. – Минск : БГУ, 2003. – 171 с.
- 7 Campbell, S. The science and engineering of microelectronic fabrication / S. Campbell. – New York : Oxford university press, 2001. – 603 p.
- 8 Rabaey, J. Digital Integrated Circuits : A Design Perspective, second edition / J. Rabaey, A. Chandrakasan, B. Nikolic. – New York : Prentice Hall, 2003. – 747 p.
- 9 Bhushan, B. Handbook of nanotechnology / B. Bhushan. – Berlin : Springer-Verlag, 2004. – 1222 p.



*Учебное издание*

**Черных Александр Георгиевич**  
**Колосницын Борис Сергеевич**

**ТЕХНОЛОГИЯ ИЗГОТОВЛЕНИЯ  
ИНТЕГРАЛЬНЫХ МИКРОСХЕМ.  
ЛАБОРАТОРНЫЙ ПРАКТИКУМ**

ПОСОБИЕ

Редактор *Е. И. Герман*  
Корректор *Е. Н. Батурчик*

Компьютерная правка, оригинал-макет *Е. Г. Бабичева*

Подписано в печать 12.03.2014. Формат 60×84 1/16. Бумага офсетная. Гарнитура «Таймс».  
Отпечатано на ризографе. Усл. печ. л. 3,02. Уч.-изд. л. 3,0. Тираж 100 экз. Заказ 209.

Издатель и полиграфическое исполнение: учреждение образования  
«Белорусский государственный университет информатики и радиоэлектроники»  
ЛИ №02330/0494371 от 16.03.2009. ЛП №02330/0494175 от 03.04.2009.  
220013, Минск, П. Бровки, 6