

УСТРОЙСТВО ДЛЯ МОНИТОРИНГА РАДИОЧАСТОТНОГО СПЕКТРА НА БАЗЕ XILINX ZYNQ

Азаров И.С., Качинский М.В., Петровский Н.А.,
Рыбенков Е.В., Станкевич А.В.,

Кафедра электронных вычислительных средств,
Белорусский государственный университет информатики и радиоэлектроники
Минск, Республика Беларусь

E-mail: {azarov, kachinsky, stankevich, nick.petrovsky, rybenkov}@bsuir.by

Рассматривается реализация аппаратного HDL-описания и программной части устройства мониторинга радиочастотного спектра на базе ПЛИС Xilinx Zynq Z7045 и трансивера Analog Devices ADRV9375.

ВВЕДЕНИЕ

Мониторинг радиочастотного спектра позволяет оценить качество сигналов и утилизацию доступного диапазона частот, обнаружить в сигналах помехи, искажения уровня и изменения частот передачи.

1. ПРОЕКТИРОВАНИЕ ПРОТОТИПА

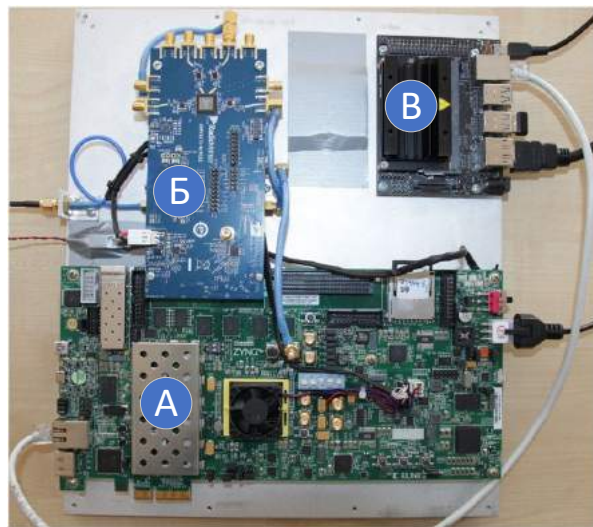
Особенностью устройства является необходимость обработки сигналов широкого частотного диапазона от 300 МГц до 2 ГГц с высоким разрешением по уровню (16 двоичных разрядов). Устройство должно осуществлять сканирование указанного диапазона частот, причем должна иметься возможность установки более узкого диапазона сканирования для более детального изучения спектра.

Для сокращения сроков разработки макет приемного устройства мониторинга радиочастотного спектра был реализован по методологии быстрого проектирования на базе отладочных плат [1]. Основным узлом макета для приема сигнала является радиочастотный трансивер Analog Devices ADRV9375, обладающий следующими характеристиками:

- перестраиваемый диапазон 300–6000 МГц;
- полоса приемника: 8–100 МГц;
- 2 канала приемника;
- цифровой интерфейс JESD204B для взаимодействия с ПЛИС.

В модуле ADRV9375 задействуется приемник, с помощью которого осуществляется сканирование заданного рабочего диапазона частот. Для настройки модуля ADRV9375, первичной обработки принятых данных, вычисления спектра и передачи полученного радиочастотного спектра в систему отображения через интерфейс Ethernet используется отладочная плата ZC706. Плата выполнена на базе системы на кристалле Xilinx XC7Z045 (совмещает в себе двухъядерный процессор архитектуры ARM Cortex A9 и ПЛИС серии Kintex-7). Радиомодуль ADRV9375 подключается к модулю ZC706 с помощью интерфейса FPGA Mezzanine Card (FMC согласно спецификации VITA 57.1). Для анализа и визуализации радиочастотного спектра используется

плата Jetson Nano, представляющая собой одноплатный ARM-компьютер со 128-ядерным графическим ускорителем. Внешний вид макета в сборе приведен на рисунке 1.



A – ZC706; Б – ADRV9375; В – Jetson Nano

Рис. 1 – Макет устройства для мониторинга радиочастотного спектра

Вычисление спектра реализовано аппаратно на базе программируемой логики кристалла Xilinx XC7Z045 установленного на плате ZC706. Для сокращения сроков разработки в качестве базового проекта, использующего аппаратную платформу Xilinx ZC706 + ADRV9375, был выбран пример проектирования (Reference Design) Oscilloscope (двухканальный осциллограф) [2]. Для реализуемой задачи второй канал приемника RX2 ADRV9375 не используется, поэтому можно вместо него подать выходные данные амплитудного (вместо синфазной составляющей i) и фазового (вместо квадратурной составляющей q) спектров. Такой подход позволит не менять конфигурацию DMA и использовать готовые драйвера взаимодействия с аппаратной частью.

II. АППАРАТНОЕ ОБЕСПЕЧЕНИЕ

Структурная схема блока цифровой обработки сигнала приемника радиочастотного трансивера ADRV9375 приведена на рисунке 2.

Размер обрабатываемого фрейма составляет 4096 отсчетов. Входной сигнал от АЦП приемника RX1 AD9375 поступает на умножитель для взвешивания окном Хеннинга, симметричная половина коэффициентов которого хранится в ПЗУ. Параллельно обрабатываются действительная и мнимая части входного сигнала, которые затем поступают в модуль БПФ. В качестве модуля БПФ использовалось IP-ядро Xilinx Fast Fourier Transform v9.1, со следующими параметрами: количество точек – 4096; разрядность данных для $Re(\cdot)$ и $Im(\cdot)$ по отдельности, входные – 16; выходных – 32 разряда;

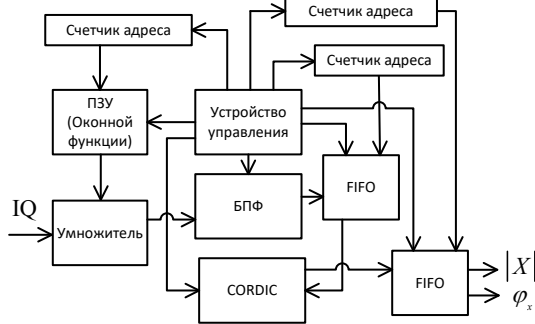


Рис. 2 – Структурная схема блока цифровой обработки сигналов

Выходные данные БПФ сохраняются в FIFO-буфере, реализованном на двух модулях двухпортовой памяти с организацией 4096×32 раздельно для $Re(\cdot)$ и $Im(\cdot)$ частей выходного сигнала.

Модуль CORDIC предназначен для вычисления амплитудного $|X|$ и фазового ϕ_x спектров. В качестве этого модуля использовалось IP-ядро Xilinx CORDIC v6.0 в режиме преобразования декартовых координат в полярные. Входные данные вещественной и мнимой частей модуля CORDIC – 32-разрядные, выходные – по 16 разрядов для амплитуды и фазы. Выходные значения амплитуды и фазы фрейма накапливаются в выходном FIFO-буфере, выполненном на двух модулях двухпортовой памяти с организацией 4096×16 . Наличие FIFO необходимо для согласования скоростей работы модулей БПФ и CORDIC с внешним приемником информации.

Общие аппаратные затраты модифицированного Reference Design макета приемного устройства мониторинга радиочастотного спектра с учетом аппаратного вычисления спектра по отчету системы проектирования Vivado приведены в таблице 1. При системной тактовой частоте 200 МГц время обработки фрейма из 4096 отсчетов составляет около 800 мкс.

Таблица 1 – Аппаратные затраты ресурсов кристалла ПЛИС xc7z045ffg900-2

Ресурс	Исп.	%	Ресурс	Исп.	%
LUT	48210	22.05	LUTRAM	3029	4.30
FF	57882	13.24	BRAM	64.50	11.83
DSP	56	6.22	IO	182	50.28
GT	4	16	BUFG	15	46.88
MMCM	5	62.50	PLL	1	12.50

III. ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

В результате анализа существующих программных средств для взаимодействия с радиочастотными приёмо-передающими устройствами от Analog Devices, выбран LibIO (Industrial Input Output) [5]. В качестве управляющей операционной системы используется Linux для встраиваемых систем. Для подготовки конфигурационных файлов (ядро ОС, загрузчик, конфигурационные данные FPGA, образ файловой системы) использовались следующие пакеты исходных текстов ПО, с версиями актуальными на момент разработки:

1. ядро ОС Linux (4.14.0) [3];
2. вторичный загрузчик U-Boot 2018.01 [4];
3. плагин трансивера AD9375 для подсистемы ОС Linux, IO [5];
4. дистрибутив BuildRoot [6];
5. RTL описание архитектуры системы FPGA в виде Makefile и скриптов для Tcl/Tk САПР Vivado 2018.2 [2]

Для связи устройства с хост-компьютером на базе Jetson Nano с целью последующего анализа и визуализации радиочастотного спектра разработан сетевой сервис (DCAP – digital capture) для сети Ethernet. Сервис представляет из себя управляющее ПО, которое загружается автоматически с помощью скриптов `init.d` для BusyBox во время запуска отладочной платы XC706. Данный сервис регистрирует сетевой сокет типа TCP-IP для получения управляющих сообщений в формате JSON. После фазы конфигурации сканируемого частотного диапазона, DCAP выполняет передачу амплитудного и фазового спектра в виде UDP-пакетов на заданный порт и адрес. Для хост-компьютера разработано ПО с графическим интерфейсом для управления мониторингом и отображения спектра с использованием Python3 и PyQt.

Испытания разработанного макета подтвердили возможность мониторинга радиочастотного спектра в реальном времени.

СПИСОК ИСТОЧНИКОВ

1. Петровский Ал.А., Станкевич А.В., Петровский А.А., Быстрое проектирование систем мультимедиа от прототипа // Петровский Ал.А., Станкевич А.В., Петровский А.А. – Минск: Бестпринт, 2011 – 412 с.
2. HDL Reference Designs: [Электронный ресурс]. – Режим доступа: https://github.com/analogdevicesinc/hdl/tree/hdl_2018_r2/library/. Дата доступа: 19.11.2021.
3. Linux Kernel: [Электронный ресурс]. – Режим доступа: <https://github.com/analogdevicesinc/linux>. Дата доступа: 19.11.2021.
4. U-boot: [Электронный ресурс]. – Режим доступа: <https://github.com/Xilinx/u-boot-xlnx>. Дата доступа: 19.11.2021.
5. IO library: [Электронный ресурс]. – Режим доступа: <https://github.com/analogdevicesinc/libio>. Дата доступа: 19.11.2021.
6. BuildRoot (embeded linux distro): [Электронный ресурс]. – Режим доступа: <http://git.buildroot.net/buildroot/>. Дата доступа: 19.11.2021.