

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра радиотехнических систем

В. Н. Левкович, Р. Г. Ходасевич

ИССЛЕДОВАНИЕ РЕГИСТРОВ

Методическое пособие
к лабораторной работе
по курсу «Цифровые устройства»
для студентов радиотехнических специальностей
всех форм обучения

Минск 2008

УДК 621.374.3(075.8)
ББК 32.847.4 я 73
Л 37

Р е ц е н з е н т
профессор кафедры радиотехнических устройств БГУИР,
д-р техн. наук В. А. Чердынцев

Левкович, В. Н.

Л 37 Исследование регистров: метод. пособие к лаб. работе по курсу
«Цифровые устройства» для студ. радиотех. спец. всех форм обуч. /
В. Н. Левкович, Р. Г. Ходасевич. – Минск : БГУИР, 2008. – 24 с.: ил.
ISBN 978-985-488-256-7

Дана классификация, рассмотрены схемы и принципы функционирования
основных типов параллельных и последовательных регистров.

Приводится лабораторное задание, содержание отчета и контрольные вопросы для
самопроверки.

УДК 621.374.3(075.8)
ББК 32.847.4 я 73

ISBN 978-985-488-256-7

© Левкович В. Н., Ходасевич Р. Г., 2008
© УО «Белорусский государственный университет
информатики и радиоэлектроники», 2008

1. Цель лабораторной работы

Углубление и закрепление теоретических знаний, методов расчета и проектирования цифровых устройств. Получение практических навыков компьютерного моделирования работы параллельных и последовательных регистров с помощью пакета прикладных программ Electronics Workbench.

2. Общие сведения о регистрах

Регистр (Register) – это последовательностное цифровое устройство, предназначенное для приема (записи), хранения и выдачи (считывания) информации, представленной в виде n-разрядного двоичного кода. На схемах регистры обозначаются согласно ГОСТ 2.743.91 буквами RG, в стандартных сериях цифровых интегральных микросхем (ИМС) – буквами IP.

С помощью регистров можно осуществлять следующие операции:

- запись информации в параллельной или последовательной форме;
- хранение информации;
- сдвиг информации вправо или влево;
- выдачу хранимой информации в параллельной или последовательной форме;
- преобразование кодов;
- выполнение логических и арифметических операций.

Основным классификационным признаком регистров является способ записи (WR – от английского Write) и считывания (RD – Read) информации. По данным признакам регистры различают:

- параллельные (регистры хранения);
- последовательные (регистры сдвига);
- специального назначения.

Согласно указанным классификационным признакам и функциональным назначениям ИМС на рис. 1 приведена сводная таблица наиболее распространенных отечественных регистров и их зарубежных аналогов, выполненных по ТТЛШ- и КМОП-технологиям. Звездочкой отмечены регистры, имеющиеся в базе данных программы Electronics Workbench.

В данном пособии используются общепринятые обозначения цифровых регистров серий K555 (аналог 74LS) и KP1533 (74ALS), выполненных по

технологии ТТЛШ (TTLS) – транзисторно-транзисторная логика со структурами Шоттки, а также серий КР1554 (74АС) и КР1564 (74НС), выполненных по технологии КМОП (CMOS) на комплементарных МОП-структурах.

В технической документации обычно указываются полные названия микросхем, например, 8-разрядный регистр сдвига КР1533ИР8 (аналог SN74ALS164N фирмы Texas Instruments) или 8-разрядный реверсивный регистр КР1554ИР24 (аналог IN74AC299N фирмы National). На схемах могут применяться их краткие обозначения: ИР8 (74×164) и ИР24 (74×299).

В зарубежных аналогах цифровых интегральных микросхем приняты сокращения:

- ALS (Advanced Low Power Schottky) – улучшенная маломощная серия ТТЛШ;
- AC (Advanced CMOS) – улучшенная серия КМОП;
- HCT (High Speed CMOS with TTL inputs) – высокоскоростная серия КМОП, совместимая по входу с ТТЛ;
- 74 – семейство коммерческих микросхем.

Указанные серии интегральных микросхем рассматриваются в данном пособии и широко применяются в промышленности и научных разработках.

В рассматриваемых стандартных сериях ИМС имеются 4-разрядные (ИР11, ИР12), 8-разрядные (ИР22, ИР23), 24-разрядные (ИР31) и другие регистры, разрядность которых при необходимости можно наращивать. Большинство регистров имеют 8 разрядов и запоминают 1 байт информации.

Любой регистр имеет n однотипных разрядов, выполненных на базе триггеров, число которых в схеме регистра соответствует числу разрядов двоичного кода. Нумерацию триггеров и их выходы Q будем на схемах обозначать индексами 0, 1, 2, 3... согласно разрядам двоичного кода, где нулевой разряд кода, следовательно, и выход триггера Q_0 ассоциируется с младшим разрядом регистра. Такая запись связана с общепринятой формой представления двоичного числа:

$$A = a_n \dots a_2 a_1 a_0, \quad (1)$$

где справа находится младший разряд a_0 двоичного числа A .

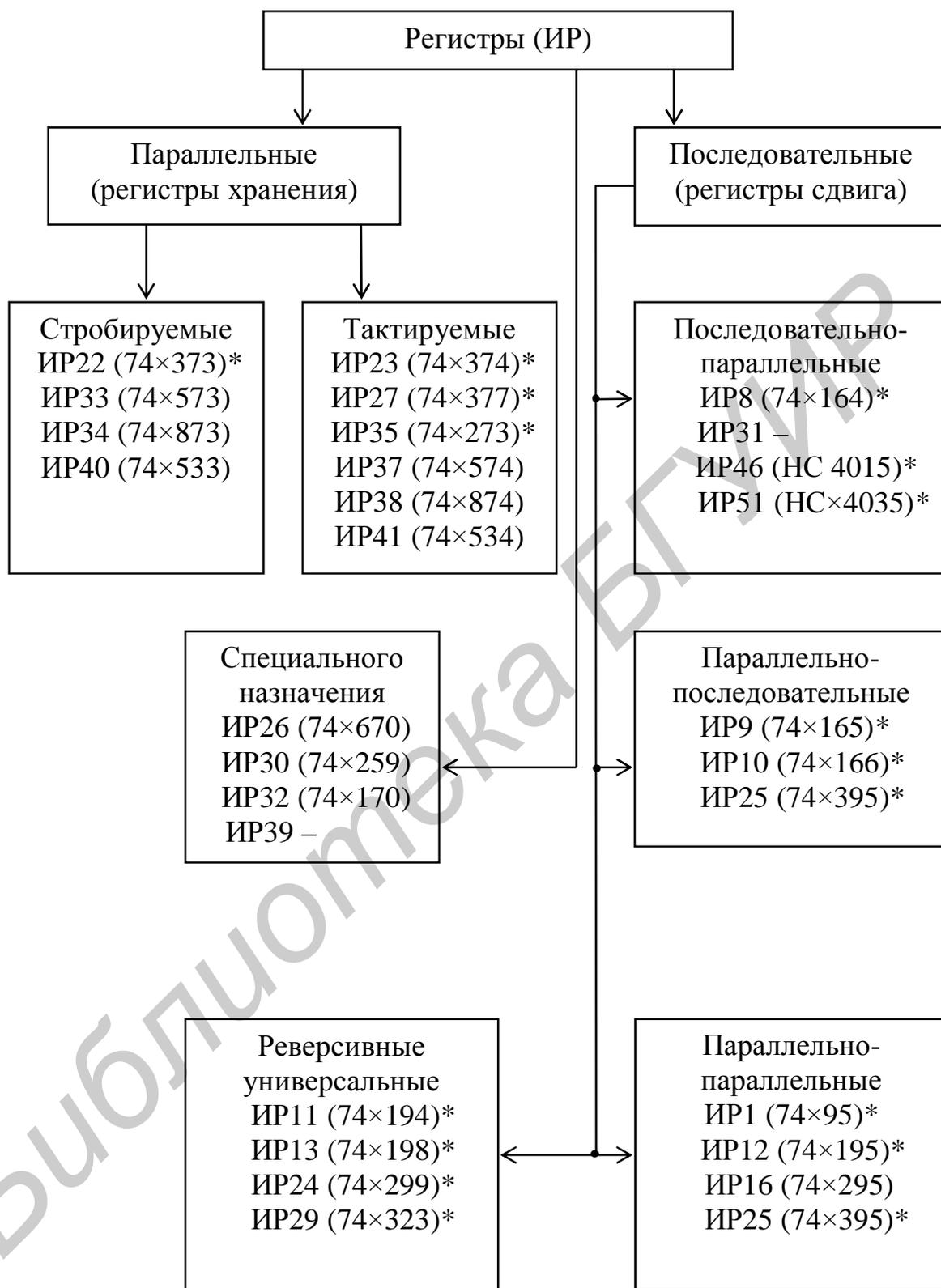


Рис. 1. Классификация наиболее распространенных промышленных отечественных регистров и их зарубежных аналогов

Все регистры управляются тактовыми сигналами, поступающими на входы С (CLK–Clock). Тактовые входы соединены между собой, что обеспечивает одновременность срабатывания всех триггеров, входящих в состав регистра. На входы регистра также поступают различные специальные сигналы разрешения EN (Enable).

Многие регистры имеют специальные буферные каскады с тремя состояниями выходов: логическая 1, логический 0 и Z-состояние. Микросхемы, имеющие дополнительное Z-состояние, помечаются на схемах буквой Z. Для перевода выхода регистра в Z-состояние применяется специальный входной сигнал EZ (Enable Z-State – разрешение Z-состояния) или другой специальный входной управляющий сигнал разрешения выхода. Если на выходе ИМС имеются активные состояния логической 1 либо логического 0, то выходные токи достигают определенных величин. ИМС с Z-состоянием имеют высокоимпедансный выход, который отключается от последующих схем сигналом EZ, выходной ток при этом практически равен нулю. Регистры с Z-состоянием обеспечивают повышенную нагрузочную способность.

Отдельные регистры имеют вход R асинхронного или синхронного сброса, по которому триггеры всех разрядов устанавливаются в нулевое состояние вне зависимости от логического состояния других входов.

2.1. Параллельные регистры

Основное назначение параллельных регистров – запоминание и хранение n-разрядного двоичного кода, поэтому параллельные регистры называют *регистрами памяти или регистрами хранения*. Такие регистры осуществляют операцию записи и считывания параллельным кодом, а также преобразование прямого двоичного кода в обратный и наоборот.

Запись и считывание n-разрядного двоичного кода осуществляется под действием синхронизирующих сигналов одновременно (параллельно) по всем n разрядам, причем триггеры в параллельных регистрах не связаны между собой и не обмениваются данными.

По способу управления синхронизирующими сигналами все параллельные регистры делятся на две группы (см. рис. 1):

- стробируемые, срабатывающие по уровню тактового сигнала;
- тактируемые, срабатывающие по фронту тактового сигнала.

На рис. 2 приведены структурные схемы n-разрядных параллельных регистров, у которых запись информации по входам $D_0 \dots D_n$ и считывание с выходов $Q_0 \dots Q_n$ осуществляется параллельно. Триггеры T_0 , имеющие выходы Q_0 , являются младшими разрядами регистра. На входы C всех разрядов параллельно подаются управляющие тактовые импульсы.

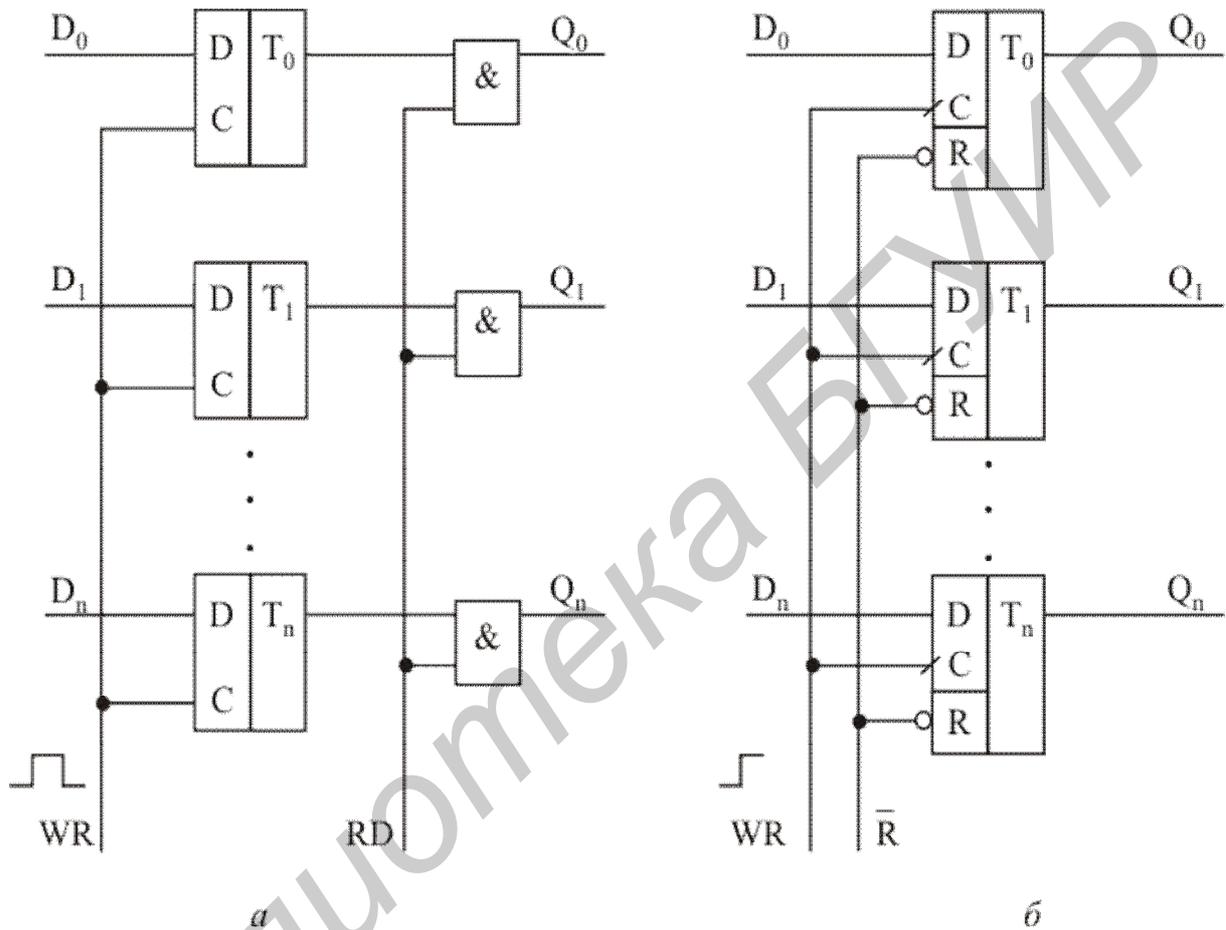


Рис. 2. Параллельные регистры

Стробируемый параллельный регистр (рис. 2, а) реализован на одноступенчатых D-триггерах со статическим управлением по входу C . Запись информации по сигналу WR осуществляется параллельно по входам $D_0 \dots D_n$. Считывание информации происходит при подаче сигнала RD , поступающего на входы логических элементов 2И.

Параллельные стробируемые регистры, срабатывающие по уровню тактового сигнала, принято называть *регистрами-защелками* (RG – Latch). Если стробирующий сигнал имеет активный логический уровень, то выходные сигналы регистра будут повторять сигналы, действующие на информационных

входах D. В момент перехода стробирующего сигнала на пассивный уровень происходит защелкивание регистра и разрядные триггеры будут сохранять последнее значение входных сигналов до прихода следующего стробирующего сигнала с активным логическим уровнем.

Тактируемый параллельный регистр (рис. 2, б) реализован на одноступенчатых D-триггерах с прямым динамическим управлением. Регистр предназначен для хранения n-разрядного кода, запись и считывание осуществляется параллельным кодом по фронту тактового импульса. Регистр имеет дополнительный вход \bar{R} асинхронного сброса разрядных триггеров в нулевое состояние.

Рассмотрим примеры построения и функционирования промышленных параллельных регистров и их зарубежных аналогов.

Параллельный стробируемый регистр ИР22 (74×373). Микросхема КР1533ИР22 и ее зарубежный аналог SN74ALS373 представляют собой 8-разрядные параллельные стробируемые регистры и предназначены для хранения одного байта информации (1 байт равен 8 битам), который записывается и считывается в виде параллельного кода.

Условные обозначения регистров ИР22 и 74×373 показаны соответственно на рис. 3, а, б. В табл. 1 приведена таблица их функционирования.

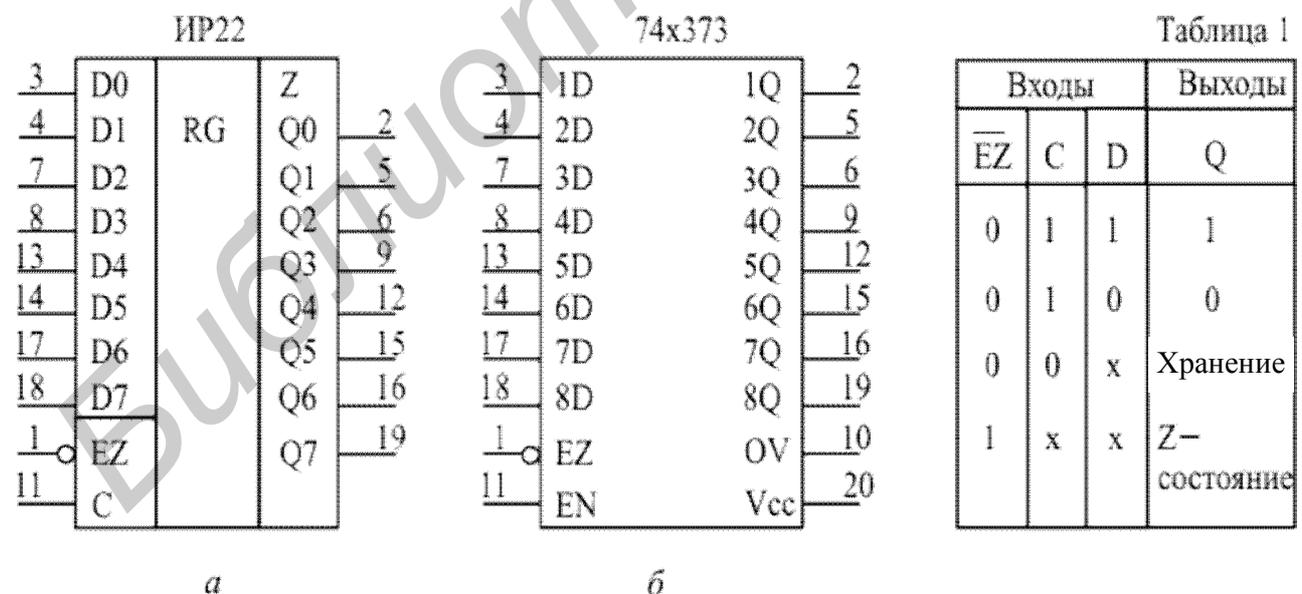


Рис. 3. Параллельные 8-разрядные стробируемые регистры

Регистр ИР22 спроектирован по принципу проходной защелки. Базовым элементом регистра является D-триггер со статическим управлением. Запись

параллельного кода осуществляется *асинхронно* через входы $D_0 - D_7$ при действии на входе C (либо EN) стробирующего сигнала, имеющего уровень напряжения логической 1. Стробирующий вход C в этом случае является активным и информация со входа проходит на выход схемы. При низком уровне сигнала на входе C регистр переходит в режим хранения информации (см. табл. 1).

Выходы регистра $Q_0 - Q_7$ имеют три состояния и переводятся в высокоимпедансное Z -состояние путем подачи сигнала логической 1 на инверсный вход разрешения \overline{EZ} (или NEZ), при этом состояние остальных входов безразлично (отмечены знаком X). В это время в регистр может записываться новая информация или храниться предыдущая. Такие микросхемы снабжаются специальными выходными буферными каскадами, которые управляются сигналом \overline{EZ} .

Микросхема имеет общий вывод OV и вывод V_{cc} для подключения источника питания.

Параллельный тактируемый регистр ИР35 (74×273). Микросхема КР1533ИР35 и ее зарубежный аналог SN74ALS273 являются 8-разрядными параллельными тактируемыми регистрами с асинхронным сбросом. Регистры предназначены для хранения восьмиразрядного кода, записываемого и считываемого в виде параллельного кода.

На рис. 4, *а*, *б* показаны условные обозначения соответственно регистров ИР35 и 74×273. В табл. 2 приведена таблица их функционирования.

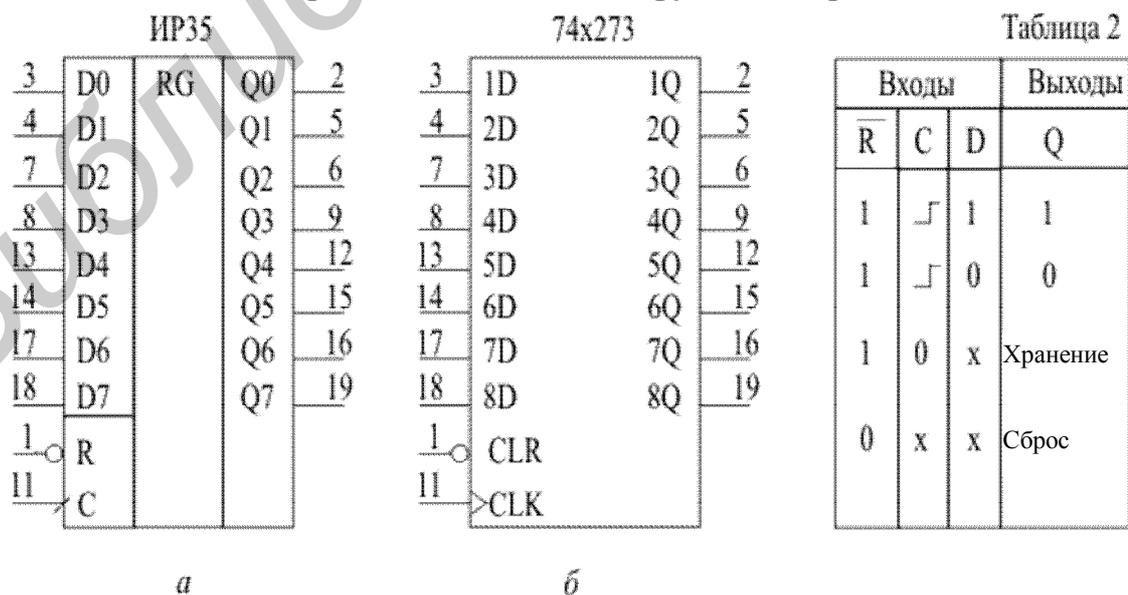


Рис. 4. Параллельные 8-разрядные тактируемые регистры

Схемы регистров выполнены на D-триггерах с прямым динамическим управлением по входу C (или CLK). Запись параллельного кода, поданного на информационные входы D, осуществляется *синхронно* по положительному фронту тактового импульса, действующего на входе C (CLK).

При значениях $C = 0$ регистры переходят в режим хранения информации (см. табл. 2). В это время на входы D можно подать следующий код, который очередным тактовым импульсом будет записан в регистр.

При записи кода и его хранении на инверсном входе $\bar{R} (\sim \text{CLR})$ должно действовать напряжение логической 1. Регистры обнуляются синхронно посредством подачи логического 0 на общий вход $\bar{R} (\sim \text{CLR})$.

2.2. Последовательные регистры

Основное назначение последовательных регистров – сдвиг записанного кода на один или несколько разрядов в сторону младшего или старшего разряда, поэтому последовательные регистры называют *регистрами сдвига* (Shift Register). Последовательные регистры обеспечивают запись и хранение информации, преобразуют последовательный код в параллельный и наоборот, а также могут выполнять различные арифметические операции.

Последовательные регистры делятся на *однаправленные* и *двунаправленные* (реверсивные). В однонаправленных регистрах сдвиг информации осуществляется только вправо либо влево, а в двунаправленных – как вправо, так и влево. В свою очередь однонаправленные последовательные регистры делятся на группы:

- последовательно-параллельные,
- параллельно-последовательные,
- параллельно-параллельные.

Рассмотрим принципы построения последовательных регистров со сдвигом информации вправо. На рис. 5 приведена структурная схема 4-разрядного регистра сдвига с последовательным информационным входом DR (Data Right) и параллельным выходом $Q_3 - Q_0$. Регистр реализован на базе синхронных D-триггеров с динамическим управлением.

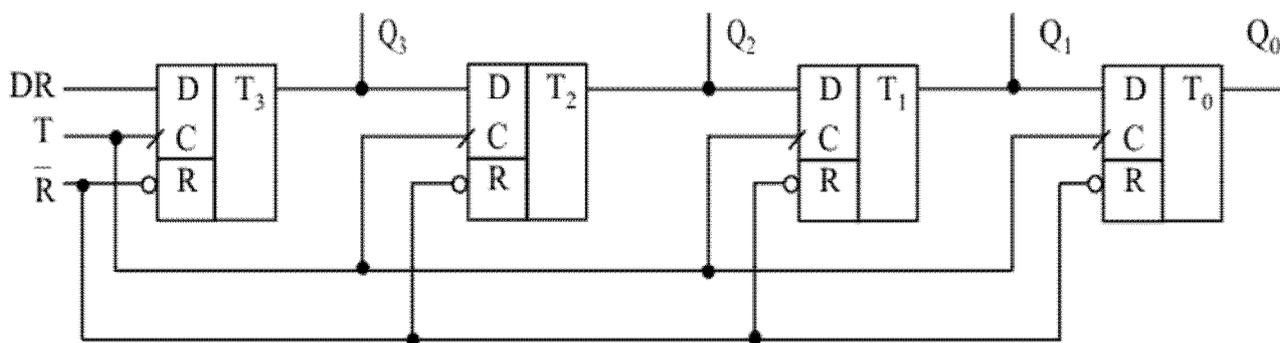


Рис. 5. Регистр сдвига с последовательным входом и параллельным выходом

Тактовые (сдвиговые) импульсы T подаются параллельно на все входы C триггеров регистра сдвига. Сигнал сброса с низким активным уровнем поступает на асинхронные входы \bar{R} всех триггеров.

Запись информации осуществляется последовательно по входу DR и сдвигается вправо на один разряд каждым тактовым импульсом, поступающим на вход C . В процессе сдвига каждый триггер, согласно рис. 5, передает хранимую информацию в следующий разряд и изменяет свое состояние под действием сигналов, формируемых на выходе предыдущего разряда.

Считывание записанной в регистр информации возможно как в виде параллельного кода с выходов всех триггеров Q , так и последовательным кодом с выхода Q_0 при подаче на вход C четырех тактовых импульсов.

Какой из триггеров регистра является старшим разрядом, зависит от способа ввода информации в регистр. Согласно общепринятым правилам (1) двоичное 4-разрядное число A записывается в виде

$$A = a_3 a_2 a_1 a_0, \quad (2)$$

где слева находится старший разряд числа a_3 , справа – младший разряд a_0 указанного двоичного числа.

Если число A записывать в регистр (см. рис. 5) начиная с младшего разряда a_0 , то после подачи на вход C четырех тактовых импульсов в регистр будет записано число $A = a_3 a_2 a_1 a_0$. В этом случае первый триггер T_3 будет старшим разрядом регистра, на выходе которого формируется сигнал $Q_3 = a_3$.

На рис. 6 показан фрагмент структурной схемы, содержащей два разряда регистра сдвига с параллельным входом и выходом. Запись информации

производится параллельным кодом по входам D_0 и D_1 либо последовательным кодом по входу DR .

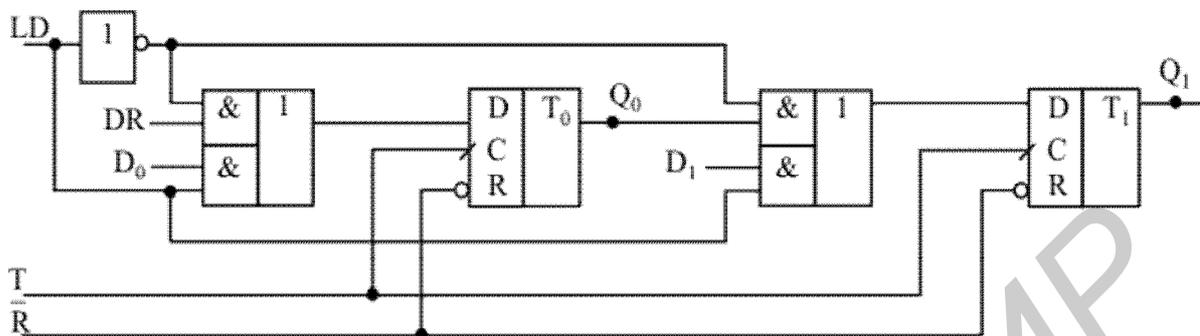


Рис. 6. Фрагмент регистра сдвига с параллельным входом и параллельным выходом

Если входной сигнал, поступающий на вход D_0 , является младшим разрядом записываемого параллельного кода, то первый триггер с выходом Q_0 будет младшим разрядом регистра сдвига. В этом случае и последовательный сигнал, поступающий на вход DR , должен записываться, начиная со старшего разряда входного кода, т.е. старшим разрядом вперед.

Вход LD (Load Data – загрузка данных) является управляющим и осуществляет переключение параллельного режима записи при $LD = 1$ или последовательного режима записи информации при $LD = 0$.

Рассмотрим некоторые промышленные последовательные регистры и их зарубежные аналоги.

Последовательно-параллельный регистр сдвига ИР8 (74×164). Регистр КР1533ИР8 (зарубежный аналог SN74ALS164) является последовательно-параллельным 8-разрядным регистром со сдвигом информации вправо (на схемах помечается стрелкой). Условные обозначения регистров ИР8 и 74×164 показаны соответственно на рис. 7,а,б, таблица функционирования в табл. 3.

Регистр ИР8 предназначен для преобразования последовательного кода в параллельный и хранения одного байта информации.

Запись последовательного кода осуществляется поразрядно по фронту тактового сигнала через входы D_1 и D_2 , которые объединены по функции И.

Тактовые импульсы подаются на вход С (либо CLK), при $C=0$ триггеры переходят в режим хранения информации (см. табл. 3).

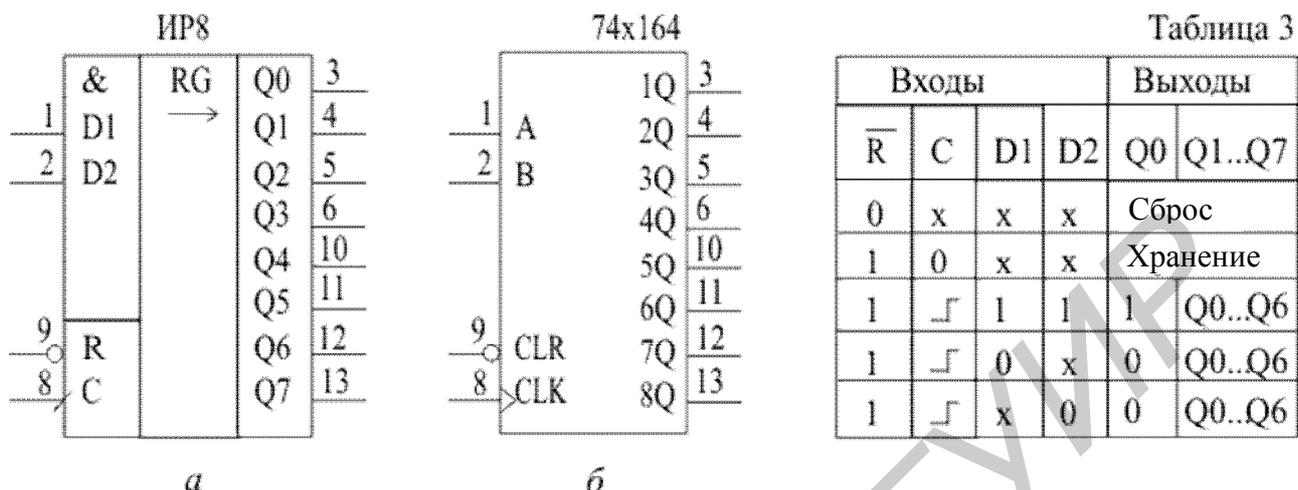


Рис. 7. Последовательно-параллельный регистр сдвига

Считывание параллельного кода в регистре IP8 производится с выходов Q_0-Q_7 , с выхода Q_7 можно считывать поразрядно последовательный код.

Все выходы регистра асинхронно сбрасываются в нуль по входному нулевому сигналу сброса \bar{R} , состояние других входов при этом не имеет значения.

Параллельно-последовательный регистр сдвига IP9 (74×165). Регистр KP1533IP9 (зарубежный аналог SN74ALS165) предназначен для преобразования параллельного кода в последовательный и хранения одного байта информации.

На рис. 8, а, б показаны условные обозначения соответственно регистров IP9 и 74×165, таблица функционирования приведена в табл. 4.

Информационные сигналы, представленные в параллельном коде на входах D_0-D_7 , записываются в регистр асинхронно по нулевому сигналу на входе \bar{WR} (или $\sim LD$). После записи на прямом выходе Q будет сформирован сигнал, соответствующий сигналу старшего разряда D_7 входного кода.

Для сдвига информации вправо необходимо подать тактовые импульсы на один из входов C_1 или C_2 , объединенных по функции ИЛИ-НЕ. По положительному фронту каждого тактового импульса происходит сдвиг кода

на один разряд. При единичном сигнале на входе C_1 или C_2 триггеры переходят в режим хранения информации (см. табл. 4).

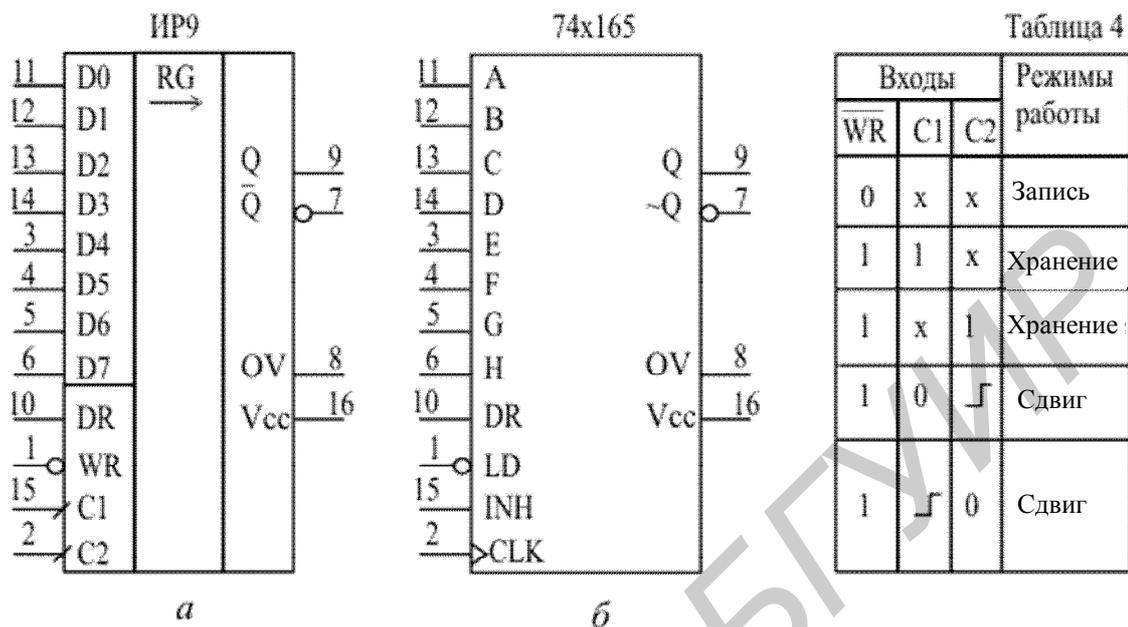


Рис. 8. Параллельно-последовательный регистр сдвига

Регистр IP9 может осуществлять запись информации в последовательном коде, для чего используется вход последовательного ввода данных DR при сдвиге кода вправо. В этом случае с инверсного выхода \bar{Q} считывается обратный последовательный код. Вход DR используется также для расширения разрядности регистра.

На рис. 9 приведена схема реализации 24-разрядного регистра сдвига, выполненного на трех регистрах сдвига IP9 (микросхемы DD1, DD2, DD3).

Параллельная запись информации в регистр осуществляется по нулевому сигналу на входе \overline{WR} . Регистр будет находиться в режиме хранения информации при единичном сигнале на входе \overline{WR} и единичном сигнале на входе C_1 или C_2 . Хранимая информация в режиме сдвига перезаписывается с выхода Q_7 старшего разряда микросхемы DD1 в младший разряд микросхемы DD2 через вход DR. Аналогично происходит перезапись сигналов из микросхемы DD2 в DD3. В итоге входной 24-разрядный параллельный код преобразуется в последовательный двоичный код и считывается с выхода Q_{23} .

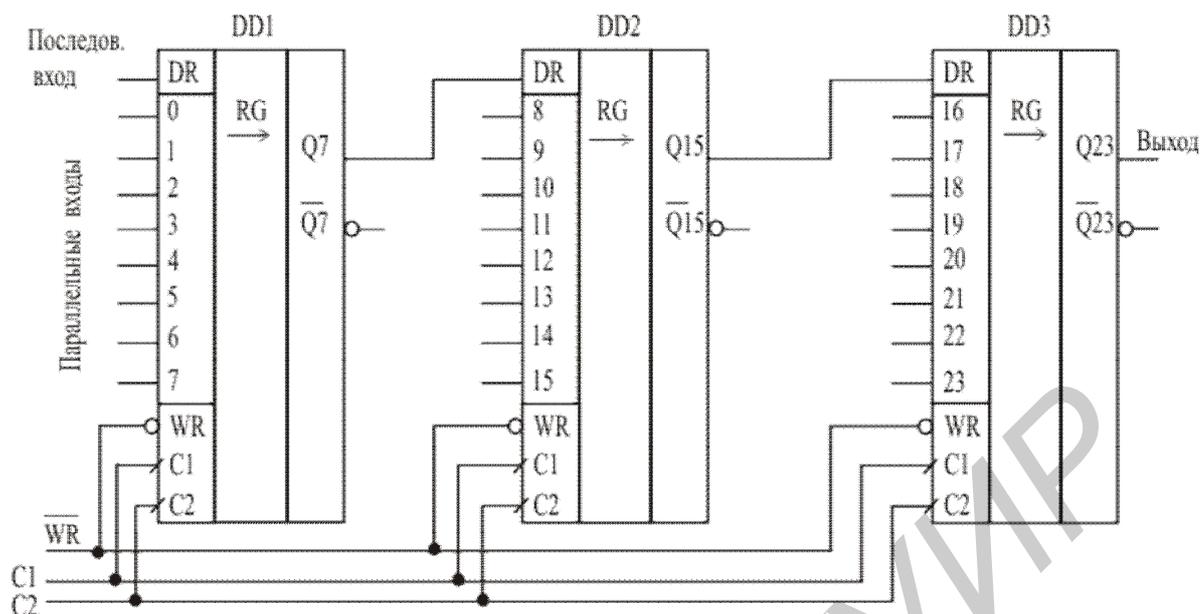


Рис. 9. 24-разрядный регистр сдвига

2.3. Реверсивные регистры сдвига

Последовательные регистры, осуществляющие сдвиг информации как вправо (SR – Shift Right), так и влево (SL – Shift Left), называются *реверсивными регистрами сдвига*. Основное назначение реверсивных регистров – ввод/вывод информации, ее хранение, сдвиг информации влево/вправо, преобразование кодов.

Выпускаются реверсивные регистры в основном 4- и 8-разрядные, реализуются на двухступенчатых триггерах или на одноступенчатых D-триггерах с динамическим управлением. Нельзя в реверсивных регистрах применять одноступенчатые триггеры со статическим управлением ввиду того, что триггеры могут неоднократно переключаться за время действия уровня управляющего сигнала.

На рис. 10 показаны фрагменты схем, которые иллюстрируют принципы построения реверсивного регистра с последовательным вводом и выводом информационных кодов. Схемы выполнены на синхронных одноступенчатых D-триггерах с прямым динамическим управлением.

При последовательной записи в регистр сдвига (см. рис. 10, а) двоичного 4-разрядного кода $D = D_3D_2D_1D_0$, где D_0 согласно выражению (2) является младшим разрядом двоичного кода, необходимо ввести по входу DR код D , начиная со старшего разряда D_3 . После подачи на вход C четырех тактовых

импульсов в регистр будет записан код $D = D_0D_1D_2D_3$. Данный код будет храниться в триггерах $T_0 - T_3$, при этом T_0 будет младшим разрядом регистра. Запись информации в регистр с последовательным вводом данных и сдвигом вправо обозначается на схемах буквами DR (Data Right), последовательный ввод данных со сдвигом влево обозначается буквами DL (Data Left).

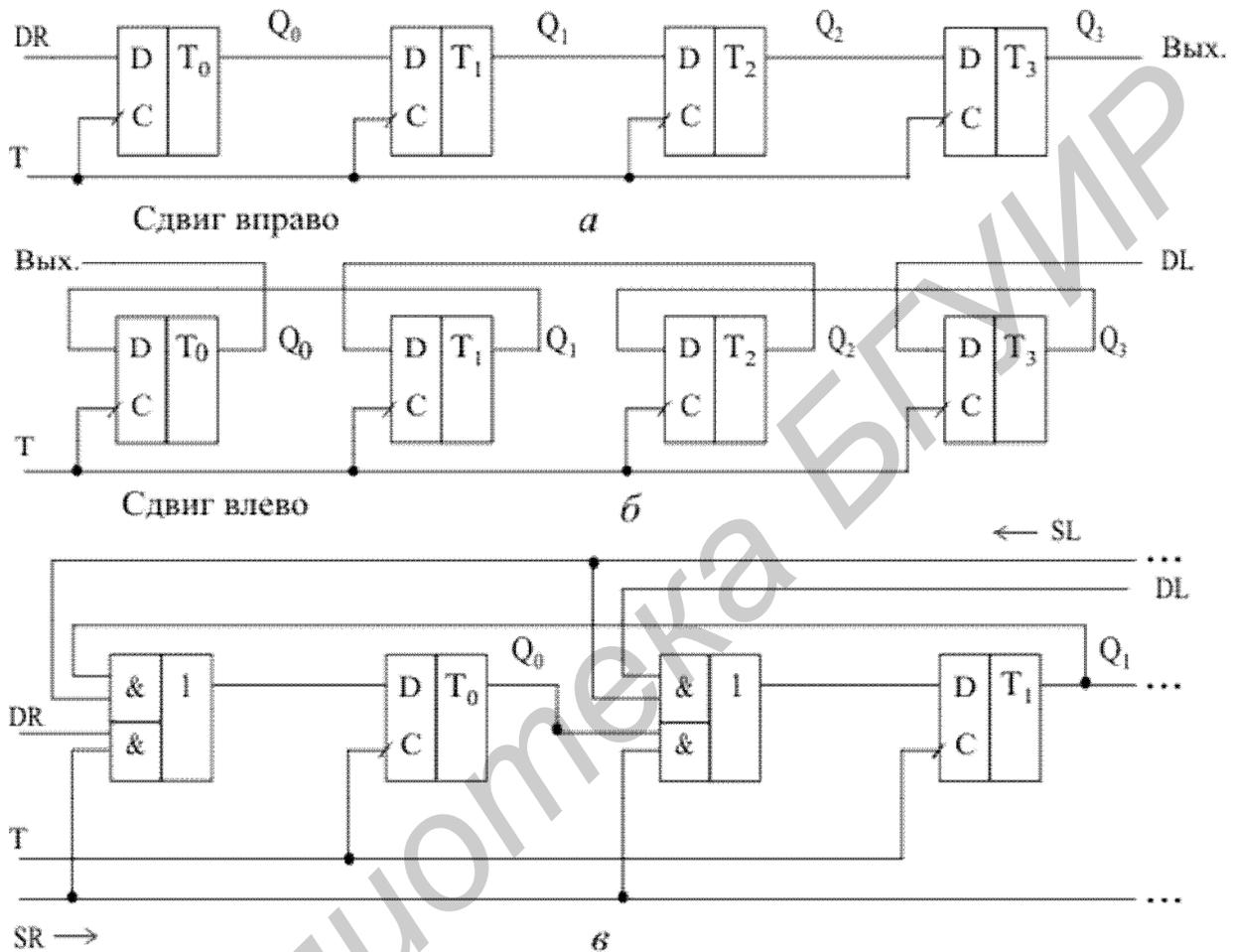


Рис. 10. Принцип построения реверсивного регистра:

a – сдвиг вправо (SR); *б* – сдвиг влево (SL); *в* – фрагмент схемы реверсивного регистра

Для осуществления сдвига влево необходимо в регистре сдвига изменить связи между триггерами, подключая выход младшего разряда к входу старшего разряда (см. рис. 10, б). В этом случае происходит последовательный ввод данных со сдвигом влево, а управляющий сигнал обозначен буквами DL.

Последовательные информационные входы DR и DL используются для увеличения разрядности регистров сдвига.

В реверсивном регистре (см. рис. 10, в) с целью изменения направления передачи информации вводятся дополнительные логические элементы 2И-НЕ (схемы DD1 и DD2). Если сигнал SR равен единице, то информация, подаваемая на вход DR, будет сдвигаться вправо в сторону старших разрядов. Если сигнал SL равен единице, то информация, подаваемая на вход DL, будет сдвигаться влево в сторону младших разрядов. Одновременная подача сигналов SR и SL не допускается.

Выше было отмечено, что с помощью регистров сдвига можно выполнять арифметические операции с двоичными числами. Рассмотрим применение регистров сдвига для деления и умножения двоичных чисел на 2^n , где n – целое число.

Если записать в 4-разрядный регистр двоичное число $A = a_3a_2a_1a_0$, начиная с младшего разряда a_0 (аналогично записи информации в регистр, показанный на рис. 5), то на выходах триггеров будет установлен код $Q_3Q_2Q_1Q_0$.

Запишем в регистр по входу DR код $0100_2 = 4_{10}$ и сдвинем его вправо в сторону младших разрядов двумя тактовыми импульсами. На выходе получим последовательно коды $0010_2 = 2_{10}$ и $0001_2 = 1_{10}$, что будет соответствовать делению исходного числа на 2 и 4. Сдвинув записанный код 0100 на один разряд влево в сторону старших разрядов, получим код $1000_2 = 8_{10}$, что будет соответствовать умножению двоичного числа на 2. Следует отметить, что при выполнении подобных операций необходимо в освободившиеся разряды вводить нулевые сигналы по входам DR и DL.

Рассмотрим работу применяемого на практике реверсивного регистра сдвига ИР11, принцип построения которого аналогичен схемам, приведенным на рис. 10.

Реверсивный регистр сдвига ИР11 (аналог 74×194). Микросхема КР1533ИР11 (аналог SN74LS194N) является универсальным 4-разрядным реверсивным регистром с последовательно-параллельным вводом и параллельным выводом информации. Регистр ИР11 реализует следующие режимы работы:

- параллельно-последовательная запись информации;
- хранение 4-разрядного кода;
- сдвиг кода вправо;
- сдвиг кода влево;

- вывод информации в параллельной форме;
- блокировка режимов работы.

Условные обозначения реверсивных регистров ИР11 и 74х194 показаны на рис. 11, а, б, основные режимы их работы отражены в табл. 5.

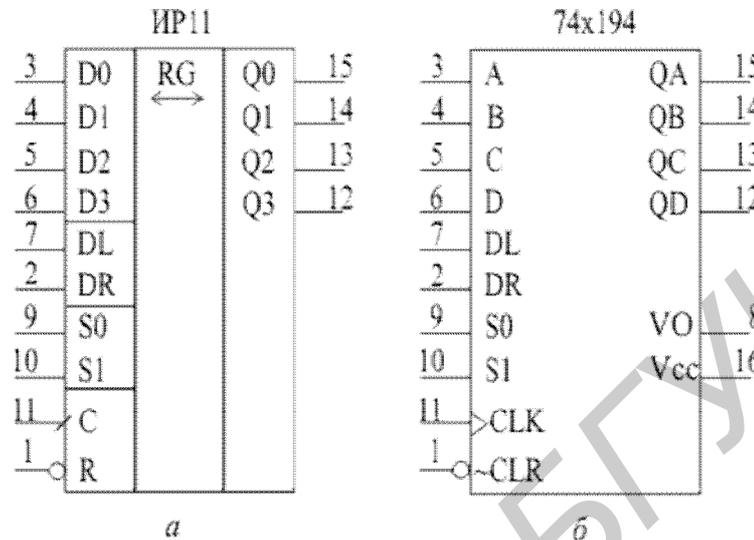


Рис. 11. Реверсивные 4-разрядные регистры сдвига

В регистрах, представленных на рис. 11, приняты следующие обозначения:

$D_0 - D_3$ (либо $A - D$) – входы D-триггеров соответствующих разрядов при вводе информации в параллельном коде;

$Q_0 - Q_3$ – прямые выходы триггеров, где Q_0 – выход младшего разряда;

DL, DR – входы сигналов последовательного ввода данных при сдвиге влево (DL) или сдвиге вправо (DR);

S_0, S_1 – входы сигналов выбора режима работы;

C (или CLK) – прямой динамический вход синхронизации;

\bar{R} (или $\sim CLR$) – асинхронный вход сброса.

Режимы работы регистра ИР11 задаются двухразрядным кодом, который подается на входы управления S_0 и S_1 согласно табл. 5 и формирует сигналы сдвига SL и SR.

Синхронный параллельный ввод информации с входов $D_0 - D_3$ осуществляется по фронту тактового сигнала на входе C при единичных значениях S_0 и S_1 . Во время параллельного ввода информации входы DL и DR, на которые поступает информация в виде последовательного кода, блокируются.

Сдвиг информации совершается синхронно по фронту тактового сигнала и возможен как в сторону старших разрядов (вправо), так и в сторону младших разрядов (влево) при соответствующих сигналах на управляющих входах S_0 и S_1 (см. табл. 5).

Таблица 5

С	Входы				Выходы				Режимы работы	
	\bar{R}	S_0	S_1	DR	DL	Q_0	Q_1	Q_2		Q_3
0	1	0	0	x	x	Q_0	Q_1	Q_2	Q_3	Хранение
┘	1	0	1	x	1	Q_1	Q_2	Q_3	DL	Сдвиг влево
┘	1	1	0	1	x	DR	Q_0	Q_1	Q_2	Сдвиг вправо
┘	1	1	1	x	x	D_0	D_1	D_2	D_3	Параллельный ввод
x	0	x	x	x	x	0	0	0	0	Сброс

При сдвигах на входы DR и DL поступает новая информация в последовательном коде. В зависимости от направления сдвига информационные входы D_0 – D_3 , а также один из входов DR или DL могут иметь произвольные значения, которые в табл. 5 обозначены знаком X.

При значениях S_0 и S_1 , равных нулю, тактирование регистра блокируется и на выходах Q_0 – Q_3 сохраняется предыдущее состояние.

Сброс регистра происходит синхронно по нулевому сигналу, поступающему на вход \bar{R} .

На рис. 12 приведена полная принципиальная схема 4-разрядного реверсивного регистра SN74LS194N, выполненная на зарубежной элементной базе. Регистр реализован на одноступенчатых D-триггерах с динамическим управлением по входу CLK. На выходах регистра QD–QA формируется двоичный код, где QD – выход триггера старшего разряда. Двухразрядный код управления формируется с помощью инверторов NOT (НЕ) при подаче соответствующих сигналов на входы S_0 и S_1 . Межразрядная логика выполнена на многовходовых элементах AND-OR (И-ИЛИ). Сброс регистра в нулевое состояние осуществляется по инверсному входу \sim CLR.

Аналогично рассмотренному регистру 74×194 функционируют отечественные реверсивные регистры 4-разрядный ИР11 и 8-разрядный ИР13.

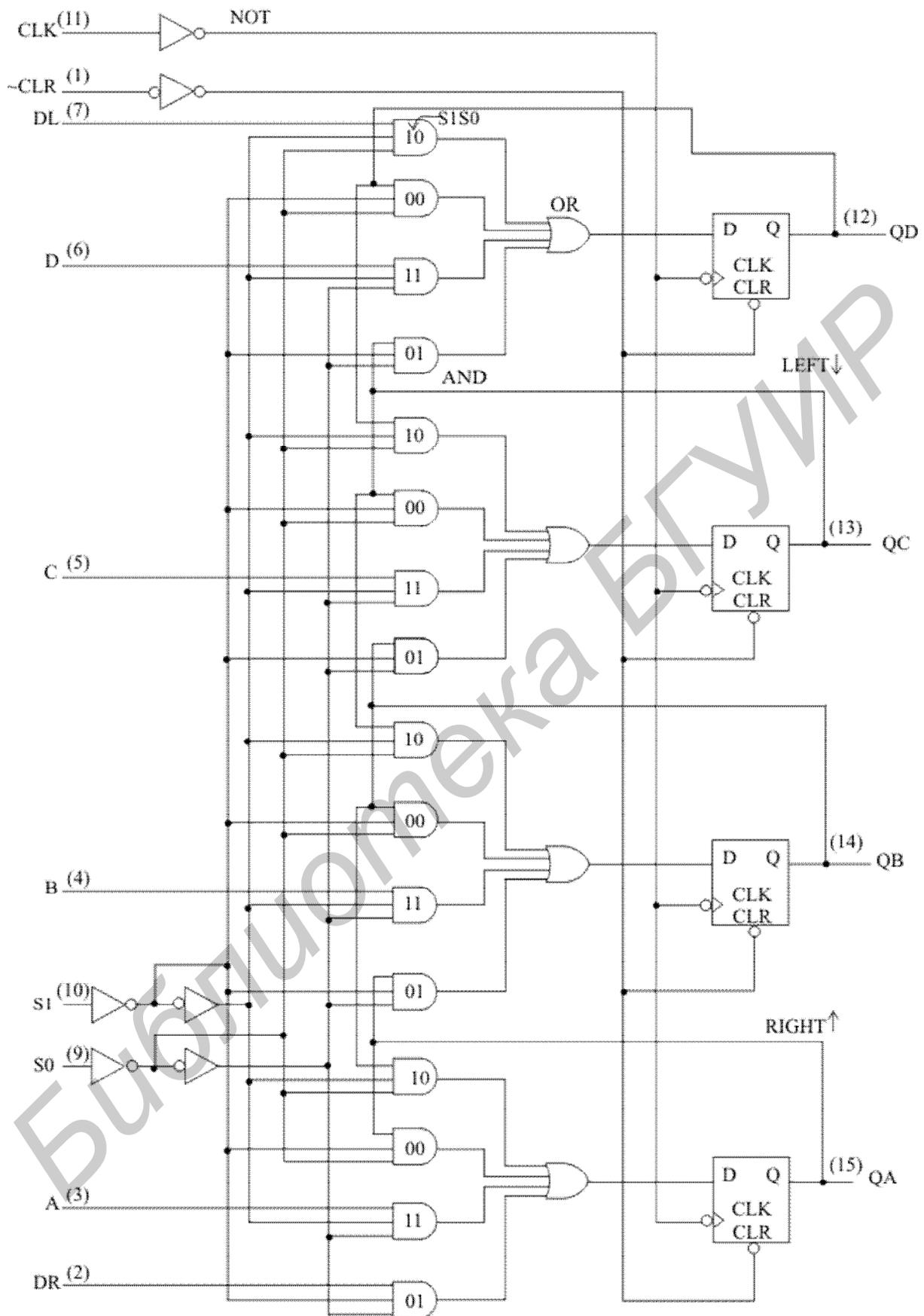


Рис. 12. Принципиальная схема 4-разрядного реверсивного регистра 74×194 (IP11)

4. Содержание отчета

- 4.1. Цель работы.
- 4.2. Схемы исследуемых регистров.
- 4.3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов.
- 4.4. Результаты исследований, выводы.

5. Контрольные вопросы

1. По каким признакам классифицируются регистры?
2. Назовите основные параметры регистров.
3. Приведите структурные схемы параллельного и последовательного регистров, поясните принципы их работы.
4. Поясните принципы построения и работы реверсивного регистра сдвига.
5. Чем различаются между собой регистры памяти и сдвига?
6. Каким образом достигается увеличение разрядности регистров?
7. Поясните работу параллельного тактируемого регистра ИР35.
8. Поясните работу последовательно-параллельного регистра сдвига ИР8.
9. Поясните работу параллельно-последовательного регистра сдвига ИР9.
10. Поясните работу реверсивного регистра сдвига ИР11.
11. Назовите области применения параллельных и последовательных регистров.

ЛИТЕРАТУРА

1. Браммер, Ю. А. Цифровые устройства: учеб. пособие для вузов / Ю. А. Браммер, И. Н. Пащук. – М.: Высш. шк., 2004. – 229 с.
2. Угрюмов, Е. П. Цифровая схемотехника: учеб. пособие для вузов / Е. П. Угрюмов. – СПб.: БХВ-Петербург, 2004. – 528 с.
3. Новиков, Ю. В. Основы цифровой схемотехники / Ю. В. Новиков. – М.: Мир, 2001. – 379 с.
4. Уэйкерли, Дж. Проектирование цифровых устройств. В 2 т. / Дж. Уэйкерли; пер. с англ. – М.: Постмаркет, 2002. – 1072 с.
5. Логические ИС КР1533, КР1554: справочник. В 2 ч. / И. И. Петровский [и др.]. – М.: ТОО «БИНОМ», 1993. – 496 с.
6. Опадчий, Ю. Ф. Аналоговая и цифровая электроника: учебник для вузов / Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров. – М.: Горячая линия – Телеком, 2003. – 768 с.

Учебное издание

Левкович Василий Николаевич
Ходасевич Реональд Григорьевич

ИССЛЕДОВАНИЕ РЕГИСТРОВ

Методическое пособие
к лабораторной работе по курсу
«Цифровые устройства»
для студентов радиотехнических специальностей
всех форм обучения

Редактор Т. Н. Крюкова
Корректор Е. Н. Батурчик
Компьютерная верстка Е. Г. Бабичева

Подписано в печать
Гарнитура «Таймс».
Уч.-изд. л. 1,3.

Формат 60x84 1/16.
Печать ризографическая.
Тираж 130 экз.

Бумага офсетная.
Усл. печ. л.
Заказ 8.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0056964 от 01.04.2004. ЛП №02330/0131666 от 30.04.2004.
220013, Минск, П. Бровки, 6