

Министерство образования Республики Беларусь
Учреждение образование
Белорусский государственный университет
информатики и радиоэлектроники

УДК 004.272.43

Воронов
Алексей Юрьевич

Методы, программные и аппаратные средства обработки сигналов сенсорных устройств на основе программируемой логики

АВТОРЕФЕРАТ

на соискание степени магистра технических наук
по специальности 1-41 80 01 Микро- и наноэлектроника

Научный руководитель
Стемпичкий Виктор Романович
Кан. техн.наук, доцент

Минск 2022

ВВЕДЕНИЕ

В наше время информационных технологий объемы получаемой и передаваемой информации постоянно растут. К примеру, за последние 6 лет количество устройств, относящихся к интернету вещей, выросло в 4 раза и достигло 14 миллиардов и продолжает неуклонно расти. Становится очевидно, что ни один современный процессор общего назначения не может принимать большие объемы информации и одновременно осуществлять их обработку и посылать управляющих сигналы. Управление периферийными устройствами в режиме реального времени критически важно, особенно для встраиваемых систем, к которым предъявляют повышенные требования к быстродействию. Примером таких требований является стандарт автомобильной электроники AUTOSAR. В данном стандарте рекомендуется осуществлять обработку сигналов на основе программируемых логических интегральных схем, а микроконтроллер осуществляет управление периферией на основе получаемых обработанных данных.

Программируемые логические интегральные схемы являются основным инструментом прототипирования и отладки специализированных процессорных систем, состоящие, как правило из множества небольших ядер, выполняющих роль ускорителей вычислений, и одного процессора общего назначения. К таким системам относятся видеокарты, сверхбыстрые нейронные сети, устройства высокочастотной биржевой торговли, активные фазированные антенные решетки. Целью данной работы является разработка собственного процессорного ядра для управления медленными системами и разгрузки основного процессора общего назначения, а также сравнение его с другими применяемыми решения, такими как конечные автоматы и готовые лицензируемые IP-блоки.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы магистерской диссертации заключается в том, что программируемая логическая интегральная схема (далее - ПЛИС) и системы на кристалле (далее - SoC) все чаще рассматриваются как одни из наиболее быстродействующих программируемых интегральных схем. ПЛИС и SoC активно применяются в области, требующих повышенной надежности и быстродействия, таких как военная и гражданская авиация, высокоскоростная биржевая торговля, активные фазированные антенные решетки и средства раннего предупреждения и сопровождения. Применяемые для этих целей микроконтроллеры не могут обеспечить высокое быстродействие из-за того, что все вычисления, а также команды прерывания по таймеру или событию, проводятся на процессорной системе ARM, которая представляет собой процессор общего назначения. В настоящей работе предлагается создать LCD-интерфейс на основе программируемых блоков ПЛИС, который позволит повысить скорость обновления выводимой информации и разгрузить основное процессорное ядро общего назначения, что определяет актуальность этой работы.

Цель научно-исследовательской работы разработать процессорное ядро, используемое в качестве программируемого узла для управления медленными процессами, обеспечивающее разгрузку основного процессорного ядра

Для достижения поставленной цели необходимо решить следующие задачи:

- на основе научно-технической литературы выполнить анализ текущего состояния программируемых логических интегральных схем и систем на кристалле, языков описания аппаратуры;
- изучить маршрут их проектирования, программных средств для разработки синхронных цифровых систем с помощью языков описания аппаратуры и синтез RTL-кода;
- на базе отладочной платы Digilent Cmod-S7 разработать исследуемое устройство, применяемое в качестве интерфейса жидкокристаллического дисплея и провести тестирование его работоспособности.

Объектом исследования является программируемая логическая интегральная схема XC7S25, встроенная в отладочную плату Digilent Cmod S7 семейства Spartan-7. *Предметом исследования* являются особенности проектирования простых процессорных систем, отдельных ядер, на базе программируемых логических интегральных схем с использованием языков

описания аппаратуры и программных средств для разработки цифровых систем.

Научная новизна заключается в том, что в связи с растущими требованиями, предъявляемыми к встраиваемым системам касательно объема и скорости обработки данных, необходима разработка устройств, способных демонстрировать повышенную производительность отдельных операций по сравнению с системой с процессором общего назначения. К таким системам относятся активные антенные фазированные решетки (АФАР), используемые в истребителях пятого поколения, устройства обработки изображений, сверхбыстрые нейронные сети и высокоскоростная биржевая торговля (HFT). *Значимость полученных результатов* определяется научным и практическим интересом, поскольку направлены на исследование и применение распараллеленных процессорных систем, состоящих из небольших процессорных ядер с низким энергопотреблением.

Практическая значимость полученных результатов определяется тем, что разработанное процессорное ядро является основой для дальнейшего улучшения и позволяет построить на его основе многотактовый процессор с конвейером и с возможностью изменения программы без повторной конфигурации проекта. В настоящий момент разработанное устройство рассматривается как одно из возможных решений для использования в изделиях радиоэлектронной борьбы, применяемых в авиации.

Содержание диссертационной работы соответствует образовательному стандарту высшего образования второй ступени (магистратуры) специальности 1-41 80 01 «Микро- и наноэлектроника».

В результате выполнения аналитических исследований были рассмотрены методы, программные и аппаратные средства для реализации цифровых устройств на базе программируемых логических интегральных схем и реализации на их базе устройств, реализующих интерфейс для жидкокристаллического дисплея.

На защиту выносятся следующее *положение*:

1) Реализация ускорителя вычислений на основе пользовательского (оптимизированного) процессорного ядра на базе ПЛИС Spartan 7 компании Xilinx позволяет получить прирост производительности до 20 раз по сравнению с применением стандартного (неоптимизированного) процессорного ядра общего назначения.

Все основные результаты и выводы получены соискателем самостоятельно. Разработка, расчеты и верификация полученных результатов проводилась соискателем лично. Во время работы над диссертацией соискателем проводились экспериментальные исследования для выполнения

задач, поставленных в данной работе. Анализ полученных результатов проводился совместно с научным руководителем кандидатом технических наук Стемпицким В.Р.

Диссертационная работа состоит из общей характеристики работы, введения, четырех глав, заключения, списка использованных источников, включающего 41 наименование, и двух приложений. Общий объем диссертации составляет 89 страниц.

Библиотека БГУИР

КРАТКОЕ СОДЕРЖАНИЕ РАБОТЫ

Во **введении** определены основные направления исследований и обоснованы актуальность выбранного направления и темы исследования по прототипированию и отладке цифровых устройств с помощью программируемых логических интегральных схем (далее – ПЛИС).

В **первой главе** приведены результаты сравнения существующих архитектур ПЛИС. Рассмотрены архитектуры Simple Programmable Logic Device, Complex Programmable Logic Device, которые не могут обеспечить реализацию больших цифровых устройств из-за реализации их матриц в виде вентилях И-ИЛИ. Особое внимание уделено архитектуре Field Programmable Gate Array как более современной. Реализация больших цифровых блоков на этой архитектуре становится возможной благодаря является прямому заданию логических функций в виде таблицы истинности: вместо коммутации вентилях ИЛИ и И таблица истинности представляет собой просто блок памяти, на адресные входы которого подаются входные логические сигналы, а соединение таблиц истинности между собой позволяет реализовать логику высокой степени сложности. ПЛИС с архитектурой Field Programmable Gate Array активно применяются при разработке цифровых устройств, благодаря легкости проектирования устройств на их базе, наличию отдельно сформированных аппаратных, таких как цифровые сигнальные процессоры, оперативная память, высокоскоростные последовательные приемопередатчики, что делает их самым привлекательным инструментом для разработчиков цифровых устройств.

Во **второй главе** описаны языки описания аппаратуры VHDL и Verilog, приведен их базовый синтаксис, перечислены преимущества и недостатки каждого из них. Описание модуля на языке Verilog являются более компактным, чем аналогичное на VHDL. Это связано с тем больше структурированностью VHDL и более строгих требований к контролю типов и форматов описания основных синтезируемых конструкций. При этом алгоритмы синтеза схемотехнического представления цифровых систем являются настолько схожими по характеристикам, что не имеет практического смысла переходить с одного языка описания аппаратуры на другой, рассчитывая на улучшение параметров синтезируемой схемы.

В **третьей главе** рассмотрены основные этапы проектирования ПЛИС. такие применение подходов “снизу-вверх” и “сверху-вниз”, переход от технического задания к формализованному описанию устройства с помощью высокоуровневых языков программирования, и разбиение устройства на операционный блок и блок управления. Отдельно рассмотрен

процесс проектирования цифровых устройств с помощью системы автоматизированного проектирования (далее – САПР) Vivado Design Suite 2018.2 фирмы Xilinx, процесс описания устройства с помощью языков описания аппаратуры, представление его на уровне регистровых передач, синтез проекта и размещение его на программируемой матрице. Рассмотрены методы оптимизации проекта с помощью аппаратных ресурсов ПЛИС, используя тактовые ресурсы, высокоскоростные последовательные приемопередатчики, блочная память, сигнальные процессоры.

В **четвертой главе** представлены результаты разработки устройств, реализующих интерфейсы для управления жидкокристаллическим дисплеем С1602А.

Представлены результаты разработки цифрового устройства представляющего собой конечный автомат, его описание на языке описания аппаратуры Verilog, представление устройства на уровне регистровых передач и размещение его на программируемой матрице Field Programmable Gate Array (далее – FPGA) Spartan 7 компании Xilinx. Полученное устройство подходит для управления медленными процессами с целью разгрузки основного процессорного ядра.

Для сравнения выполнена реализация интерфейса на базе лицензируемого IP-ядра MicroBlaze компании Xilinx в представлении микроконтроллера. Разработка интерфейса на MicroBlaze заняла наименьшее количество времени благодаря возможности программирования ядра на языке С, наличию встроенного компилятора gcc и автоматической сборки проекта в программном обеспечении Vivado Design Suite 2018.2. Однако необходимость большого количества ресурсов на программируемой матрице для его размещения делает его слишком затратным способ реализации устройств управления медленными процессами или ускорителей вычислений.

Представлены результаты разработки пользовательского однопipeline процессорного ядра с архитектурой MIPS (Microprocessor without Interlocked Pipeline Stages), его описание на языке описания аппаратуры Verilog, представление устройства на уровне регистровых передач и размещение его на программируемой матрице FPGA Spartan 7 компании Xilinx. Полученное устройство подходит для реализации ускорителей вычислений, которые демонстрируют повышенную производительность в отдельно выбранном алгоритме, чем обычное процессорное ядро общего назначения.

ЗАКЛЮЧЕНИЕ

К основным научным результатам, полученным в ходе выполнения настоящего исследования, можно отнести следующие моменты:

1. Разработанный конечный автомат является оптимальным выбором, если во встраиваемой системе планируется использование ПЛИС.

2. Лицензируемое IP-ядро MicroBlaze компании Xilinx является самым простым в реализации, а возможность программирования устройства на языке C/C++, встроенный компилятор gcc, возможность загрузки программы без новой компиляции проекта делает его привлекательным выбором для коммерческой разработки и пользовательских проектов. Но его использование может быть ограничено для некоторых коммерческих и иных решений, а само ядро не подходит узкоспециализированных задач.

3. Разработанное процессорное ядро не имеет недостатков конечного автомата и процессора MicroBlaze, не имеет встроенного компилятора, что увеличивает начальный цикл разработки алгоритмов на его основе. Дополнительная доработка этого устройства позволит создавать ускорители вычислений с распаралеленным вычислением, демонстрирующие производительность конкретных операций, значительно превышающую обычное процессорное ядро общего назначения.

СПИСОК ОПУБЛИКОВАННЫХ РАБОТ

Статьи в рецензируемых научных журналах

1. The proton flux influence on electrical characteristics of a dual-channel hemt based on GaAs / Voronov, A. Yu. [et. al.] // Nano-Desing, Tehnology, Computer Simulations=Нанопроектирование, технология, компьютерное моделирование (NDTCS-2021) : тезисы докладов XIX Международного симпозиума, Минск, 28-29 октября 2021 года / Белорусский государственный университет информатики и радиоэлектроники ; редкол.: В. А. Богуш [и др.]. – Минск, 2021. – Р. 66–68.

2. The proton flux influence on electrical characteristics of a dual-channel hemt based on GaAs / Voronov, A. Yu. [et al.] // Доклады БГУИР. – 2021. – № 19(8). – С. 81–86. – DOI : <http://dx.doi.org/10.35596/1729-7648-2021-19-8-81-86>.

Тезисы на научных конференциях

3. Воронов, А. Ю. Особенности приборно-технологического моделирования элементов интегральных микросхем в пакете Victory / А. Ю. Воронов, И. Ю. Ловшенко // Технические средства защиты информации : тезисы докладов XVI Белорусско-российской научно – технической конференции, Минск, 5 июня 2018 г. – Минск: БГУИР, 2017. – С. 27.