

ПОСЛЕДОВАТЕЛЬНЫЙ ПЕРИФЕРИЙНЫЙ ИНТЕРФЕЙС

Иванчик В.А.

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Ловшенко И.Ю. – ст. преподаватель каф. МНЭ,
зав. НИЛ 4.4 НИЧ БГУИР

Аннотация. Описывается разработка структурной схемы последовательного периферийного интерфейса 8-битного микроконтроллера.

Микроконтроллер (МК) – программируемое вычислительное устройство, обладающее набором периферийных устройств и применяемое для решения задач управления в технических системах. Для организации обмена данными между МК и другими устройствами могут быть использованы: последовательный периферийный интерфейс (англ. serial peripheral interface, SPI), универсальный синхронный/асинхронный приёмопередатчик (англ. universal synchronous and asynchronous serial receiver and transmitter, USART), двухпроводной последовательный интерфейс (англ. two-wire serial interface, TWI), сеть контроллеров (англ. controller area network, CAN) [1, 2], системная шина управления (англ. System Management Bus, SMBus) [3].

Преимуществами SPI-интерфейса являются:

- полнодуплексная связь в стандартном исполнении этого протокола;
- более высокая пропускная способность по сравнению с SMBus, т. к. она не ограничена максимальной тактовой частотой;
- полная гибкость интерфейса для передаваемых битов (произвольный выбор размера, содержания и назначения сообщения);
- ведомые устройства используют тактовую частоту ведущего устройства и не нуждаются в высокоточных генераторах;
- обычно более низкое энергопотребление, чем у SMBus, благодаря меньшей конфигурации;
- в отличие от CAN нет необходимости в приемо-передатчиках;
- только один уникальный сигнал шины на каждое устройство (выбор ведомого устройства);
- простая программная реализация.

Разработанная структурная схема SPI (рисунок 1) имеет следующие отличия от аналога, используемого в МК ATmega8 [4]: отсутствует блок делителя частоты тактовых сигналов; сдвиговый регистр напрямую принимает (или отдает) информацию через шину данных; регистры контроля и состояния включены в блок режима работы. В отличие от реализации, предложенной компанией Motorola [5], такая структурная схема обладает следующими особенностями: управление фазой и поляризацией осуществляется состоянием определенного бита в регистре контроля; регистры контроля и состояния включены в блок режима работы; отсутствует блок делителя частоты тактовых сигналов; введен блок синхронизации, который в соответствии с режимом работы устройства, управляет тактовыми сигналами.

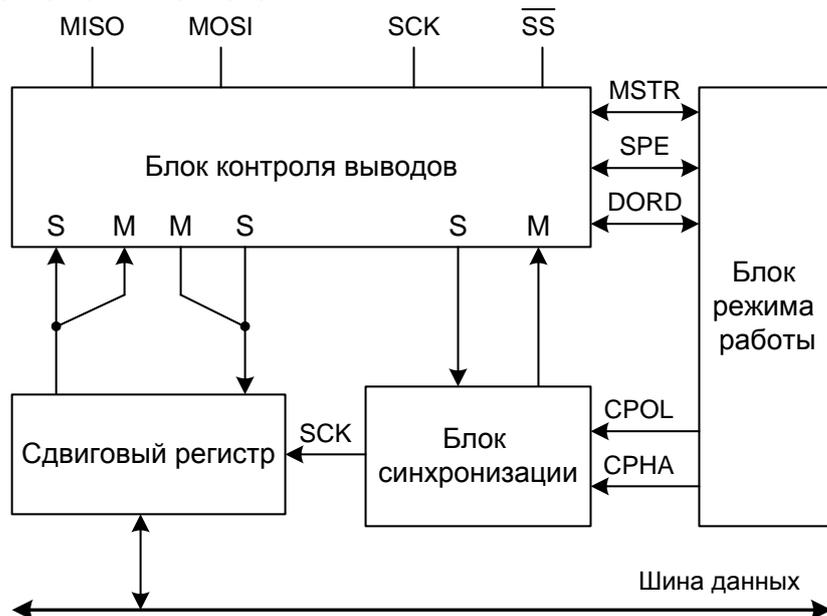


Рисунок 1 – Структурная схема разрабатываемого последовательного периферийного интерфейса

SPI состоит из сдвигового регистра, блока синхронизации, блока режима работы, состоящего из регистра состояния и регистра контроля, и блока контроля выводов. В сдвиговые регистры ведущего и ведомого устройств из общей шины данных помещаются данные для передачи. Если МК работает в ведущем режиме блок синхронизации генерирует импульсы синхронизации. В ведомом режиме – передает уже существующие. Блок режима работы переводит SPI либо в ведущий режим, либо в ведомый. Блок контроля выводов управляет направлением работы линий передачи, синхронизации и выбора ведомого.

Если бит SPE находится в состоянии логической «1», то ведущее устройство начинает генерировать последовательные тактовые сигналы на линии SCK, что приводит к взаимному обмену данными. Во время каждого такта от ведущего по линии MOSI ведомому передается один бит и от ведомого по линии MISO ведущему. Ведущий и ведомый одновременно отправляют и принимают данные в режиме полного дуплекса. Выбор ведомого устройства осуществляется с помощью подачи низкого уровня сигнала \overline{SS} .

В зависимости от состояния бита MSTR SPI выполняет роль ведущего устройства (при «1») или ведомого (при «0»). Бит DORD управляет направлением сдвига регистра: при «1» первым передается младший значащий бит (LSB), то есть бит с разрядом «0», при «0» – старший значащий бит (MSB), то есть бит с разрядом «7» [6].

Бит CPOL определяет исходный уровень сигнала синхронизации. При «0» линия синхронизации до начала цикла передачи и после его окончания имеет низкий уровень (первый фронт является нарастающим, а последний – падающим), при «1» – высокий уровень (первый фронт является падающим, а последний – нарастающим).

Бит CPHA определяет фазу синхронизации. От состояния этого бита зависит, в какой последовательности выполняется установка и выборка данных. При «0» по переднему фронту в цикле синхронизации будет выполняться выборка данных, а затем, по заднему фронту, – установка данных; при «1» установка данных будет выполняться по переднему фронту в цикле синхронизации, а выборка – по заднему.

На рисунке 2 представлена временная диаграмма работы SPI при CPHA = 1.

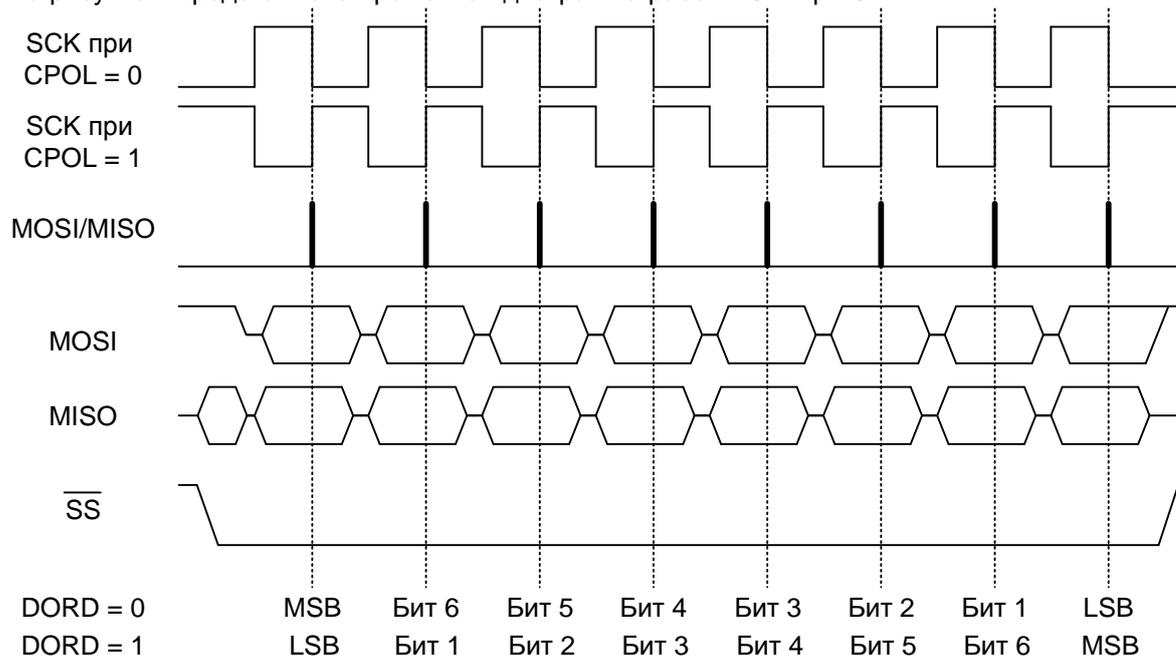


Рисунок 2 – Временная диаграмма работы SPI при CPHA = 1

Таким образом выбранное структурное решение последовательного периферийного интерфейса может быть использовано при проектировании 8-битного микроконтроллера с архитектурой компьютера с сокращенным набором команд.

Список использованных источников:

1. Болл Стюарт, Р. Аналоговые интерфейсы микроконтроллеров / Р. Болл Стюарт. – М : Додека-XXI, 2017 – 360 с.
2. Лалин, А. А. Интерфейсы. Выбор и реализация / А. А. Лалин – М. : Техносфера, 2005 – 168 с.
3. Спецификация SMBus [Электронный ресурс]. – Режим доступа: <http://smbus.org/specs/>. Дата доступа: 04.04.2022
4. Микроконтроллер ATmega8 [Электронный ресурс]. – Режим доступа: https://ww1.microchip.com/downloads/en/DeviceDoc/Atmel-2486-8-bit-AVR-microcontroller-ATmega8_L_datasheet.pdf. Дата доступа: 05.04.2022
5. Блок SPI компании Motorola [Электронный ресурс]. – Режим доступа: <https://web.archive.org/web/20150413003534/http://www.ee.nmt.edu/~teare/ee308I/datasheets/S12SPiV3.pdf>. Дата доступа: 05.04.2022
6. Samsung ARTIK Reference: The Definitive Developers Guide / C. Wootton // California : Apress, 2016. – P. 335-349