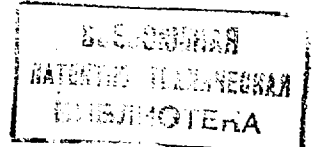




ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4360718/24-24

(22) 11.01.88

(46) 30.06.90. Бюл. № 24

(71) Минский радиотехнический институт

(72) В.А.Вишняков и Д.А.Эйдельман

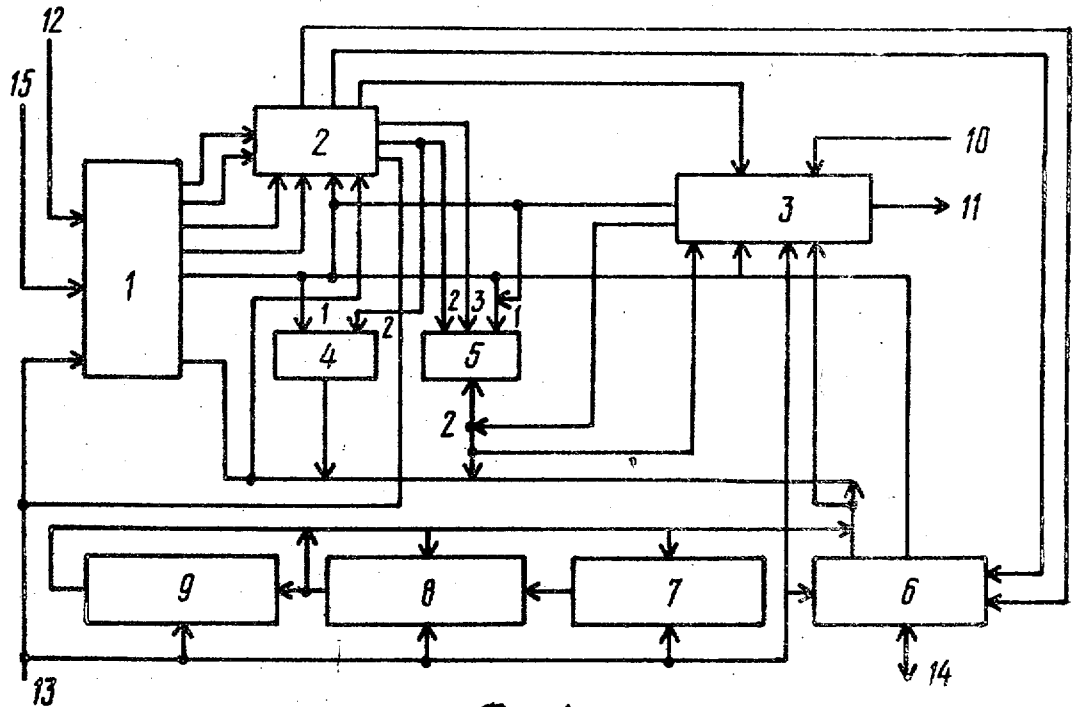
(53) 681.327.11 (088.8)

(56) Заявка Японии № 61-19075,  
кл. G 06 F 15/62, 1980.

(54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ  
ИЗОБРАЖЕНИЯ

(57) Изобретение относится к вычислительной технике и может быть использовано для реализации многооконной машинной графики. Целью изобретения является повышение быстродействия устройства. Устройство

содержит блок 1 управления, формирователь 2 управляющих сигналов, блок 3 коммутации, блок 4 постоянной памяти, блок 5 оперативной памяти, блок 6 сопряжения, вычислитель 7 числа фрагментов изображения, вычислитель 8 номеров фрагментов изображения и формирователь 9 адреса с соответствующими связями. Введение блока 3 коммутации, формирователя 7 числа фрагментов, вычислителя 8 номеров фрагментов и формирователя 9 начального адреса позволило повысить быстродействие устройства за счет аппаратурной поддержки режима формирования многооконной графической информации. 7 ил.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано для реализации многооконной машинной графики.

Цель изобретения – повышение быстродействия устройства.

На фиг.1 изображена блок-схема предлагаемого устройства; на фиг.2 – структура блока коммутации; на фиг.3 – вычислитель числа фрагментов изображения; на фиг.4 – вычислитель номеров фрагментов изображения; на фиг.5 – формирователь адреса; на фиг.6 – формирователь управляющих сигналов; на фиг.7 – блок сопряжения.

Устройство содержит блок 1 управления, формирователь 2 управляющих сигналов, блок 3 коммутации, блок 4 постоянной памяти, блок 5 оперативной памяти, блок 6 сопряжения, вычислитель 7 числа фрагментов изображения, вычислитель 8 номеров фрагментов изображения, формирователь 9 адреса, группу 10 информационных входов, группу 11 выходов, первый управляющий вход 12, вход 13 синхронизации, входы-выходы 14 и второй управляющий вход 15.

Блок 3 коммутации содержит регистр 16 командной информации, счетчик 17, первый демультиплексор 18, группу 19 регистров 20<sub>1</sub> – 20<sub>n</sub> ввода, причем входы 21 – 25 являются соответственно третьей группой информационных, первой группой управляющих и второй группой информационных входов блока, объединенные синхровходы регистра 16, счетчика 17 и первого демультиплексора 18 являются синхровходом блока, выходы 26 – 28 являются соответственно первой, второй и третьей группой выходов блока коммутации.

Вычислитель 7 числа фрагментов изображения содержит регистры 29 и 30 соответственно старшей и младшей тетрады, формирователь 31 числа фрагментов по горизонтали, включающий в себя элементы ИЛИ-НЕ 32<sub>1</sub> – 32<sub>3</sub> и первый элемент И 33, причем вход 34 является группой информационных входов, объединенные синхровходы регистров 29 и 30 являются синхровходом, а выход 35 – группой выходов формирователя.

Вычислитель 8 номеров фрагментов изображения содержит регистр 36 требования фрагментов, блок 37 выбора тетрады, регистр 38 тетрады, второй демультиплексор 39, первый 40, второй 41, третий 42 и четвертый 43 определители номеров фрагментов, мультиплексор 44, вторую 45 и первую 46 группы информационных входов, группу 47 выходов, второй элемент И 48, первый элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 49,

первую группу элементов ИЛИ 50<sub>1</sub> – 50<sub>4</sub>, вторую группу элементов ИЛИ 51<sub>1</sub> – 51<sub>4</sub>, первую группу элементов И 52<sub>1</sub> – 52<sub>4</sub>, первую группу элементов НЕ 53<sub>1</sub> – 53<sub>3</sub>, третий 54, четвертый 55 и пятый 56 элементы И, вторую 57<sub>1</sub> – 57<sub>4</sub> и третью 58<sub>1</sub> – 58<sub>3</sub> группы элементов И, элементы НЕ 59<sub>1</sub> и 59<sub>2</sub>, шестой 60 и седьмой 61 элементы И, элементы ИЛИ 62<sub>1</sub> и 62<sub>2</sub>, четвертую 63<sub>1</sub> – 63<sub>4</sub> и пятую 64<sub>1</sub> и 64<sub>2</sub> группы элементов И, первый элемент 65 НЕ, восьмой элемент 66 И, первый элемент ИЛИ 67, элементы И 68<sub>1</sub> – 68<sub>3</sub>, девятый 69 и десятый 70 элементы И, причем объединенные синхровходы блоков 38, 39 и 44 являются синхровходом блока 8.

Формирователь 9 адреса содержит регистр 71 номеров фрагментов, блок 72 выбора ряда, регистр 73 ряда, блок 74 формирования адреса, группу 75 информационных входов, группу 76 выходов, второй элемент ИЛИ 77, второй элемент НЕ 78, седьмую 79<sub>1</sub> – 79<sub>4</sub> и восьмую 80<sub>1</sub> – 80<sub>4</sub> группы элементов И, элементы ИЛИ 81<sub>1</sub> – 81<sub>4</sub>, элементы НЕ 82<sub>1</sub> – 82<sub>3</sub>, одиннадцатый 83, двенадцатый 84 и тринадцатый 85 элементы И и элементы ИЛИ 86<sub>1</sub> и 86<sub>2</sub>, причем объединенные синхровходы блоков 71 и 73 являются синхровходом формирователя.

Формирователь 2 управляющих сигналов содержит первый 87, второй 88, третий 89, четвертый 90, пятый 91 и шестой 92 триггеры, шестую 93<sub>1</sub> и 93<sub>2</sub> и седьмую 94<sub>1</sub> и 94<sub>2</sub> группы элементов ИЛИ, второй элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 95, четырнадцатый 96 и пятнадцатый 97 элементы И, первый стробирующий вход 98, группу 99 информационных входов, вход 100 записи, второй стробирующий вход 101, группу 102 адресных входов, синхровход 103, управляющий вход 104, второй 105, третий 106, четвертый 107 и первый 108 выходы, а также группу 109 выходов.

Блок 6 сопряжения содержит программируемый параллельный интерфейс 110, первый 111, второй 112 и третий 113 буферные регистры, группу 114 адресных входов, вторую группу 115 информационных входов-выходов, вход 116 сигналов считывания, вход 117 сигналов записи, первую группу 118 информационных входов-выходов и синхровход 119.

Устройство работает следующим образом.

Основным блоком устройства является блок 1 управления, реализованный на базе микропроцессора и регулирующий процесс обмена информацией. При этом рабочая область изображения разбивается на N одинаковых по размерам областей, расположенных в два ряда и именуемых фрагмен-

тами. Фрагменты имеют собственные номера и в определенный момент времени могут принадлежать только одному окну либо быть не занятыми. Окно может занимать целое число фрагментов – от одного до N. Для создания окна требуется некоторая командная информация, для обработки которой, а также для хранения, учета и контроля информации о созданных ранее и создаваемых окнах служит устройство. Первоначально в блок 3 коммутации от внешнего контроллера прямого доступа к памяти поступает командная информация создаваемого окна, которая записывается в карту памяти изображения, хранящуюся в блоке 5 оперативной памяти. В свою очередь карта памяти изображения содержит карты окон изображения.

Блок 3 коммутации служит как для записи информации в карту окна полиэкрана, так и для передачи параметров разворачиваемого окна, что позволяет ускорить обмен данными по сравнению с программным способом обмена.

В регистр 16 командной информации поступают данные от контроллера прямого доступа и памяти, эти данные затем записываются по адресам, сформированным счетчиком 17, в блок 5 оперативной памяти. Эти же данные поступают на информационные входы первого демультиплексора 18, управляемого четырьмя младшими разрядами счетчика 17. В зависимости от кода, представляемого на управляющих входах первого демультиплексора 18, выбирается соответствующий регистр 20 ввода. Тем самым осуществляется распараллеливание двух процессов:

запись информации в карту окна изображения;

запись параметров окна в группу 19 регистров 20 ввода.

Если окно было ранее создано и его необходимо развернуть, то из карты окна изображения на первую группу входов 23 параметрической информации поступают данные из блока 5 оперативной памяти. Далее эти данные поступают на информационную группу демультиплексора 18, управление работой которого осуществляется данными, поступающими на вход 25 от блока 1 управления.

В блоке 3 через входы 24 передается установочное значение счетчика 17 от блока 6. Через входы 22 передаются от формирователя 2 сигналы занесения информации в счетчик 17 блока 3 и обнуление счетчика 17.

Вычислитель 7 служит для создания требований в фрагментах, необходимых для создания окон.

В регистр 29 старшей тетрады из блока 6 поступает информация о границе фрагментов в количестве точек строки, а в регистр 30 младшей тетрады 30 из того же блока 6 поступает информация о границе фрагментов по количеству строк.

Формирователь 31, получив информацию о границе фрагментов по точкам строки, преобразует ее в тетраду данных, содержащих требование в количестве фрагментов по горизонтали.

Границы фрагментов по точкам строки могут принимать следующие значения:

$80_{10} (50_{16})$ ;  $160_{10} (A0_{16})$ ;  $240_{10} (0_{16})$ ;  
 $320_{10} (0140_{16})$ .

Для первого случая формирователь 31 выбирает один фрагмент, для второго случая – два фрагмента, для третьего – три и для четвертого – четыре фрагмента или целый ряд. Для исключения избыточности на вход формирователя 31 из регистра 29 поступает старшая тетрада младшего байта границы фрагмента по количеству точек строки. Если обозначить разряды тетрады границы фрагментов через  $Q_8 Q_7 Q_6 Q_5$ , а разряды тетрады, получаемой на выходе формирователя 31, через  $Z_8 Z_7 Z_6 Z_5$ , то работа блока 31 осуществляется в соответствии с логическими выражениями:

$Z_8 = Q_5 + Q_6$ ;  $Z_7 = Q_7 Q_6$ ;  $Z_6 = Q_5 + Q_7$ ;  $Z_5 = Q_8 + Q_8$ .

Границы фрагментов по количеству строк могут принимать следующие значения:  $90_{10} (5A_{16})$ ;  $180_{10} (B4_{16})$ .

В первом случае будет выбран один ряд экрана, а во втором – два ряда.

Вычислитель 8 служит для получения номеров фрагментов, занимаемых создаваемым окном.

В регистр 36 требования фрагментов записывается результат работы вычислителя 7, в результате чего в блок 37 выбора тетрады поступает информация о номерах незанятых фрагментов. Блок 37 осуществляет выбор тетрады информации о номерах незанятых фрагментов, если содержится требование одного ряда фрагментов изображения или позволяет получить промежуточную тетраду в случае, если разворачиваемое окно хочет занять фрагменты двух рядов. Информация с выходов блока 37 записывается в регистр 38 тетрады, откуда поступает на информационные входы второго демультиплексора 39, управление работой которого осуществляет код, получаемый с четырех старших разрядов регистра 36. В результате промежуточная тетрада попадает на вход одного из определителей 40 – 43 номеров фрагментов. В том случае, когда возникает требование в одном фраг-

менте и одного либо двух рядов начинает функционировать определитель 40, когда возникает требование в двух фрагментах одного либо двух рядов изображения начинает работать определитель 41, когда возникает требование в трех фрагментах одного либо двух рядов начинает работать определитель 42, и наконец функционирует определитель 43 в том случае, когда есть требование одного ряда либо всей рабочей области полиэкрана. Если обозначить промежуточную тетраду через  $Q_1 Q_2 Q_3 Q_4$ , второй разряд регистра требования фрагментов – через  $Q_5$ , получаемый байт на выходе формирователей – через  $Z_8 Z_7 Z_6 Z_5 Z_4 Z_3 Z_2 Z_1$ , то логические выражения для построения функциональной схемы каждого из формирователей имеют следующий вид.

Для определителя 40:

$$Z_1 = Q_1; Z_2 = \bar{Q}_1 \cdot Q_2; Z_3 = \bar{Q}_1 \cdot \bar{Q}_2 \cdot \bar{Q}_3; Z_4 = \bar{Q}_1 \cdot \bar{Q}_2 \cdot \bar{Q}_3 \cdot Q_4; Z_5 = Q_1 \cdot \bar{Q}_5; Z_6 = Z_2 \cdot Q_5; Z_7 = Z_3 \cdot Q_5; Z_8 = Z_4 \cdot Q_5.$$

Для определителя 41:

$$Z_1 = Q_1 \cdot Q_2; Z_2 = Z_1 + (Q_2 \cdot Q_3) \cdot (\bar{Q}_1 \cdot \bar{Q}_2); Z_3 = Z_4 + Z_1 \cdot Q_2 \cdot Q_3; Z_4 = Z_1 \cdot (\bar{Q}_2 \cdot \bar{Q}_3) \cdot (Q_3 \cdot Q_4); Z_5 = Z_1 \cdot Q_5; Z_6 = Z_2 \cdot Q_5; Z_7 = Z_3 \cdot Q_5; Z_8 = Z_4 \cdot Q_5.$$

Для определителя 42:

$$Z_1 = Q_1 \cdot Q_2 \cdot Q_3; Z_2 = Z_3 = Q_2 \cdot Q_3 \cdot Q_4 \cdot \bar{Z}_1 + Z_2; Z_4 = Q_2 \cdot Q_3 \cdot Q_4 \cdot \bar{Z}_1; Z_5 = Z_1 \cdot Q_5; Z_6 = Z_7 = Z_2 \cdot Q_5; Z_8 = Z_4 \cdot Q_5.$$

Для определителя 43:

$$Z_1 = Z_2 = Z_3 = Z_4 = Q_1 \cdot Q_2 \cdot Q_3 \cdot Q_4; Z_5 = Z_6 = Z_7 = Z_8 = Z_1 \cdot Q_5.$$

Выходы определителей номеров фрагментов подключены к входам мультиплексора 44, на управляющие входы которого поступает код с трех младших разрядов старшей тетрады регистра 36.

Формирователь 9 адреса буфера экранной памяти получает информацию о номерах занимаемых фрагментов создаваемого окна и определяет байт физического адреса в памяти изображения верхнего левого элемента окна. Точка, записанная по этому адресу в памяти экрана, изображится в верхнем левом углу окна.

Блок 72 выбора ряда осуществляет выбор одного из рядов, где первый ряд описывается младшей тетрадой, а старшая тетрада описывает второй ряд. Каждый из фрагментов имеет закрепленный за собой номер, а начальный адрес буфера экранной памяти непосредственно связан с начальным адресом фрагмента окна, имеющего наимень-

ший номер. Поэтому, если младшая тетрада отлична от нуля, то блок 72 выберет ее, в противном случае выбор будет сделан в пользу старшей тетрады регистра 71 номеров фрагментов. На вход формирователя 74 адреса поступает информация из регистра 73 ряда, а также однобитовая маска из блока 72. Если обозначить через  $Q_1 Q_2 Q_3 Q_4$  тетраду, получаемую из регистра 73 ряда и через  $Q_5$  маску, получаемую из блока 72, а через  $Z_8 Z_7 Z_6 Z_5 Z_4 Z_3 Z_2 Z_1$  байт физического адреса, получаемого на выходах 76 формирователя 74, то логические выражения построения формирователя имеют следующий вид:

$$Z_1 = Z_2 = \bar{Q}_3; Z_3 = \bar{Q}_1 \cdot Q_2; Z_4 = \bar{Q}_1 \cdot \bar{Q}_2 \cdot \bar{Q}_3 \cdot Q_4; Z_5 = Q_2 \cdot \bar{Q}_1 + Z_4; Z_6 = \bar{Q}_1 \cdot \bar{Q}_2 + Z_4; Z_7 = Z_8 = Q_5.$$

Если маска равна нулю и полученный на выходах 76 формирователя 74 байт отличен от нуля, то блок 1 управления для получения двухбайтного физического адреса выполняет операцию сложения с базовым адресом 0000 содержимого байта, если же маска равна единице и байт также отличен от нуля, то физический адрес будет получен путем сложения блоком 1 управления этого байта с базовым адресом 0260. Таким образом, получаемый на выходах 76 формирователя 74 байт является смещением соответствующего базового адреса.

Для организации работы блока 1 управления с остальными блоками предназначен формирователь 2 управляющих сигналов, в котором производятся выработки управляющих сигналов, позволяющих осуществить функционирование микропроцессорной системы. Такими сигналами являются следующие: ЗПЗУ, ЗПВВ, ЧТВВ, ЧТЗУ и ряд других. На информационные входы триггеров 87 – 89 поступает код слова состояния микропроцессора (МП), который записывается по синхросигналу с второго выхода блока 1, поступающего на вход 100 формирователя 2. Элементы ИЛИ 93 на основании состояния триггера 87 и первого выхода блока 1, поступающего на вход 98, вырабатывают сигналы ЗПЗУ (выход 105) и ЗПВВ (выход 106). Элементы ИЛИ 94 вырабатывают сигналы ЧТВВ (выход 107) и ЧТЗУ (выход 108) на основании состояний триггеров 88 и 89 и управляющего сигнала на входе 101, поступающего с пятого выхода блока 1.

На входы элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 95 по адресной шине (входы 102) поступает младшая часть адреса. Выход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ вместе с сигналами от старшей части адреса, выходом триггера 92 подается на информационный вход триггера 92, на

второй вход которого поступает синхросигнал (вход 103). Прямой выход триггера 92 вырабатывает сигнал обнуления счетчика 17 в блоке 3. Сигнал занесения информации в счетчик 17 вырабатывается с инверсного выхода триггера 91, на информационный вход которого поступает сигнал с выхода элемента И 97. На входы элемента И 97 поступает сигнал с инверсного выхода триггера 90 и сигнал подтверждение сигнала захвата шины данных (вход 104).

Для организации информационного обмена данными (как между блоками микропроцессорной системы контроллера, так и самым контроллером полизкрана и объектом более высокого уровня) предназначен блок 6 сопряжения.

В блоке 6 группа 115 входов-выходов данных подключена к шине данных МП. Параллельный интерфейс 110 осуществляет связь с управляемой микро-ЭВМ через первую группу 118 информационных входов-выходов и с блоками контроллера через вторую группу 115 информационных входов-выходов. Сигналы ЧТВВ и ЗПВВ для управления чтением и записью по шинам (группам информационных входов-выходов) 118 и 115 поступают от формирователя 2 по входам 116 и 117.

Буферный регистр 111 служит для передачи установочных значений в блок 3 для счетчика 17. Буферный регистр 112 служит для передачи информации о границе фрагментов в регистры 29 и 30 старшей и младшей тетрады блока 7. Буферный регистр 113 передает информацию о номерах свободных фрагментов в блок 37 выбора тетрады. При обмене с блоками 3, 7 и 8 указанные буферные регистры являются портами ввода, а при обмене с МП — портами вывода.

Использование предлагаемого устройства (по сравнению с известными) повышает быстродействие по реализации функций многооконной машинной графики и является аппаратной поддержкой интерактивного режима работы ЭВМ.

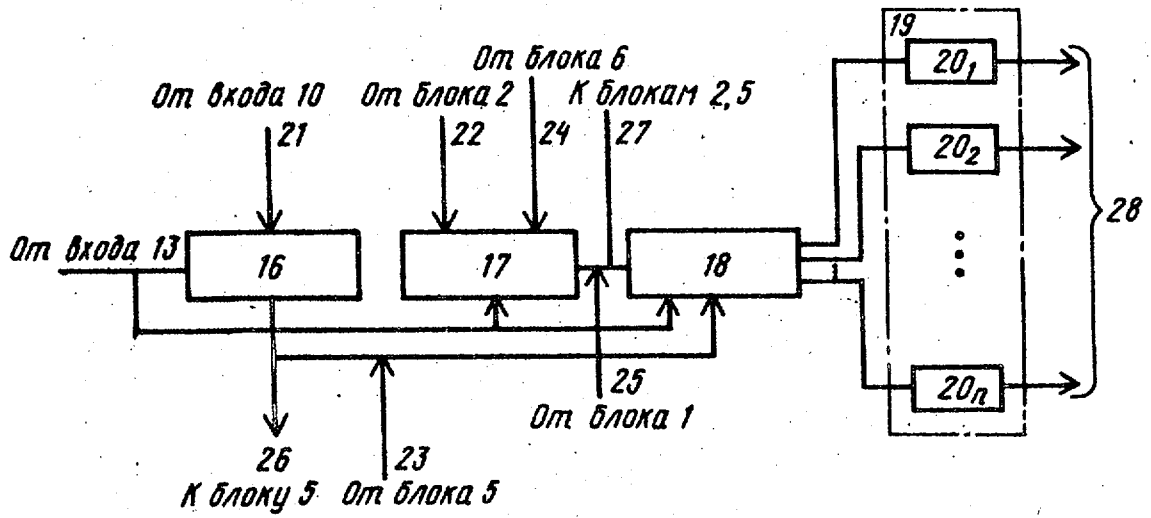
#### Ф о р м у л а и з о б р е т е н и я

Устройство для формирования изображения, содержащее блоки постоянной и оперативной памяти, блок сопряжения, формирователь управляющих сигналов и блок управления, первый, второй, третий и четвертый выходы которого соединены соответственно с первым стробирующим входом, входом управления записью, вторым стробирующим входом и управляющим входом формирователя управляющих сигналов, первый выход которого подключен к входам управления считыванием блоков постоянной и оперативной памяти, а второй,

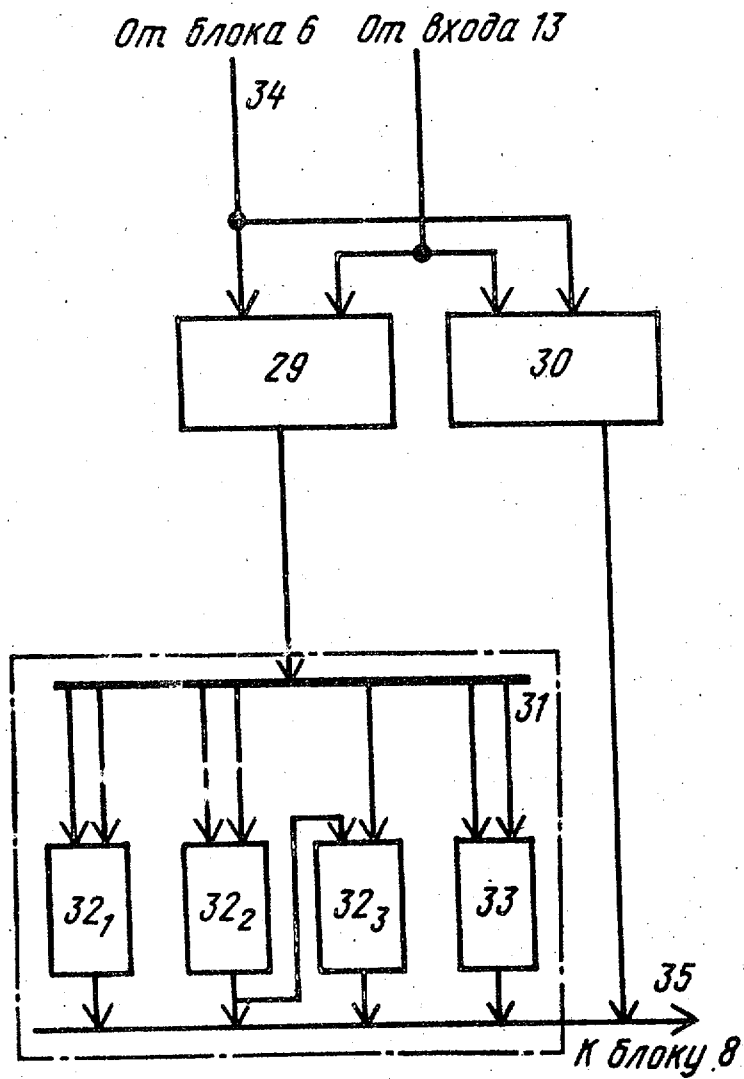
третий и четвертый выходы соединены соответственно с входом управления записью блока оперативной памяти и входами управления записью и считыванием блока сопряжения, информационные входы-выходы первой группы которого являются входами-выходами устройства, а информационные входы-выходы второй группы соединены с входами-выходами группы блока оперативной памяти, выходами группы блока постоянной памяти, информационными входами группы формирователя управляющих сигналов и выходами первой группы блока управления, выходы второй группы которого соединены с адресными входами группы блоков оперативной и постоянной памяти, блока сопряжения и формирователя управляющих сигналов, синхровход которого соединен с синхровходами блоков управления и сопряжения и является синхровходом устройства, первым и вторым управляющими входами которого являются соответственно входы сигналов сброса и запроса блока управления, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия устройства, оно содержит вычислитель числа фрагментов изображения, вычислитель номеров фрагментов изображения, формирователь адреса, блок коммутации, управляющие входы первой и второй группы которого подключены соответственно к выходам группы формирователя управляющих сигналов и выходом второй группы блока управления, выходы первой группы и информационные входы первой группы блока коммутации подключены к входам-выходам группы блока оперативной памяти, а выходы второй группы — к адресным входам группы формирователя управляющих сигналов и блока оперативной памяти, синхровход блока коммутации соединен с синхровходами вычислителя числа фрагментов изображения, формирователя адреса и вычислителя номеров фрагментов изображения и подключен к синхровходу устройства, выходы группы вычислителя числа фрагментов изображения соединены с информационными входами первой группы вычислителя номеров фрагментов изображения, выходы группы которого подключены к информационным входам группы формирователя адреса, выходы группы которого соединены с выходами группы и информационными входами второй группы вычислителя номеров фрагментов изображения, информационными входами группы вычислителя числа фрагментов изображения, входами-выходами второй группы блока сопряжения и информационными входами второй группы блока коммутации, информационные входы

третьей группы которого являются информаци-  
ональными входами устройства, выхода-

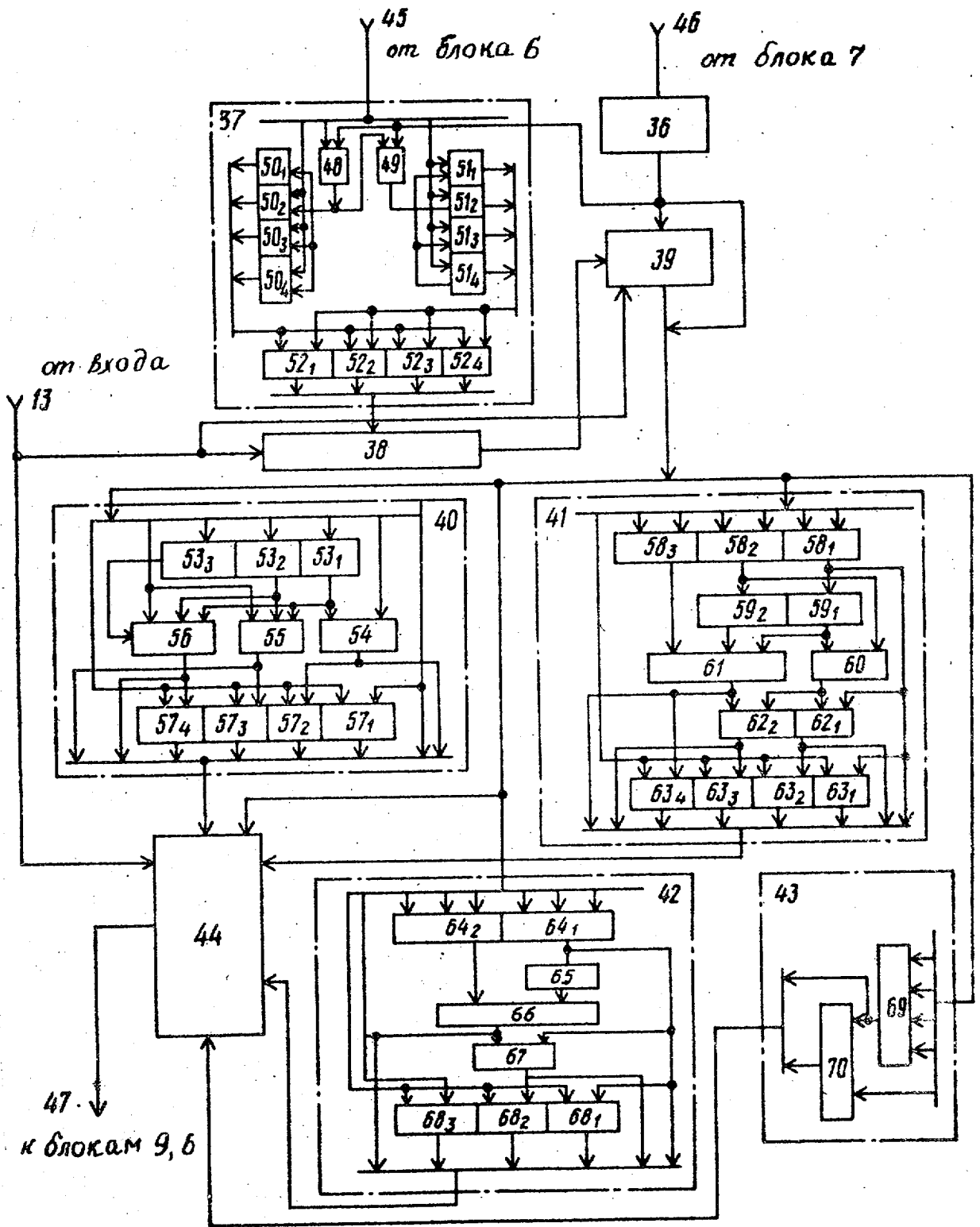
ми которого являются выходы третьей  
группы блока коммутации.



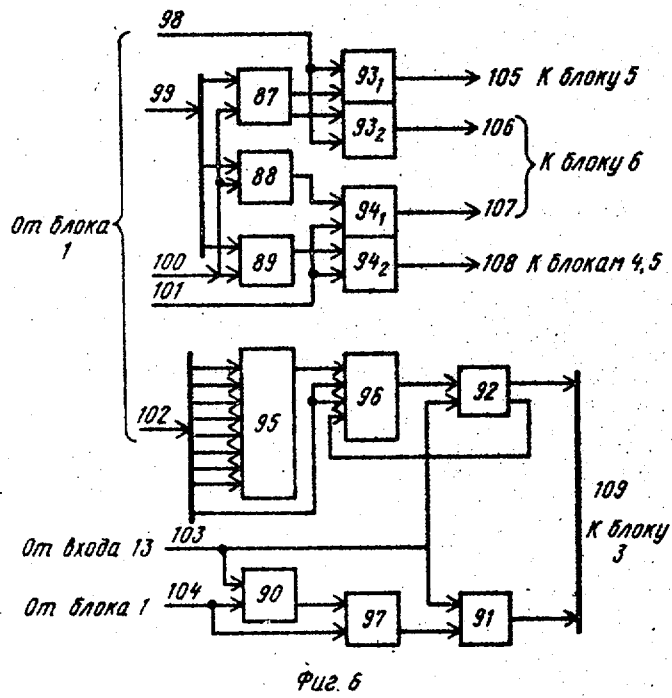
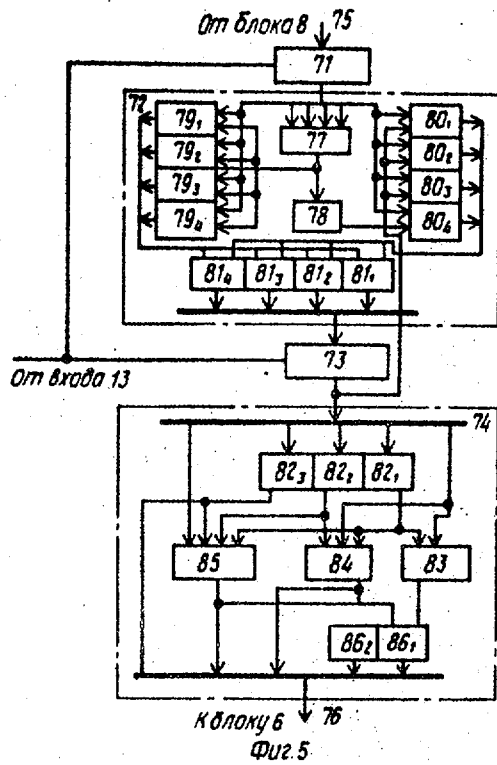
Фиг. 2



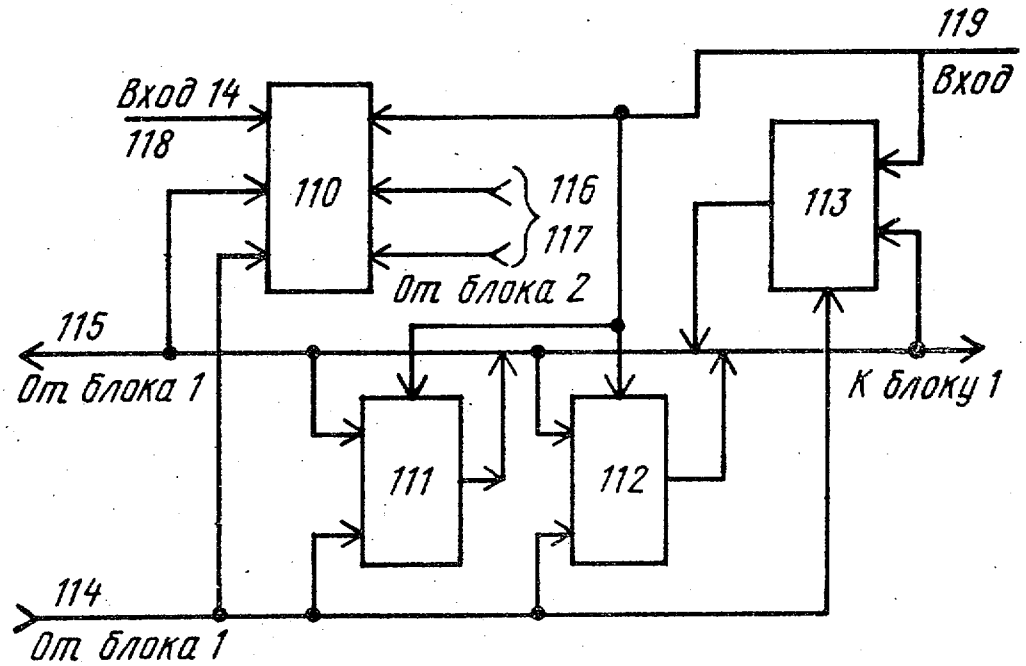
Фиг. 3



Фиг. 4







Фиг. 7

Редактор А.Ревин

Составитель В.Шувалов  
Техред М.Моргентал

Корректор Н.Ревская

Заказ 1788

Тираж 389

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101