

СИСТЕМА МОДЕЛИРОВАНИЯ СБИС НА ЯЗЫКЕ ПАРАЛЛЕЛЬНЫХ АЛГОРИТМОВ УПРАВЛЕНИЯ

Черемисинов Д. И., Черемисинова Л. Д.

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: {cher, cld}@newman.bas-net.by

Предлагается метод и программа симулирования алгоритмов поведения цифровых устройств на языке ПРАЛУ. Программа допускает интеграцию в среду проектирования существующих промышленных и свободных САПР СБИС. При использовании разработанной программы моделирования в составе САПР анализ результатов модулирования может быть выполнен посредством программы просмотра формы сигналов (waveform viewer) из состава программ САПР. Эта возможность обеспечивается путем использования стандартного формата представления результатов моделирования.

ВВЕДЕНИЕ

Моделирование схемы — это процесс, в котором модель электронной схемы создается и анализируется с использованием различных программных алгоритмов, которые прогнозируют и проверяют поведение и характеристики схемы. Поскольку изготовление электронных схем, особенно больших интегральных схем (СБИС), является дорогостоящим и требует много времени, перед ее изготовлением выгоднее проверить поведение и производительность схемы с помощью симулятора.

Существуют различные типы симуляторов схем, отвечающие различным потребностям в диапазоне точности/производительности. На одном конце спектра находятся аналоговые симуляторы, которые решают точные представления электронных схем, на другом конце — цифровые симуляторы, использующие функциональные представления электронных схем, обычно описываемые с помощью языков описания оборудования (HDL). Цифровые симуляторы обеспечивают наивысшую производительность и объем модели, но при относительно более низком уровне точности.

I. МОДЕЛИ ЭЛЕКТРОННЫХ СХЕМ

Для СБИС традиционные методы наладки электронных схем с помощью генератора сигналов и осциллографа чрезвычайно затруднены из-за невозможности зондирования внутренних сигналов в СБИС. Поэтому почти все проектирование СБИС в значительной степени зависит от моделирования. Самый известный симулятор аналоговых схем — SPICE. Самые известные симуляторы цифровых схем используют модели схемы на языках Verilog и VHDL.

Симуляторы цифровых схем используют модели схем, принадлежащие к классу логических моделей. Особенностью логического моделирования является то, что в качестве моделей схем (компонентов) используются непосредственно их законы функционирования, заданные на языке описания аппаратуры. Способ

представления модели определяет тип процедуры моделирования. Для симуляции поведения разрабатываемой схемы требуется описание модели источника входных воздействий — окружающей среды. Эффективное использование метода логического моделирования предполагает разработку кроме модели самой схемы модели окружающей среды (испытательного стенда — test bench). Обе эти модели используются симулятором совместно. Симуляторы электронных устройств интегрируют редактор схем, механизм моделирования и средство экранного отображения формы сигнала. Механизм моделирования (собственно симулятор) отделен от средства отображения формы сигнала, что позволяет модифицировать симулятор заменой механизма моделирования с другим языком представления моделей.

Использование языка ПРАЛУ [1] описания устройств с параллелизмом поведения дает возможность задавать временную упорядоченность событий, возникающих при работе системы целиком (схемы и ее окружения), абстрагируясь от всех деталей, кроме тех, что выражаются причинно-следственными и временными отношениями. Язык ПРАЛУ дает возможность описать поведение иерархически, отражая структуру частей системы и организацию их взаимодействия.

II. БАЗА ДАННЫХ РЕЗУЛЬТАТОВ МОДЕЛИРОВАНИЯ

Программа моделирования сохраняет результаты в специальной базе данных. Это позволяет анализировать результаты моделирования отдельно посредством просмотра формы сигналов. Разработчики СБИС используют программу просмотра формы сигнала с целью визуализации поведения сигналов во времени и анализа взаимосвязи этих сигналов с другими сигналами. Средства просмотра формы сигналов из состава промышленных и свободных САПР позволяют увеличивать и уменьшать масштаб временной последовательности и выполнять измерения между двумя точками курсора. Распространенным форматом представления такой базы яв-

ляется файловый формат VCD (value change dump) [2]. Истории изменения сигналов, хранящиеся в базе в формате VCD, можно впоследствии просмотреть с помощью инструмента просмотра формы сигналов. Стандарт для формата VCD является частью стандарта IEEE для языка описания оборудования Verilog.

Первой частью файла VCD является заголовок, в котором есть два основных компонента: базовые метаданные файла и объявления переменных. Пробелы используются для разделения команд и для того, чтобы сделать файл более удобочитаемым. Основные метаданные файла идентифицируют программу или версию программы симуляции, которая создала файл VCD, а также дату создания базы и используемую временную шкалу. В следующем разделе заголовка объявляются сигналы, история изменения которых зафиксирована в базе. От конца заголовка до конца файла находится раздел данных. Этот раздел содержит два типа строк: строка момента фиксации сигналов и строки значений сигналов, изменяющихся в этот момент.

Формат VCD является текстовым форматом. Файлы VCD могут быть графически отображены с целью их анализа с помощью средства просмотра формы сигналов. Распространенным инструментом для этой цели является программа GTKWave [3], являющаяся свободным программным обеспечением.

III. МОДЕЛИРОВАНИЕ СИСТЕМ С ИСПОЛЬЗОВАНИЕМ ЯЗЫКА ПРАЛУ

Алгоритмы на ПРАЛУ конструируются из операций ожидания и действия. Содержательный смысл этих операций может быть довольно произвольным. Формально в описании языка ПРАЛУ [1] функции этих операций не определены, вместо этого регламентируются условия их завершения. С завершением операции связывается наступление некоторого события в пространстве переменных алгоритма. Причем для операции ожидания событие в пространстве переменных служит причиной завершения операции, а для операций действия, наоборот, завершение операции вызывает определенное событие в пространстве переменных. Все переменные алгоритма на ПРАЛУ являются булевыми. События, связанные с завершением операций, должны быть представимы конъюнкциями переменных алгоритма. Эти конъюнкции составляют основу выражения языка ПРАЛУ, представляющего операцию.

В модели уровня транзакций цепочки ПРАЛУ интерпретируются как процессы, и требуется уточнение семантики операций ожидания

и действия, так как в этом случае они оказываются не элементарными. Суть уточнения состоит в организации вычислений таким образом, чтобы линейный порядок реализации операций алгоритма являлся доопределением частичного порядка, задаваемого исходным параллельным алгоритмом. При этом параллелизм понимается как возможность упорядочивать операции произвольным образом. В такой интерпретации алгоритмы на ПРАЛУ обладают свойством линейризуемости, т.е. результат параллельного выполнения операций ПРАЛУ эквивалентен некоторому последовательному выполнению. Доопределение операций ожидания и действия в модели уровня транзакций производится представлением их в виде композиций более простых операций промежуточного языка, выполняемых строго последовательно.

Преобразование представления алгоритма на ПРАЛУ в программу симулятора выполняется однопроходным текстовым преобразователем, конвертирующим операторы промежуточного языка в вызовы процедур в синтаксисе языка C. Эффективность построенной таким образом программы можно оценить на примере реализации одной из самых трудоемких операций промежуточного языка – операции приостановки. Работа, выполняемая этой операцией, заключается в запоминании адреса следующего вызова процедуры в стеке данных и переходе к выполнению процедуры, адрес которой извлечен из стека возвратов. Компилятор C строит для выполнения этих действий фрагмент кода, состоящий всего из двух машинных команд. Программа симулятора алгоритмов на ПРАЛУ сохраняет результат моделирования алгоритма в формате VCD.

IV. ЗАКЛЮЧЕНИЕ

Разработана программа моделирования описания поведения цифровых устройств на языке параллельных алгоритмов управления ПРАЛУ, которая сохраняет результат моделирования в формате VCD. Разработанная программа может использоваться в процессе проектирования СБИС с использованием известной промышленной системы моделирования Modelsim.

V. СПИСОК ЛИТЕРАТУРЫ

1. Закревский, А.Д. Параллельные алгоритмы логического управления / А.Д. Закревский. - Минск: Ин-т техн. кибернетики НАН Беларуси, 1999. - 202 с.
2. Bergeron, J. Writing Testbenches: Functional Verification of HDL Models 2nd Edition / J. Bergeron. - Springer, 2003. - 508 p.
3. GTKWave – A Free VLSI/CAD System [Электронный ресурс] / <https://gtkwave.sourceforge.net/>.