



О П И С А Н И Е  
ИЗОБРЕТЕНИЯ  
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 494744

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 22.04.74 (21) 2018497/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 05.12.75. Бюллетень № 45

Дата опубликования описания 03.03.76

(51) М. Кл. G 06F 5/02

(53) УДК 681.3(088.8)

(72) Авторы  
изобретения

В. А. Вишняков и А. Т. Пешков

(71) Заявитель

Минский радиотехнический институт

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА  
В ДВОИЧНЫЙ

1

Область применения изобретения — вычислительная техника и системы управления для преобразования десятичного кода целых чисел, в двоичный в устройствах ввода-вывода и преобразования информации.

Известны преобразователи двоично-десятичного кода в двоичный с использованием сдвигающих регистров и блоков коррекции по числу тетрад преобразуемого кода, в котором выходы каждого разряда каждого регистра сдвига через соответствующие вентили соединены со входами элементов «ИЛИ» последующего младшего разряда того же регистра; входы вентилей младшего разряда каждого регистра сдвига соединены с шлейф тактовых импульсов, а блоки коррекции выполнены в виде групп схем «И».

Невысокое быстродействие таких устройств обусловлено большой длительностью такта преобразования.

Целью изобретения является повышение быстродействия.

Эта цель достигается тем, что в предложенном преобразователе входы первого элемента «И» и блока коррекции данной тетрады соединены с единичным выходом третьего и нулевым выходом второго младших разрядов регистра сдвига той же тетрады. Вход второго элемента «И» соединен с единичным выходом четвертого разряда регистра сдвига.

2

Входы третьего элемента «И» соединены с нулевым выходом третьего и единичным выходом второго разрядов регистра сдвига. Входы четвертого элемента «И» соединены с единичными выходами второго и третьего разрядов, а входы пятого элемента «И» — с нулевыми выходами второго, третьего и четвертого разрядов регистра сдвига. Выход первого элемента «И» соединен через соответствующие входные элементы «ИЛИ» с единичными входами первого и второго разрядов, выход второго элемента «И» через соответствующий входной элемент «ИЛИ» — с единичным входом первого разряда. Выход третьего элемента «И» соединен через соответствующие элементы «ИЛИ» с единичным входом третьего и нулевым входом первого разрядов, выход четвертого элемента «И» — с единичным входом четвертого разряда и через соответствующие элементы «ИЛИ» с нулевыми входами первого, второго и третьего разрядов, а выход пятого элемента «И» через соответствующие элементы «ИЛИ» — с единичными входами первого и третьего разрядов. Входы всех элементов «И» блока коррекции данной тетрады соединены через соответствующий вентиль с единичным выходом младшего разряда регистра сдвига предыдущей старшей тетрады, нулевой выход которого соединен через соответствующий вен-

тиль со входами вентилей второго, третьего и четвертого разрядов данной тетрады и с нулевым входом четвертого разряда данной тетрады.

На чертеже приведена функциональная схема одной тетрады, где обозначено: 1—4 — разряды (триггеры) четырехразрядного регистра сдвига тетрады; 5 — разряд (триггер) младшего разряда соседней тетрады; 6—11 — вентили второго, третьего и четвертого разрядов, обеспечивающие сдвиг на один разряд вправо кода данной тетрады; 12—13 — вентили младшего разряда соседней старшей тетрады; 14—18 — соответственно первый, второй, третий, четвертый и пятый элементы «И» блоков коррекции; 19—24 — входные элементы «ИЛИ» разрядов тетрады.

Устройство работает следующим образом.

В исходном состоянии в четырехразрядном регистре сдвига зафиксирован двоично-десятичный код соответствующей десятичной цифры преобразуемого числа. При поступлении по шине 25 тактовых сигналов в данную тетраду поступает либо сигнал сдвига с выхода вентилей 13, если младший разряд соседней старшей тетрады 5 находится в нулевом состоянии, либо сигнал коррекции с выхода вентилей 12, если разряд 5 — в единичном состоянии. Сигнал сдвига, поступая на вентили 6—11, обеспечивает сдвиг кода тетрады на один разряд вправо. Сигнал коррекции, поступая на элементы 14—18, обеспечивает установку в разрядах 1—4 тетрады кода, определяемого кодом во втором, третьем и четвертом разрядах тетрады до коррекции. При кодах 100, 011, 010, 001, 000 в этих трех разрядах до коррекции в тетраде по сигналу с вентилей 12 через схему коррекции происходит установка кодов 1001, 1000, 0111, 0110, 0101 соответственно.

Таким образом, на первом такте обеспечивается сдвиг кода данной тетрады, если нет переноса в эту тетраду единицы из соседней старшей тетрады, или установка в тетраде

Таблица

№ такта	Сотни	Десятки	Единицы	Выходной двоичный код
0	1000	0100	0101	
1	0100	0010	0010	1
2	0010	0001	0001	01
3	0001	0000	0101	101
4	0000	0101	0010	1101
5	0000	0010	0110	01101
6	0000	0001	0011	001101
7	0000	0000	0110	1001101
8	0000	0000	0011	01001101
9	0000	0000	0001	101001101
10	0000	0000	0000	110001101

кода, равного уменьшенному в два раза и увеличенному на пять исходному коду, если в данную тетраду поступает единица переноса из соседней старшей тетрады. Аналогичные действия выполняются на всех последующих тактах, пока полностью не будет выполнено преобразование всего десятичного числа.

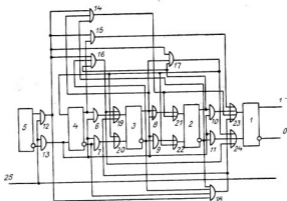
В таблице приведены значения кода в тетрадах после каждого такта при переводе десятичного числа 845. При этом двоичный код появляется на выходе младшей тетрады в виде двоичных цифр, начиная с младшей.

## Предмет изобретения

Преобразователь двоично-десятичного кода в двоичный, содержащий четырехразрядные регистры сдвига и блоки коррекции по числу тетрад преобразуемого кода, в котором выходы каждого разряда каждого регистра сдвига через соответствующие вентили соединены со входами элементов «ИЛИ» последующего младшего разряда того же регистра, входы вентилей младшего разряда каждого регистра сдвига соединены с шиной тактовых импульсов, блоки коррекции выполнены в виде группы элементов «И», отличающийся тем, что, с целью повышения быстроты действия, входы первого элемента «И» блока коррекции данной тетрады соединены с единичным выходом третьего и нулевым выходом второго младших разрядов регистра сдвига той же тетрады; вход второго элемента «И» соединен с единичным выходом четвертого разряда регистра сдвига; входы третьего элемента «И» соединены с нулевым выходом третьего и единичным выходом второго разрядов регистра сдвига; входы четвертого элемента «И» соединены с единичными выходами второго и третьего разрядов, а входы пятого элемента «И» — с нулевыми выходами второго, третьего и четвертого разрядов регистра сдвига; выход первого элемента «И» соединен через соответствующие элементы «ИЛИ» с единичными входами первого и второго разрядов; выход второго элемента «И» соединен через соответствующий элемент «ИЛИ» с единичным входом первого разряда; выход третьего элемента «И» соединен через соответствующие элементы «ИЛИ» с единичным входом третьего и нулевым входом первого разрядов; выход четвертого элемента «И» соединен с единичным входом четвертого разряда и через соответствующие элементы «ИЛИ» с нулевыми входами первого, второго и третьего разрядов; выход пятого элемента «И» соединен через соответствующие элементы «ИЛИ» с единичными входами первого и третьего разрядов; входы всех элементов «И» блока коррекции данной тетрады соединены через соответствующий вентиль с единичным выходом младшего разряда регистра сдвига предыдущей старшей тетрады, нулевой выход которого соединен

через соответствующий вентиль со входами вентилей второго, третьего и четвертого раз-

рядов данной тетрады и с нулевым входом четвертого разряда данной тетрады.



Составитель В. Сечина

Редактор Л. Утехина

Техред Т. Курилко

Корректор Е. Рожкова

Заказ 224/6

Изд. № 130

Тираж 679

Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР  
по делам изобретений и открытий  
Москва, Ж-35, Раушская наб., д. 4/5

Типография, пр. Сапунова, 2