



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3800673/24-24

(22) 15.09.84

(46) 07.08.86. Бюл. № 29

(71) Минский радиотехнический институт

(72) А.Г.Батюков и А.А.Шостак

(53) 681.325(088.8)

(56) Карцев М.А. Арифметика цифровых машин. М.: Наука, 1969, с. 494, рис. 5-1.

Патент США № 3234367, кл. 235-156, опублик. 1966.

Авторское свидетельство СССР № 802962, кл. G 06 F 7/52, 1978.

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ

(57) Изобретение относится к вычислительной технике и может быть применено в быстродействующих арифметических устройствах для выполнения операции деления чисел. Целью изобретения является повышение быстродействия устройства за счет сокращения длительности такта формирования K цифр частного и остатка ($2 \leq K \leq \lfloor n/2 \rfloor$ - разрядность делимого и делителя). Устройство содержит регистры делимого и делителя, сумматор частного, сумматор принудительного округления делителя, блок деления усеченных чисел, блок умножения, два вычитателя, коммутатор и блок управления, причем информационные входы первой группы коммутатора соединены с входами делимого устройства, информационные входы второй группы коммутатора - с выходами первого вычитателя, выходы коммутатора - с информационными

входами регистра делимого, информационные входы регистра делителя - с входами делителя устройства, выходы старших разрядов регистра делителя - с входами сумматора принудительного округления делителя, выходы которого соединены с входами делителя блока деления усеченных чисел, входы делимого которого соединены с выходами старших разрядов регистра делимого, выходы блока деления усеченных чисел соединены с информационными входами младших разрядов сумматора частного и с входами первой группы блока умножения, входы второй группы которого соединены с выходами разрядов регистра делителя, входы уменьшаемого второго вычитателя соединены с выходами разрядов регистра делимого, а его входы вычитаемого и займа - с выходами первой и второй групп блока умножения соответственно, выходы разности и займа второго вычитателя - с входами уменьшаемого и вычитаемого первого вычитателя соответственно. Цель достигнута за счет введения в устройство второго вычитателя, выполненного как вычитатель с запоминанием займа, причем входы уменьшаемого второго вычитателя соединены с выходами разрядов регистра делимого, а его входы вычитаемого и займа - с выходами первой и второй групп блока умножения соответственно, выходы разности и займа второго вычитателя - с входами уменьшаемого и вычитаемого первого вычитателя соответственно. 6 ил.

Изобретение относится к вычислительной технике и может быть применено в быстродействующих арифметических устройствах для выполнения операции деления чисел.

Целью изобретения является повышение быстродействия устройства.

На фиг. 1 приведена структурная схема предлагаемого устройства; на фиг. 2 - функциональная схема сумматора частного; на фиг. 3 - функциональная схема второго вычитателя; на фиг. 4 - вариант реализации блока управления; на фиг. 5 - граф-схема алгоритма работы блока управления; на фиг. 6 - временная диаграмма работы блока управления.

Устройство содержит регистр 1 делимого, регистр 2 делителя, сумматор 3 частного, сумматор 4 принудительного округления делителя, блок 5 деления усеченных чисел, блок 6 умножения, первый вычитатель 7, второй вычитатель 8, коммутатор 9, блок 10 управления, входы 11 делимого, входы 12 делителя, вход 13 синхронизации, вход 14 логической "1", выходы 15 частного, выходы 16 разрядов регистра 1 делимого, выходы 17 старших разрядов регистра 1 делимого, выходы 18 разрядов регистра 2 делителя, выходы 19 старших разрядов регистра делителя, выходы 20 блока 5 деления усеченных чисел, выход 20₁ старшего разряда блока 5 деления усеченных чисел, выходы 20₂ (к - 1) младших разрядов блока 5 деления усеченных чисел, выходы 21 первой группы блока 6 умножения, выходы 22 второй группы блока 6 умножения, выходы 23 разности второго вычитателя 8, выходы 24 заема второго вычитателя 8, выходы 25 первого вычитателя 7, выходы 26 коммутатора 9, выходы 27 сумматора 4 принудительного округления делителя, первый, второй, третий, четвертый, пятый и шестой выходы 28-33 блока 10 управления, седьмой выход 34 блока 10 управления (выход сигнализации окончания деления), регистр 35, сумматор 36, одноразрядные двоичные вычитатели 37₁-37_{n+1}, счетчик 38, память 39 микрокоманд.

Информационные входы первой группы коммутатора 9 соединены с входами 11 делимого устройства, информационные входы второй группы комму-

татора 9 соединены с выходами 25 первого вычитателя 7, выходы 26 коммутатора 9 соединены с информационными входами регистра 1 делимого, 5 информационные входы регистра 2 делителя соединены с входами 12 делителя устройства, выходы 19 старших разрядов регистра 2 делителя соединены с входами сумматора 4 принудительного округления делителя, вход переноса которого соединен с входом 14 логической "1" устройства, выходы 27 сумматора 4 принудительного округления делителя соединены с входами 15 делителя блока 5 деления усеченных чисел, входы делимого которого соединены с выходами 17 старших разрядов регистра 1 делимого, выходы 20 блока 5 деления усеченных чисел соединены с информационными входами младших разрядов сумматора 3 частного и с входами первой группы блока 6 умножения, входы второй группы которого соединены с выходами 18 разрядов регистра 2 делителя, входы уменьшаемого второго вычитателя 8 соединены с выходами 16 разрядов регистра 1 делимого, а его входы вычитаемого и займа соединены с выходами 21 и 22 первой и второй групп блока 6 умножения соответственно, выходы 23 и 24 разности и займа второго вычитателя 8 соединены с входами уменьшаемого и вычитаемого первого вычитателя 7 35 соответственно, синхровходы регистров 1 и 2 делимого и делителя, сумматора 3 частного и блока 10 управления соединены с входом 13 синхронизации устройства, первый и второй выходы 40 28 и 29 блока управления соединены с первым и вторым управляющими входами коммутатора 9 соответственно, третий и четвертый выходы 30 и 31 блока 10 управления соединены с входами разрешения записи регистров 1 и 2 делимого и делителя соответственно, пятый и шестой выходы 32 и 33 блока 10 управления соединены с входами установки в "0" и разрешения записи сумматора 3 частного соответственно, седьмой выход 34 блока 10 управления является выходом сигнализации окончания деления, выходы сумматора 3 частного являются выходами 15 частного устройства. 55

Рассмотрим функциональное назначение и реализацию основных узлов

и блоков предлагаемого устройства для деления.

Регистры 1 и 2 делимого и делителя соответственно предназначены для временного хранения двоичных кодов делимого (остатков) и делителя. Регистр 1 делимого $(n + 1)$ -разрядный, из которых один разряд расположен слева от запятой и n разрядов справа от запятой. Регистр 2 делителя содержит n разрядов, которые все расположены справа от запятой. В первом такте деления в эти регистры загружаются двоичные коды делимого и делителя, которые являются правильными положительными дробями. Регистры реализованы на основе двухтактных синхронных DV-триггеров. Запись информации в регистры производится по синхроимпульсу при наличии разрешающего потенциала на их V-входах.

Сумматор 3 частного предназначен для хранения частного, он также участвует при выполнении операции деления в процессе формирования правильного значения частного. После завершения деления образованное в нем частное поступает на выходы 15 частного устройства. Сумматор 3 частного содержит (фиг. 2) регистр 35 и комбинационный двоичный сумматор 36 с ускоренным распространением переноса. Регистр 35 реализован на двухтактных синхронных DV-триггерах с возможностью их обнуления. В первом такте деления сумматор 3 обнуляется путем подачи с входа 14 устройства импульса на синхровход регистра 35 и разрешающего потенциала с пятого выхода 32 блока 10 управления на вход разрешения установки в "0" регистра 35. Во всех других тактах работы устройства в сумматоре 3 осуществляется прибавление к значению младшего разряда содержимого регистра 35, которое подается на входы сумматора 36 со сдвигом влево (в сторону старших разрядов) на $(k-1)$ разрядов, значения старшего разряда к цифр частного, сформированных на выходах 20 блока 5 деления усеченных чисел. Это значение старшего разряда поступает на вход переноса комбинационного сумматора 36 по выходу 20₁. Получившийся на выходах комбинационного сумматора 36 результат записывается без сдвига в соответствующие старшие разряды регист-

ра 35. В $(k-1)$ младших разрядов регистра 35 с выходов 20₂ записываются $(k-1)$ младших разрядов к цифр частного, сформированных на выходах 20 блока 5 деления усеченных чисел. Запись информации в регистр 35 производится по синхроимпульсу при наличии разрешающего потенциала на его входе разрешения записи, который подключен к шестому выходу 33 блока 10 управления.

Сумматор 4 принудительного округления делителя и блок 5 деления усеченных (малоразрядных) чисел непосредственно участвуют в формировании очередных к двоичных цифр частного с точностью до единицы их младшего разряда. Сумматор 4 и блок 5 деления усеченных чисел являются комбинационными схемами. В сумматоре 4 осуществляется принудительное округление делителя путем прибавления к значению старших разрядов делителя, поступающих на входы сумматора 4 с выходов 19 регистра 2, через вход 14 устройства единицы в их младший разряд. На выходах 27 сумматора 4 образуется значение старших разрядов делителя, увеличенное на единицу. Этим самым устраняется возможность получения на выходах 20 блока 5 деления усеченных чисел, в котором производится деление значения старших разрядов делимого на значение принудительно округленных старших разрядов делителя, частного с избытком. Старшие разряды делимого поступают на входы делимого блока 5 с выходов 17 старших разрядов регистра 1 делимого, а принудительно округленные старшие разряды делителя подаются на входы делителя блока 5 с выходами 27 сумматора 4.

При малых значениях k блок 5 деления усеченных чисел может быть разработан по соответствующей таблице истинности либо в виде быстродействующего логического шифратора, либо в виде быстрой поисковой таблицы, реализованной на ПЗУ. При больших же значениях k целесообразна реализация блока 5 в виде быстродействующей однотактной метричной схемы деления, использующей алгоритм с восстановлением или без восстановления остатков и все известные средства ускоренной реализации этих алгоритмов. Возможны

и другие варианты реализации блока 5 деления усеченных чисел.

Число старших разрядов операндов, обрабатываемых в блоке 5 деления усеченных чисел, определяется в зависимости от диапазона значений делимого и делителя. Пусть делимое x и делитель y — есть нормализованные положительные двоичные дроби, т.е. $1/2 \leq x < 1$ и $1/2 \leq y < 1$. Это справедливо только на первом шаге деления. В дальнейшем, когда в роли делимого выступают промежуточные остатки, возможно нарушение нормализации делимого как влево, так и вправо. В общем случае делимое x в предлагаемом устройстве может изменяться в пределах $0 \leq x < 2y$. При принятых допущениях для получения на выходах 20 блока 5 деления усеченных чисел K двоичных цифр частного с точностью до единицы их младшего разряда достаточно обрабатывать $(k+2)$ старших разрядов делимого x [один разряд слева от запятой и $(k+1)$ разряд справа от запятой] и $(k+2)$ старших разрядов делителя y (все разряды находятся справа от запятой).

Пусть x_1 — значение старших $(k+2)$ разрядов делимого; y_1 — значение старших $(k+2)$ разрядов делителя y ; $x_2 = x - x_1$; $y_2 = y - y_1$. Максимальная абсолютная погрешность ε (разность между значением частного, получаемым при делении n -разрядных чисел, и значением частного, получаемым при делении усеченных $(k+2)$ -разрядных чисел) при этом заключена в пределах

$$0 \leq \varepsilon = \frac{x}{y} - \frac{x_1}{y_1 + 2^{-(k+2)}} < 2^{-(k-1)}.$$

Выполнение левого условия очевидно, поэтому ограничимся лишь доказательством неравенства

$$\frac{x}{y} - \frac{x_1}{y_1 + 2^{-(k+2)}} < 2^{-(k-1)},$$

которое можно переписать в виде

$$x(y_1 + 2^{-(k+2)}) - x_1 y < 2^{-(k-1)} y(y_1 + 2^{-(k+2)}).$$

Максимальная абсолютная погрешность ε будет в том случае, когда $y_2 = 0$, т.е. $y = y_1$; $x_2 = x_{2 \max} = 2^{-(k+1)} - 2^{-n}$; $x = x_{\max} = 2y_1 - 2^{-n}$.

С учетом этого получим

$$x \cdot 2^{-(k+2)} + x_2 y_1 < 2^{-(k-1)} y_1 (y_1 + 2^{-(k+2)})$$

или

$$(2y_1 - 2^{-n}) 2^{-(k+2)} + (2^{-(k+1)} - 2^{-n}) y_1 < 2^{-(k-1)} y_1 (y_1 + 2^{-(k+2)}).$$

Последнее неравенство выполняется, если справедливо следующее

$$2y_1 2^{-(k+2)} + y_1 2^{-(k+1)} < 2^{-(k-1)} y_1 (y_1 + 2^{-(k+2)})$$

или, что

$$1 < 2(y_1 + 2^{-(k+2)}).$$

Последнее соотношение выполняется при всех значениях делителя y , заключенных в пределах $1/2 \leq y < 1$. Следовательно, значение k -разрядного частного, получаемого на выходах 20 блока 5 при делении в нем $(k+2)$ -разрядных чисел, может быть либо равно значению старших k разрядов частного, получаемого при делении n -разрядных чисел, либо меньше его на единицу младшего разряда с весом $2^{-(k-1)}$.

В блоке 6 осуществляется перемножение k -разрядного частного, сформированного на выходах 20 блока 5 и поступающего на первую группу входов блока 6 умножения, и i -разрядного делителя, хранимого в регистре 2 и поступающего на вторую группу входов блока 6 с выходов 18 разрядов регистра 2. На выходах 21 и 22 первой и второй групп блока 6 образуется произведение в двухрядном коде (в виде двух чисел). Блок 6 умножения комбинационного типа может быть реализован в виде совокупности из n/k k -разрядных двоичных умножителей.

С помощью первого вычитателя 7 производится вычитание из значения разности, сформированной на выходах 23 второго вычитателя 8, значения заема, образованного на выходах 24 второго вычитателя 8. Первый вычитатель 7 комбинационного типа с ускоренным распространением займа. Он может быть заменен быстродействующим сумматором, если информацию, поступающую на его вход вычитаемого, про-

инвертировать, а на вход переноса сумматора подать сигнал логической "1".

Второй вычитатель 8 комбинационного типа выполнен по принципу запоминания заема. Он содержит (фиг. 3) одноразрядные двоичные вычитатели $37_1 - 37_{n+1}$, где через A, B, C обозначены входы уменьшаемого, вычитаемого и заема соответственно. В вычитателе 8 осуществляется вычитание из содержимого регистра 1 делимого произведения, сформированного на выходах 21 и 22 блока 6 умножения в двухрядном коде. Результат вычитания образуются на выходах 23 и 24 разности и займа вычитателя 8 в двухрядном коде.

С помощью коммутатора 9 осуществляется передача на информационные входы регистра 1 делимого с входов 11 устройства, когда на первом выходе 28 блока 10 управления формируется сигнал логической "1", либо остатка, образованного на выходах 25 первого вычитателя 7, когда на втором выходе 29 блока 10 управления формируется сигнал логической "1". Коммутатор 9 может быть реализован на элементах 2И-2ИЛИ.

Блок 10 управления координирует работу узлов и блоков устройства при выполнении на нем операции деления двух чисел. Как и в известном устройстве он может быть реализован самыми различными методами и средствами. На фиг. 4 в качестве примера приведена реализация блока 10 управления на основе счетчика 38 и памяти 39 микрокоманд. Счетчик 38 накапливающего типа предназначен для естественной адресации микрокоманд. Вход счета счетчика соединен с входом 13 синхронизации устройства. В качестве памяти 39 микрокоманд может быть применена быстродействующая постоянная память емкостью $\ell 7$, где ℓ - число тактов работы устройства. В самом начале работы устройства счетчик 38 устанавливается в некоторое исходное состояние, например сбрасывается в "0" (на фиг. 4 цепь установки счетчика 38 в исходное состояние не показана).

Граф-схема (фиг. 5) алгоритма работы блока 10 управления содержит вершины начала и окончания работы блока 10 по реализации в устройстве операции деления, а также $(m+1)$

операторную вершину. Во время выполнения первой операторной вершины в устройстве производится загрузка исходных операндов в регистры 1 и 2 делимого и делителя, а также обнуление сумматора 3 частного. Далее в устройстве выполняется m однотипных вершин, в течение каждой из которых формируется K двоичных цифр частного. На фиг. 5 приняты следующие обозначения управляющих сигналов (они соответствуют принятым ранее обозначениям выходов блока 10 управления);

5 y_{28} - управляющий сигнал, под действием которого на выходы 26 коммутатора 9 передается значение делимого с входов 11 устройства;

10 y_{29} - управляющий сигнал, под действием которого на выходы 26 коммутатора 9 передается значение разности с выходов 25 первого вычитателя 7;

25 y_{30} и y_{31} - управляющие сигналы, разрешающие запись информации в регистры 1 и 2 соответственно;

y_{32} - управляющий сигнал, разрешающий сброс сумматора 3 частного в "0";

30 y_{33} - управляющий сигнал, разрешающий запись информации в сумматор 3 частного;

y_{34} - управляющий сигнал, сообщающий об окончании операции;

35 m - число тактов, в течение которых формируется $[m \cdot (k-1) + 1]$ разрядное частное в сумматоре 3.

Устройство для деления работает следующим образом.

40 Пусть на входы 11 и 12 устройства уже поступили N -разрядные двоичные коды делимого x и делителя y (здесь предполагается, что делимое и делитель правильные положительные дроби), а счетчик 38 блока 10 управления установлен в исходное нулевое состояние. По содержимому счетчика 38, которое служит адресом обращения к памяти 39 блока 10 управления, из памяти 39 считывается следующий двоичный код первой микрокоманды $MK1 =$
 45 $= 1011100$. Старший разряд этого кода формируется на первом выходе 28 блока 10, а младший разряд образуется на
 50 седьмом выходе 34 блока 10 управления. Под действием кода $MK1$ коммутатор 9 пропускает на информационные входы регистра 1 делимое x с входов

11 устройства, регистры 1 и 2 подготовлены к приему информации, так как на их входах разрешения записи присутствуют потенциалы логической "1", а сумматор 3 частного настроен на обнуление. С приходом первого импульса на вход 13 синхронизации устройства производится запись двоичных кодов делимого x и делителя y в регистры соответственно 1 и 2, а также обнуление сумматора 3 частного и установка счетчика 38 блока 10 управления в состояние "1". С момента окончания действия первого импульса на входе 13 синхронизации устройства заканчивается подготовительный этап и начинается собственно деление, в процессе которого в течение m тактов формируется $m \cdot (k-1) + 1$ двоичных цифр частного.

В некоторых случаях может оказаться целесообразным подготовительный этап организовать двухшаговым, причем на его первом шаге осуществляют запись только делителя y в регистр 2, а на втором шаге производят запись делимого в регистр 1 и обнуляют сумматор 3 частного. Этим самым обеспечивается меньшая длительность такта работы устройства, так как временная задержка сумматора 4 принудительного округления делителя не влияет в этом случае на временной цикл работы устройства. В тех же случаях, когда операнды не могут быть загружены в регистры 1 и 2 одновременно (например, при последовательной их выборке из памяти), необходимо всегда производить в первую очередь запись делителя, а потом делимого.

В первом такте собственно деления по значению старших разрядов делимого x и делителя y на выходах 20 блока 5 деления усеченных чисел формируются наиболее старшие k двоичных цифр z_1 частного z , которые далее поступают на информационные входы младших разрядов сумматора 3. На выходах 21 и 22 блока 6 умножения образуются в двухрядном коде произведения $y \cdot z_1$, а с помощью первого и второго вычитателей 7 и 8 формируется разность $x - yz_1$, которая в дальнейшем служит первым остатком и подается на входы второй группы коммутатора 9 со сдвигом на $(k-1)$ разрядов влево (в сторону старших разрядов). Одно-

временно с этим из памяти 39 блока 10 считывается код второй микрокоманды $МК2=0110010$. С приходом второго импульса на вход 13 устройства в регистр 1 делимого записывается сформированный на выходах 25 первого вычитателя 7 первый остаток, в младшие разряды сумматора 3 частного записываются k старших цифр частного, а счетчик 38 блока 10 управления устанавливается в состояние "2".

Аналогичным образом устройство работает и в других тактах. В каждом такте старшая цифра из k очередных цифр частного, образованных на выходах 20 блока 5 и поступающих на информационные входы младших разрядов сумматора 3 частного, подсуммируется к младшему разряду содержимого сумматора 3, сдвинутому на $(k-1)$ разрядов в сторону его старших разрядов.

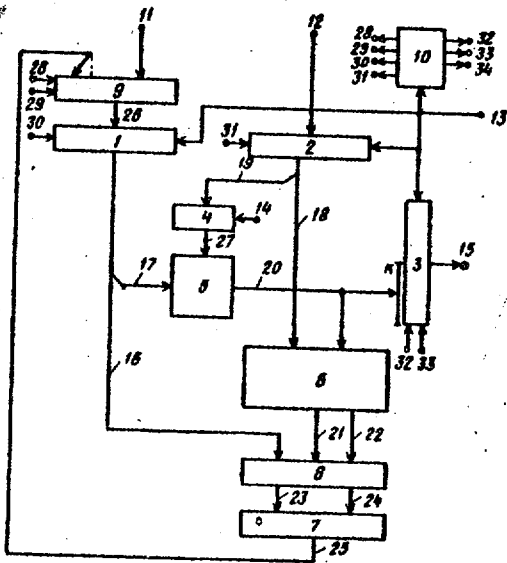
После выполнения последнего m -го такта на седьмом выходе 34 блока 10 управления появляется потенциал логической "1", сигнализирующий об окончании операции деления.

Ф о р м у л а и з о б р е т е н и я

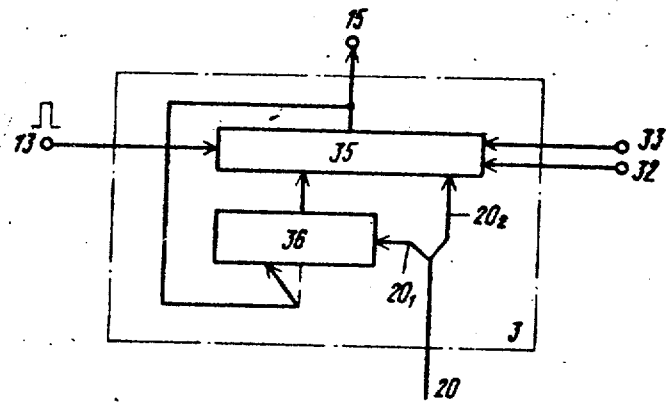
30 Устройство для деления, содержащее регистры делимого и делителя, сумматор частного, сумматор принудительного округления делителя, блок деления усеченных чисел, блок умножения, первый вычитатель, коммутатор и блок управления, причем информационные входы первой группы коммутатора соединены с входами делимого устройства, информационные входы второй группы коммутатора соединены с выходами первого вычитателя, выходы коммутатора соединены с информационными входами регистра делимого, информационные входы регистра делителя соединены с входами делителя устройства, выходы старших разрядов регистра делителя соединены с входами сумматора принудительного округления делителя, вход переноса которого соединен с входом логической "1" устройства, выходы сумматора принудительного округления делителя соединены с входами делителя блока деления усеченных чисел, входы делимого которого соединены с выходами старших разрядов регистра делимого, выходы блока деления усеченных чисел соединены с информационными входами младших раз-

рядов сумматора частного и с входами первой группы блока умножения, входы второй группы которого соединены с выходами разрядов регистра делителя, синхровходы регистров делимого и делителя, сумматора частного и блока управления соединены с входом синхронизации устройства, первый и второй выходы блока управления соединены с первым и вторым управляющими входами коммутатора соответственно, третий и четвертый выходы блока управления соединены с входами разрешения записи регистров делимого и делителя соответственно, пятый и шестой выходы блока управления соединены с входами установки в "0" и разрешения записи сумматора частного

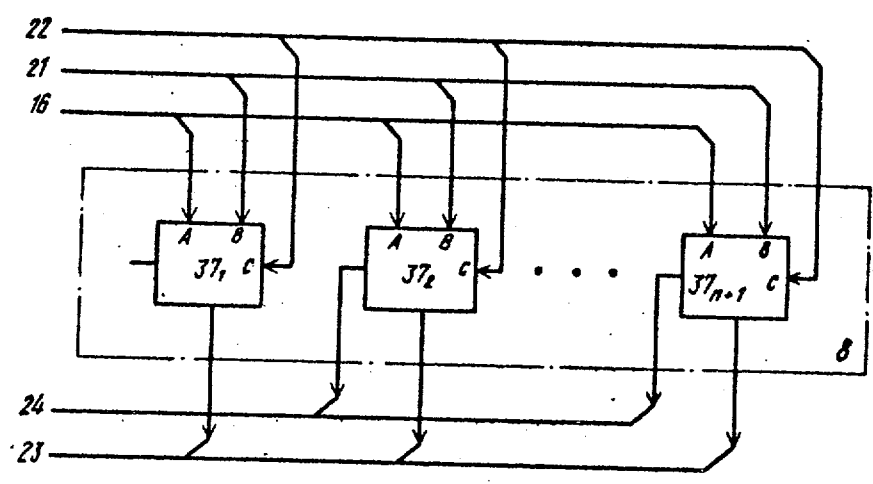
соответственно, седьмой выход блока управления является выходом сигнализации окончания деления, выходы регистра частного являются выходами частного устройства, отличающемся тем, что, с целью повышения быстродействия, оно содержит второй вычитатель, выполненный как вычитатель с запоминанием займа, причем входы уменьшаемого второго вычитателя соединены с выходами разрядов регистра делимого, а его входы вычитаемого и займа соединены с выходами первой и второй групп блока умножения соответственно, выходы разности и займа второго вычитателя соединены с входами уменьшаемого и вычитаемого первого вычитателя соответственно.



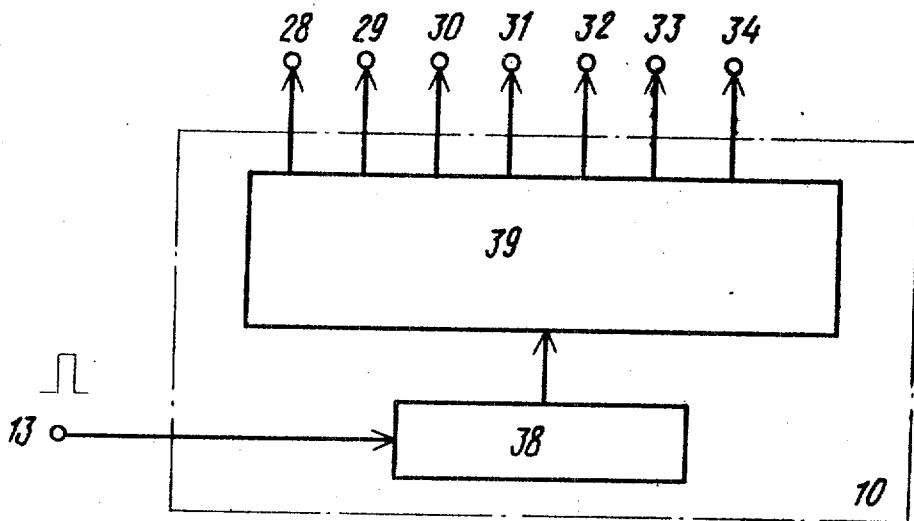
Фиг. 1



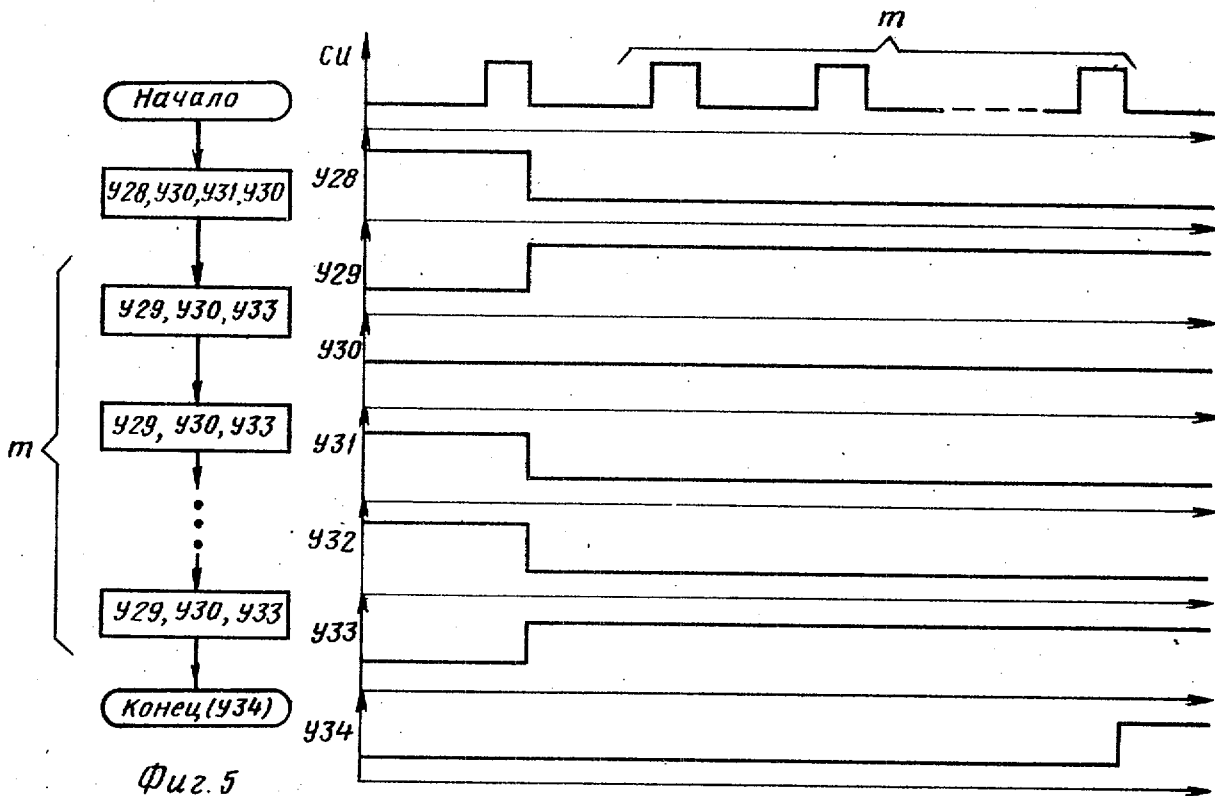
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5

Фиг. 6

Редактор Л. Гратилло Составитель А. Ключев Корректор М. Шароши
 Техред В. Кадар

Заказ 4327/51 Тираж 671 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4