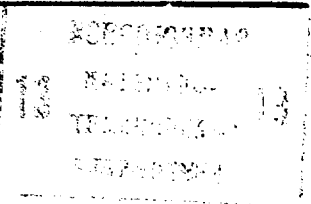




(51)4 G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



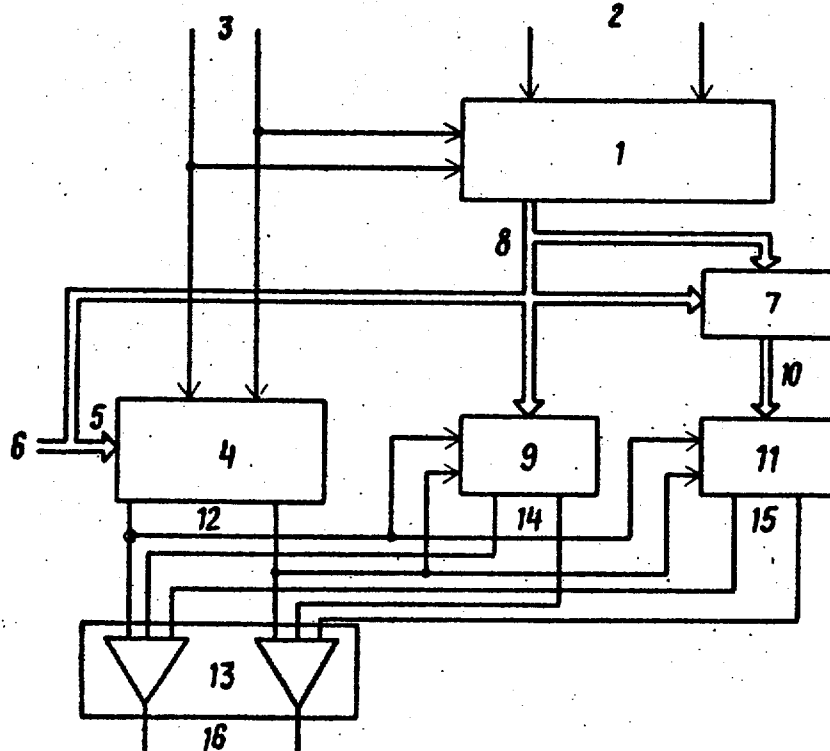
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4013753/24-24
(22) 21.01.86
(46) 23.08.87. Бюл. № 31
(71) Минский радиотехнический институт
(72) В.К.Конопелько, Ю.И.Шегинин
и П.С.Приходько
(53) 681.327.6(088.8)
(56) Авторское свидетельство СССР
№ 1029231, кл. G 11 C 29/00, 1983.

Сагалович Ю.П., Щербаков Н.С. Выбор системы кодирования для защиты ЗУ от ошибок. - Проблемы передачи информации, 1984, т. 20, вып. 1, с. 19-27.

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ПОСТОЯННОЙ ПАМЯТИ

(57) Изобретение относится к вычислительной технике и может быть использовано для повышения надежности в работе полупроводниковых БИС постоянных запоминающих устройств с много-разрядной организацией. Целью изобретения является упрощение устройства. Устройство содержит блок 1 кодирования, селектор 4, коммутатор 7, формирователи частоты 9, 11 и блок 13 мажоритарных элементов. В устройстве используется модифицированная проверочная матрица кода Рида-Маллера. 3 ил.



Фиг.1

(19) **SU** (11) **1332385** **A1**

Изобретение относится к вычислительной технике и может быть использовано для повышения надежности работы полупроводниковых БИС постоянных запоминающих устройств с многоурядной организацией.

Цель изобретения - упрощение устройства.

На фиг.1 представлена схема устройства для контроля постоянной памяти; на фиг.2 и 3 - проверочная матрица кода (23; 16) и конкретная реализация блока кодирования, коммутатора, первого и второго формирователей четности для этого кода.

Устройство (фиг.1) содержит блок кодирования, входы контрольных 2 и информационных 3 разрядов, селектор 4 с управляющим входом 5, вход 6 выборки байта, коммутатор 7 с информационными входами 8, первый формирователь 9 четности, входы 10 первой группы второго формирователя 11 четности, входы 12 первой группы блока 13 мажоритарных элементов, его входы 14 и 15 соответственно второй и третьей групп и выходы 16.

В устройстве используется модифицированная проверочная матрица кода Рида-Маллера (фиг.2). В примере конкретного исполнения (фиг.3) рассматривается устройство для работы с 16-разрядными информационными словами, считываемыми из накопителя ПЗУ и с выдачей на выход БИС ПЗУ 8-разрядных слов. На фиг.3 обозначены элементы 17 - 23 сложения по модулю два, элементы И-ИЛИ 24 и 25 и элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 26 - 41.

Устройство работает следующим образом.

При считывании сигналы информационных 3 и проверочных 2 разрядов с блока постоянной памяти (не показан) поступают на селектор 4 и блок кодирования, на выходах 8 которого образуются контрольные соотношения C_{1-7} применяемого кода (фиг.2).

Наряду с этим в зависимости от сигнала на входе 5 селектор 4 выделяет на свои выходы 12 считываемую информацию первого байта (разряды a_{1-8}) или второго байта (разряды a_{9-16}), которая поступает на входы первой группы блока 13 мажоритарных элементов и входы второй группы первого 9 и второго 11 формирователей четности. На входы 8 первой группы

блока 9 поступают сигналы с выходов блока 1 (C_{3-7} для кода фиг.2), а на входы 10 первой группы блока 11 - сигналы с выходов коммутатора 7 (C_1, C_3 или C_2, C_4 для кода фиг.2) в зависимости от сигнала с входа 6, т.е. на выходе 16 устройства спрашивается первый или второй байт информации. Таким образом, на входы первой 12, второй 14 и третьей 15 групп блока мажоритарных элементов поступают сигналы, реализующие системы разделенных контрольных соотношений при мажоритарном декодировании. Например, значение символов в первом разряде m_1 блока 13 мажоритарных элементов равно

$$\begin{aligned} m_1' &= a_1, \\ m_1'' &= a_1 + a_6 + a_7 + a_8 + a_9 + a_{19} + \\ &+ a_1 = a_6 + a_7 + a_8 + a_9 + a_{19}, \\ m_1''' &= a_1 + a_2 + a_3 + a_4 + a_5 + a_{17} + \\ &+ a_1 = a_2 + a_3 + a_4 + a_5 + a_{17}. \end{aligned}$$

При этом, поскольку любой сигнал a_i входит не более одного раза в каждую систему, то любая одиночная ошибка нарушит не более одного уравнения и безошибочное значение считываемого сигнала определится в блоке 13 с помощью мажоритарного элемента на три входа.

Ф о р м у л а и з о б р е т е н и я

Устройство для контроля постоянной памяти, содержащее блок кодирования, входы первой группы которого являются контрольными входами устройства, входы второй группы являются информационными входами устройства и соединены с соответствующими входами селектора, управляющие входы которого являются входами выборки байта устройства, а выходы подключены к входам первой группы блока мажоритарных элементов, выходы которого являются информационными выходами устройства, о т л и ч а ю щ е е с я тем, что, с целью упрощения устройства, в него введены коммутатор, первый и второй формирователи четности, причем выходы блока кодирования соединены с входами первой группы первого формирователя четности и с информационными входами коммутатора, управляющие входы которого подключены к входам выборки байта устройства, а выходы соединены с входами первой группы второго форми-

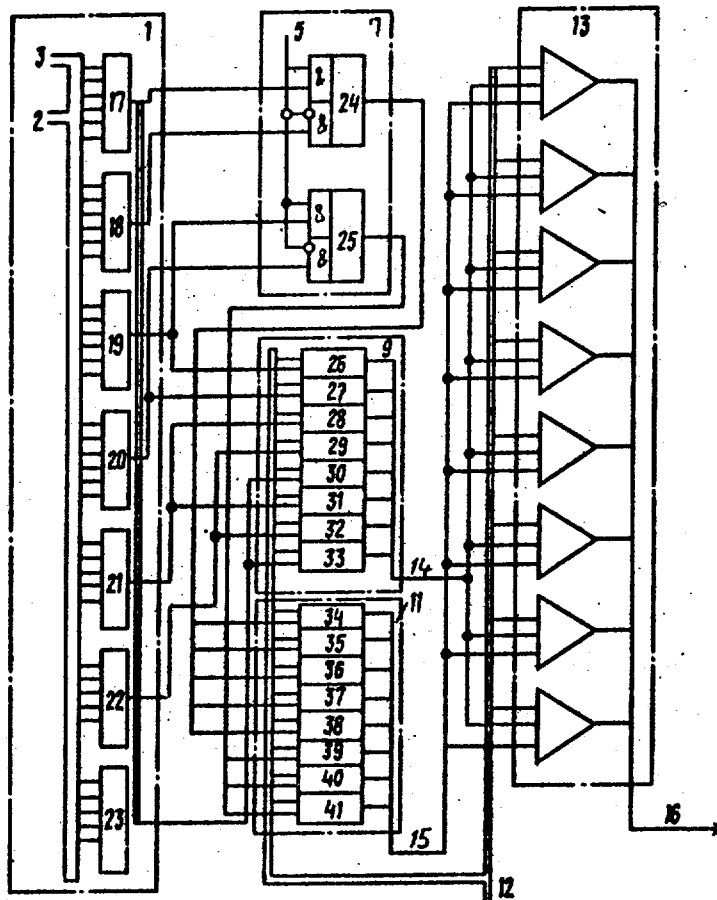
рователя четности, входы второй группы которого подключены к входам второй группы первого формирователя четности и к выходам селектора, вхо-

ды второй и третьей групп блока мажоритарных элементов соединены соответственно с выходами первого и второго формирователей четности.

5



Фиг. 2



Фиг. 3

Составитель О. Исаев

Редактор С. Пекаръ

Техред Л. Сердюкова

Корректор С. Черни

Заказ 3839/48

Тираж 589

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4