

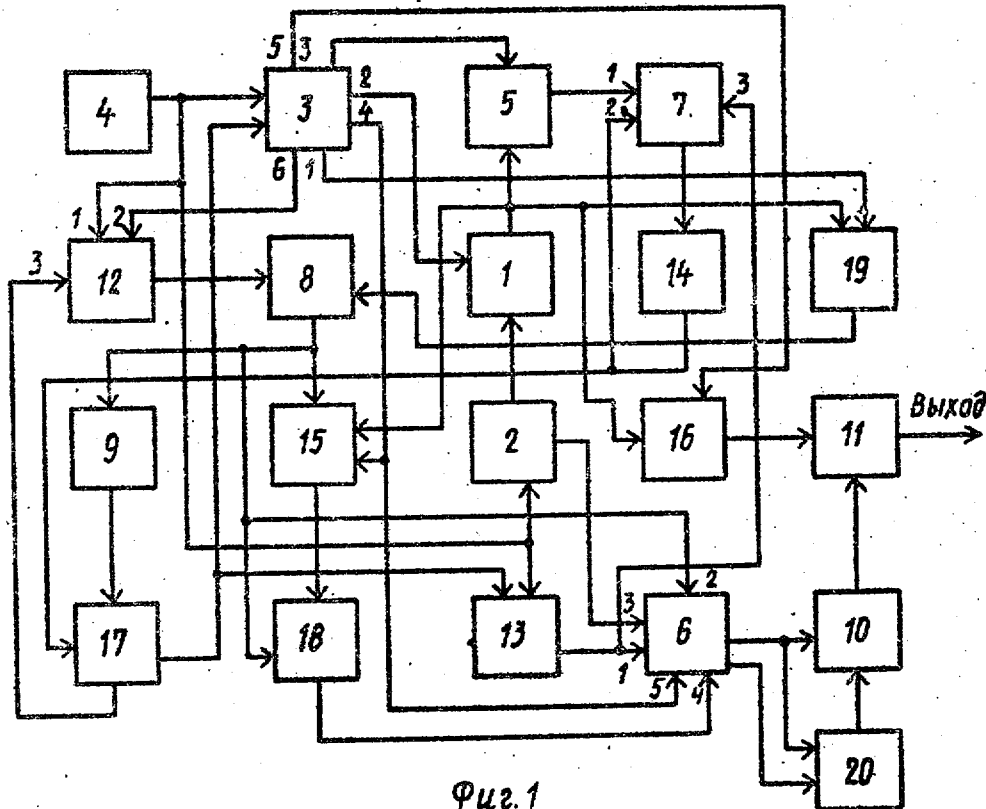


ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4104884/24-24
- (22) 15.08.86
- (46) 07.11.88. Бюл. № 41
- (71) Минский радиотехнический институт
- (72) А.С.Кобайло, Ю.В.Корженевич, В.А.Новиков и А.Г.Якубенко
- (53) 681.333 (088.8)
- (56) Авторское свидетельство СССР № 517018, кл. G 06 F 1/02, 1974..
Авторское свидетельство СССР № 1022161, кл. G 06 F 7/58, 1982.
- (54) ГЕНЕРАТОР СЛУЧАЙНОГО ПРОЦЕССА
- (57) Изобретение относится к вычислительной технике и может быть ис-

пользовано при построении имитационно-моделирующей аппаратуры для решения задач оптимизации структурно сложных систем. Цель изобретения - повышение точности. Генератор содержит блоки 1, 18 памяти, датчик 2 случайных чисел, генератор 4 импульсов, блок 3 управления, регистры 5, 6, 16, 19, элементы И 12, 13, 14, блок 20 сумматоров, делитель 8 по модулю два частоты, триггер 17, преобразователи 10, 11 код-напряжение, счетчики 7, 9, 15. Цель достигается за счет введения новых функциональных связей и блоков. 3 ил.



Фиг. 1

(19) **SU** (11) **1436113** **A1**

Изобретение относится к вычислительной технике и может быть использовано при построении имитационно-моделирующей аппаратуры для решения задач оптимизации структурно сложных систем, испытаний изделий на ударные, электрические и другие воздействия.

Цель изобретения - повышение точности генератора.

На фиг. 1 представлена структурная схема генератора; на фиг. 2 - схема блока управления; на фиг. 3 - временная диаграмма, поясняющая работу генератора.

Генератор содержит первый блок 1 памяти, датчик 2 равномерно распределенных случайных чисел, блок 3 управления, генератор 4 импульсов, регистры 5 и 6, реверсивный счетчик 7, делитель 8 частоты, счетчик 9, преобразователь 10 код-напряжение, преобразователь 11 код-напряжение, элементы И 12-14, счетчик 15, регистр 16, триггер 17, блок 18 памяти, регистр 19 и блок 20 сумматоров по модулю два.

Блок управления содержит триггер 21, счетчик 22, дешифратор 23 и элемент И 24.

Процесс функционирования генератора можно представить как последовательность повторяющихся циклов, на каждом из которых формируется импульс треугольной равнобедренной формы со случайной амплитудой A , полярностью и длительностью T и случайный временной интервал τ между началом текущего и последующего импульсов (интервал следования).

Рассмотрим цикл функционирования генератора с момента начала формирования случайного интервала между двумя соседними импульсами генерируемой выходной последовательности на $N-1$ -м цикле работы генератора. К этому моменту триггер 17 устанавливается в единичное состояние, устанавливая тем самым через элемент И 13 в нулевое состояние регистр 6. Импульсы с выхода элемента И 13 поступают на вычитающий вход счетчика 7, работающего в режиме обратного счета. Единичный уровень с прямого выхода триггера 17 разрешает отработку цикла блока 3 управления, в результате чего коды дискретных отсчетов законов распределения $F(T)$, $F(\tau)$, $F(A)$, $F(\alpha)$ N -го цикла последовательно считываются из состо-

ветствующих областей блока 1 памяти по сформированным датчиком 2 случайным адресам и по сигналам с выходов блока 3 управления записываются в регистры 19 и 5, счетчик 15 и регистр 16 и, кроме того, импульсом с третьего выхода блока 3 управления в старшем разряде регистра 6 устанавливается случайное равновероятное состояние, определяемое значением первого разрядного выхода датчика 2.

В результате поступления тактовых импульсов на вычитающий вход реверсивного счетчика 7 происходит считывание единиц из реверсивного счетчика 7 и при достижении им нулевого значения на выходе элемента И 14 вырабатывается сигнал, по которому происходит запись дискретного отсчета закона распределения $F(\tau_N)$ N -го цикла в реверсивный счетчик 7 и устанавливается нулевое состояние триггера 17. Высокий уровень с инверсного выхода триггера 17 разрешает прохождение тактовых импульсов с выхода генератора 4 импульсов через элемент И 12. На выходе делителя 8 частоты вырабатывается последовательность импульсов с частотой, задаваемой коэффициентом пересчета, код которого хранится в регистре 19. Этим коэффициентом пересчета задается длительность N -го импульса генерируемой выходной последовательности.

По импульсам, поступающим на счетный вход счетчика 15, последний увеличивает последовательно свое состояние на единицу, формируя адреса, по которым производится считывание из блока 18 памяти кодов дискретных отсчетов производящей функции, при этом считывание кодов начинается со случайного адреса, код которого занесен в счетчик 15 на $N-1$ -м цикле работы блока управления. Считываемые из блока 18 памяти коды заносятся в регистр 6, старший разряд которого, сформированный на $N-1$ -м цикле работы блока управления, определяет полярность выходного импульса на N -м цикле. Поступающие на вход регистра 6 коды заносятся в этот регистр импульсами с выхода делителя 8 частоты и с помощью преобразователей 10 и 11 код-напряжение преобразуются в напряжение выходного сигнала, амплитуда которого устанавливается в соответствии со слу-

чайным кодом, хранящимся в регистре 16.

Импульсы с выхода делителя 8 частоты поступают также на счетный вход счетчика 9, последовательно увеличивая его состояние. В результате поступления на счетный вход счетчика 15 К импульсов, где К - количество адресов второго блока 18 памяти, состояние счетчика 15 циклически изменяется от α_n до $\alpha_n - 1$, где α_n - случайный адрес блока 18 памяти, заданный во время формирования N-1-й паузы. При этом из блока 18 памяти по адресам, задаваемым счетчиком 15, последовательно считываются коды дискретных отсчетов производящей функции, а счетчик 9 изменяет свое состояние от нулевого до максимального, равно $K-1$, и при формировании на выходе делителя 8 частоты K-го импульса на выходе счетчика 9 формируется сигнал переполнения, устанавливающий единичное состояние триггера 17, вследствие чего запрещается прохождение тактовых импульсов через элемент И 12 на информационный вход делителя 8 частоты и тем самым прерывается формирование импульса на выходе устройства.

Тактовые импульсы через элемент И 13 поступают на вычитающий вход реверсивного счетчика 7, последовательно уменьшая его состояние от $\hat{\sigma}_n^N$ до нулевого (где $\hat{\sigma}_n^N$ - длительность паузы N-го цикла), и на вход установки в "0" регистра 6. Блок 3 управления отработывает свой очередной цикл, в результате которого определяются коды значений параметров выходного процесса N+1-го цикла работы устройства.

Таким образом, на N-м цикле работы устройства на его выходе формируется импульс случайной полярности со случайными амплитудой, формой, длительностью и периодом следования, равным $T_c = T_p + \hat{\sigma}_n^N$, и определяются случайные параметры N+1-го цикла. Далее процесс функционирования происходит аналогично описанному для N-го цикла.

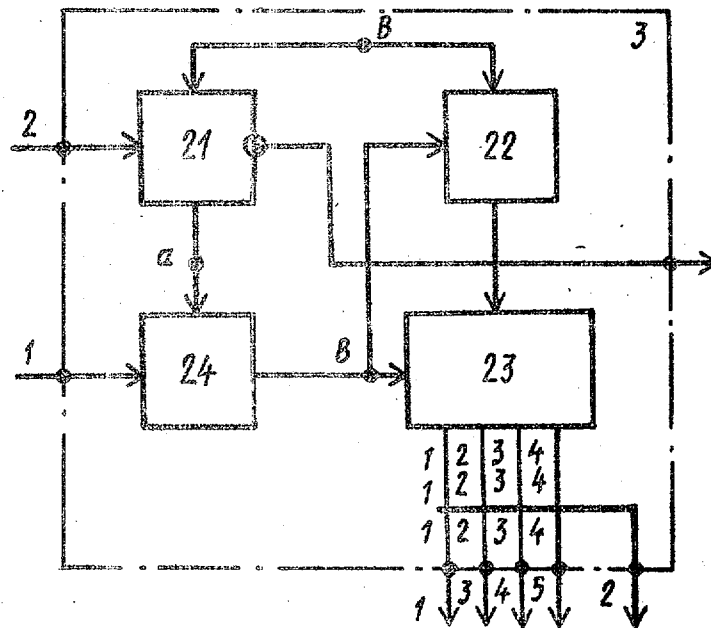
Ф о р м у л а и з о б р е т е н и я

Генератор случайного процесса, содержащий генератор импульсов, первый регистр, второй регистр, выход которого соединен с входом задания коэффициента деления делителя частоты, датчик равномерно распределенных слу-

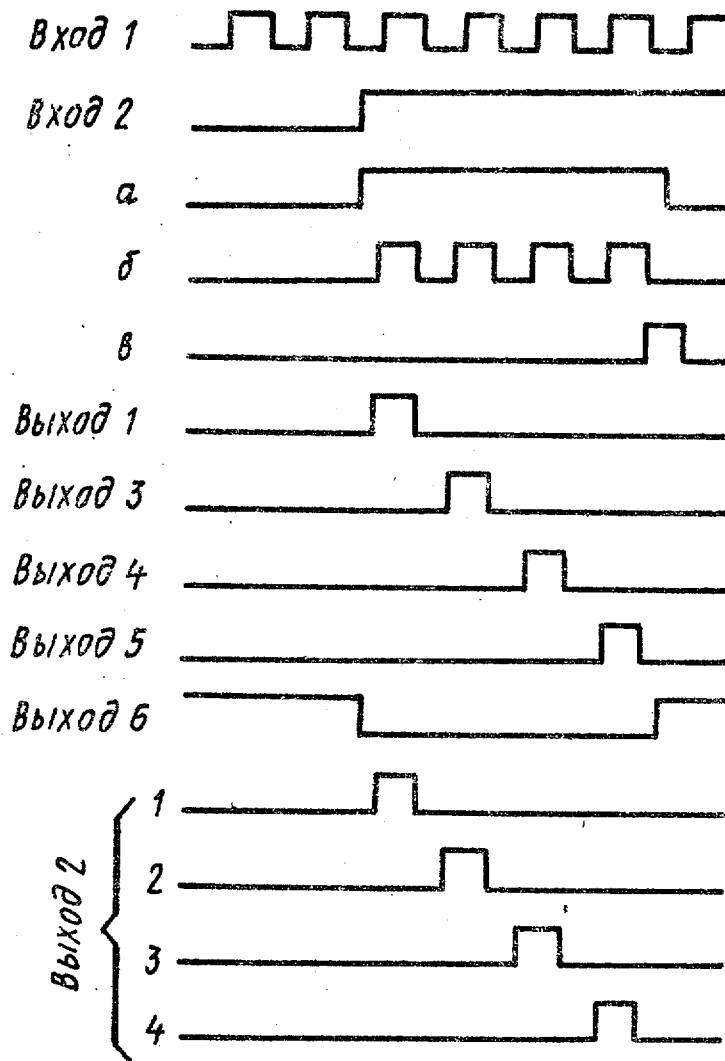
чайных чисел, первый и второй блоки памяти, первый и второй счетчики, третий регистр, первый преобразователь код-напряжение, отличающийся тем, что, с целью повышения точности, в него введены третий счетчик, три элемента И, четвертый регистр, второй преобразователь код-напряжение, блок сумматоров по модулю два, триггер, блок управления, первый выход которого соединен с первым входом первого элемента И, второй вход которого соединен с выходом генератора импульсов, подключен к входу запуска блока управления и соединен с входом "Опрос" датчика равномерно распределенных случайных чисел и первым входом второго элемента И, второй вход которого соединен с прямым выходом первого триггера и подключен к входу установки блока синхронизации, инверсный выход первого триггера соединен с третьим входом первого элемента И, выход которого соединен с информационным входом делителя частоты, выход которого соединен с входом первого счетчика, выход которого соединен с входом установки в "1" первого триггера, вход установки в "0" которого соединен с выходом третьего элемента И, входы которого соединены с соответствующими разрядными выходами второго счетчика, вычитающий вход которого соединен с входом обнуления третьего регистра и выходом второго элемента И, второй выход блока управления соединен с входом синхронизации второго регистра, информационный вход которого соединен с информационным входом четвертого и первого регистров и подключен к выходу первого блока памяти и входу предварительной установки третьего счетчика, выход которого соединен с адресным входом второго блока памяти, выход которого соединен с информационным входом третьего регистра, старший разрядный выход которого соединен с первым входом блока сумматоров по модулю два, второй вход которого соединен с младшими разрядными выходами третьего регистра, вход разрешения записи в младшие разряды которого соединен с входом синхронизации второго блока памяти, выходом делителя частоты и соединен со счетным входом третьего счетчика, вход занесения которого соединен с входом разрешения записи в стар-

шие разряды третьего регистра и третьим выходом блока управления, выходы блока сумматоров по модулю два соединены с младшими разрядными входами первого преобразователя код-напряжения, старший разрядный вход которого соединен со старшим разрядным выходом третьего регистра, выход первого преобразователя код-напряжения соединен с входом задания опорного напряжения второго преобразователя код-напряжения, выход которого является выходом генератора, четвертый выход блока управления соединен с входом синхронизации первого регистра, выход которого соединен с входом

предварительной установки второго счетчика; вход занесения которого соединен с выходом третьего элемента И, пятый выход блока управления соединен с входом синхронизации четвертого регистра, выход которого соединен с информационным входом второго преобразователя код-напряжения, первый разрядный выход датчика равномерно распределенных случайных чисел соединен с информационным старшим разрядным входом третьего регистра, а шестой выход блока синхронизации соединен с входом чтения первого блока памяти.



Фиг. 2



Фиг. 3

Редактор Н. Тулица Составитель И. Столяров Техред М. Ходанич Корректор Н. Король

Заказ 5647/48

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4