

Союз Советских  
Социалистических  
Республик



Государственный комитет  
Совета Министров СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 471567

(61) Зависимое от авт. свидетельства —

(22) Заявлено 10.07.72 (21) 1808172/18-10

с присоединением заявки № —

(32) Приоритет —

Опубликовано 25.05.75. Бюллетень № 19

Дата опубликования описания 27.08.75

(51) М. Кл. G 01s 9/12

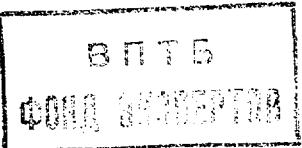
(53) УДК 531.761(088.8)

(72) Авторы  
изобретения

В. О. Чернышев и Я. Л. Мельцер

(71) Заявитель

Минский радиотехнический институт



## (54) АВТОМАТИЧЕСКИЙ ИЗМЕРИТЕЛЬ ВРЕМЕНИ ЗАДЕРЖКИ СТРОБИРУЕМЫХ ИМПУЛЬСНЫХ СИГНАЛОВ

1

Изобретение относится к измерителям времени задержки стробируемых следующих пачками импульсных сигналов и может найти применение в радиолокации, гидролокации и других областях техники.

Известно устройство автоматического обнаружения сигналов, следующих пачками, с использованием цифровых накопителей, включающее регистр сдвига, генератор масштабных импульсов временной дискретизации сигналов, схему совпадения и формирования импульсов, пороговое устройство, цифровые накопители и другие блоки.

Указанное устройство может применяться для измерения времени задержки отраженных от цели импульсов пачки по отношению к зондирующему импульсам, а также при измерении времени задержки предварительно стробируемых следующих пачками сигналов.

Однако такое устройство сложно по конструкции и громоздко.

Для упрощения устройства в него введены генератор стробирующих импульсов, схема совпадения, два цифровых интегратора с тернарным кодированием приращений и блок управления цифровыми интеграторами, причем выход генератора масштабных импульсов связан с у-ходом первого цифрового интегратора и с импульсным входом схемы совпадения, потенциальный вход которой соединен с выходом

2

генератора стробирующих импульсов, а выход — с одним из входов схемы совпадения и формирования импульсов, второй вход которой соединен с выходом порогового устройства, а выход связан с х-ходом первого цифрового интегратора, соединенного своим выходом с у-ходом второго интегратора. Благодаря этому процессы многоканального накопления и вычисления сигнала рассогласования происходят одновременно.

На фиг. 1 изображена схема предложенного устройства; на фиг. 2 — диаграммы напряжений, поясняющие работу блоков устройства.

Устройство (см. фиг. 1) содержит генератор 1 стробирующих импульсов; генератор 2 масштабных импульсов; схему 3 совпадения, потенциальный вход которой соединен с генератором 1, а импульсный вход — с генератором 2; пороговое устройство 4, соединенное с одним из входов схемы 5 совпадения и формирования импульсов, второй вход которой соединен с выходом схемы 3; два цифровых интегратора 6 и 7 с тернарным кодированием приращений и блок 8 управления цифровыми интеграторами.

Генератор 1 выдает стробы (см. фиг. 2б), селектирующие отраженные сигналы пачки по времени задержки. Момент запуска генератора 2 масштабных импульсов совпадает с моментом начала первого (или последующих)

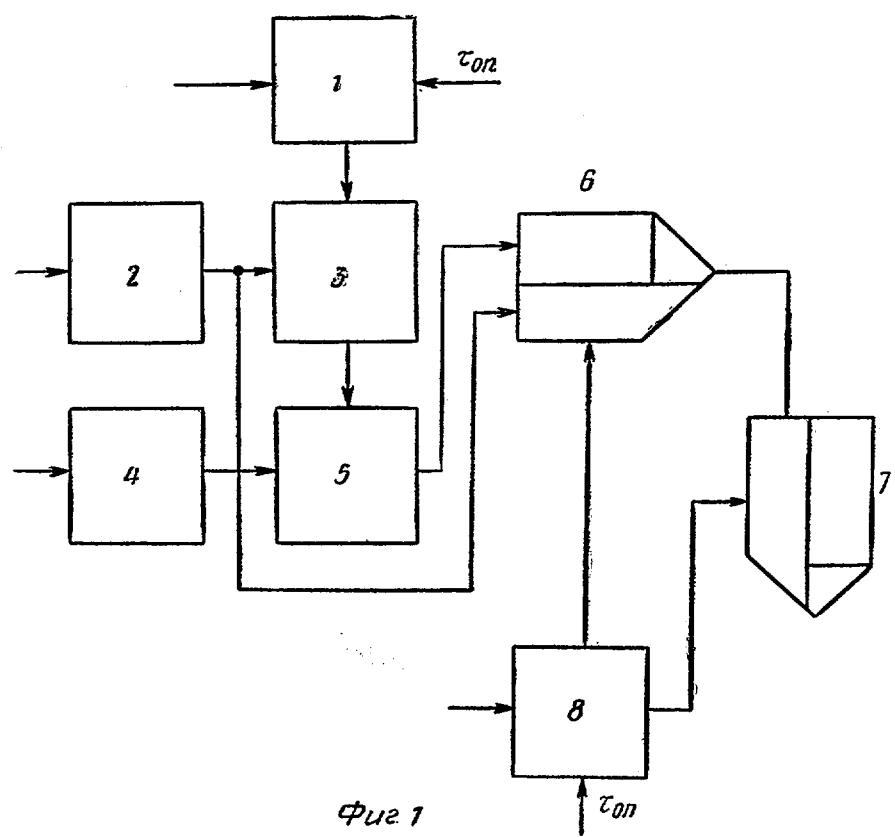
зондирующих импульсов пачки (см. фиг. 2в). Импульсы генератора 2, следующие с периодом  $\Delta t$  (см. фиг. 2в), поступают на импульсный вход схемы 3 совпадения, на второй вход которой подается напряжение стробов с генератора 1. Импульсы генератора 2 подаются также на у-вход цифрового интегратора 6, играя роль единичных приращений времени вида  $k\Delta t$ , где  $k$  — коэффициент пропорциональности. Отраженные сигналы пачки импульсов, представляющие смесь полезных сигналов и помех (см. фиг. 2д), поступают на вход порогового устройства 4. Сигналы, превысившие порог (см. фиг. 2д), подаются на вход схемы 5 совпадения и формирования импульсов, на второй вход которой поступают стробированные масштабные импульсы (см. фиг. 2г). Если в момент начала масштабного импульса напряжение отраженного сигнала превышает пороговый уровень, схема 5 генерирует единичный импульс стандартной амплитуды и длительности (см. фиг. 2е). Полученные таким образом стандартные импульсы поступают на х-вход цифрового интегратора 6, играя роль положительных единичных приращений независимой переменной интегратора. В у-регистр цифрового интегратора 6 предварительно записывается из блока 8 управления магнитный код числа  $k\tau_{\text{оп}}$ , где  $\tau_{\text{оп}}$  — опорное значение времени задержки, соответствующее положению центров стробирующих импульсов (см. фиг. 2б). Так как на у-вход интегратора 6 поступают приращения  $k\Delta t$  с генератора 2, в регистре интегратора 6 постоянно находится код опорного напряжения пилообразной формы  $k(i\Delta t - \tau_{\text{оп}})$  (см. фиг. 2ж). Стандартные импульсы, поступающие на х-вход интегратора 6, вызывают появление на выходе этого интегра-

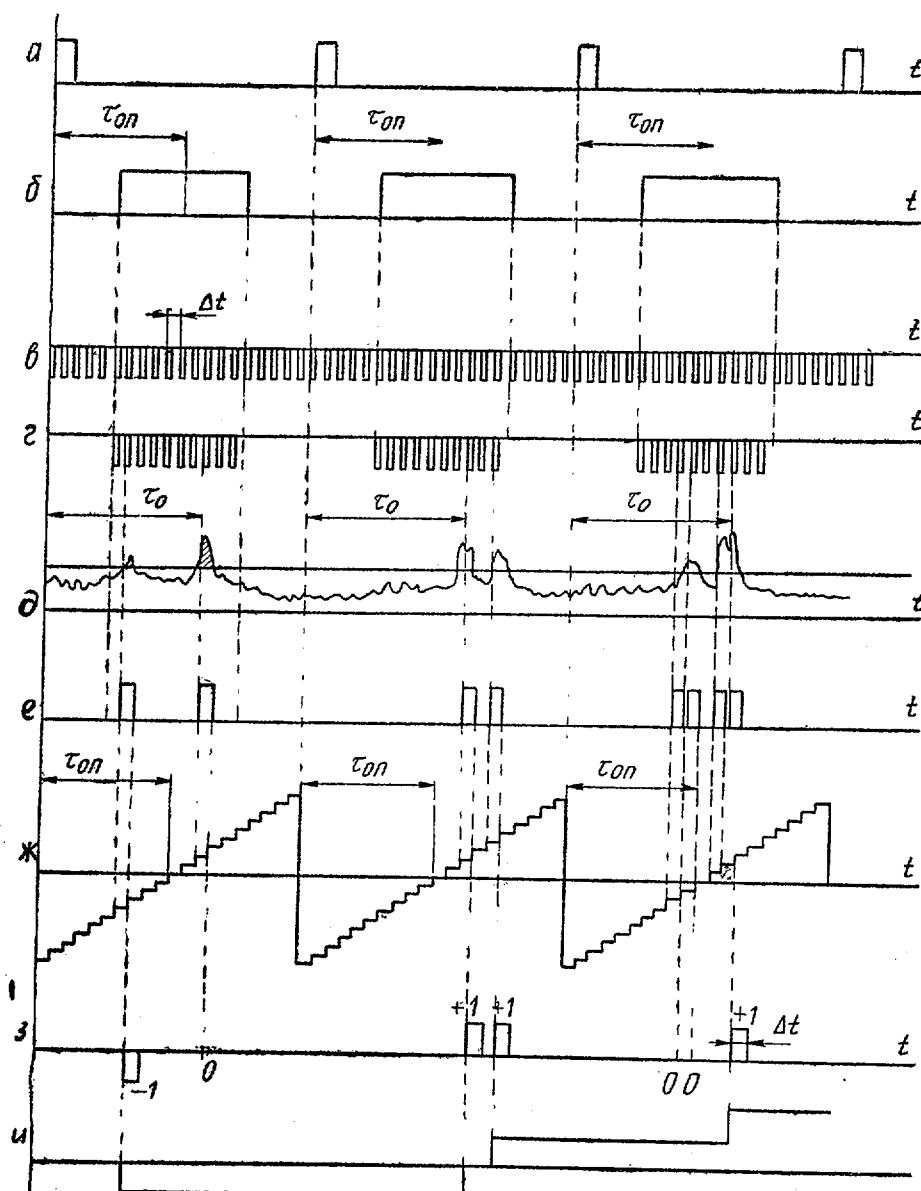
тора импульсов переполнения вида  $+1, 0, -1$  (см. фиг. 2з), которые подаются на у-вход интегратора 7, суммируются в у-регистре этого интегратора (см. фиг. 2и), образуя код, пропорциональный сигналу рассогласования  $\Delta\tau = \tau_0 - \tau_{\text{оп}}$ , где  $\tau_0$  — истинное значение времени задержки.

Введение устройства в режим слежения осуществляется замыканием дополнительно введенной в него цепи обратной связи, которая может быть реализована с использованием известных средств, например, на цифровых интеграторах.

#### Предмет изобретения

Автоматический измеритель времени задержки стробируемых импульсных сигналов, следующих пачками, при бинарном квантовании входных сигналов, содержащий генератор масштабных импульсов, пороговое устройство, схему совпадения и формирования импульсов, отличающийся тем, что, с целью упрощения устройства, в него введены генератор стробирующих импульсов, схема совпадения, два цифровых интегратора с тернарным кодированием приращений и блок управления цифровыми интеграторами, причем выход генератора масштабных импульсов связан с у-входом первого цифрового интегратора и с импульсным входом схемы совпадения, потенциальный вход которой соединен с выходом генератора стробирующих импульсов, а выход — с одним из входов схемы совпадения и формирования импульсов, второй вход которой соединен с выходом порогового устройства, а выход связан с х-входом первого цифрового интегратора, соединенного своим выходом с у-входом второго интегратора.





Фиг 2

Составитель В. Антипов

Редактор Т. Загребельная

Техред М. Семенов

Корректор Н. Аук

Заказ 2004/17

Изд. № 723  
ЦНИИПИ Государственного комитета Совета Министров СССРпо делам изобретений и открытий  
Москва, Ж-35, Раушская наб., д. 4/5

Тираж 619

Подписьное