

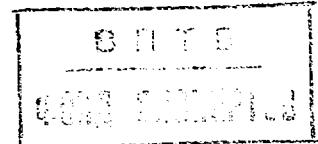


Государственный комитет  
Совета Министров СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 511715



(61) Дополнительное к авт. свид-ву -

(22) Заявлено 28.01.74 (21) 1993035/09

с присоединением заявки № -

(23) Приоритет -

(43) Опубликовано 25.04.76 Бюллетень № 15

(45) Дата опубликования описания 29.09.76

(51) М. Кл.<sup>2</sup> Н 04L 7/02  
Н 04J 3/06

(53) УДК 681.327.8  
(088.8)

(72) Авторы изобретения Н. П. Жаровин, В. Г. Солоненко, Б. П. Новиков, С. А. Ганкевич и В. П. Герасимович

(71) Заявитель Минский радиотехнический институт

### (54) УСТРОЙСТВО ДЛЯ СИНХРОНИЗАЦИИ СИГНАЛОВ

1

Изобретение относится к телеграфной связи, а именно к устройствам, предназначенным для синхронизации сигналов. Известно устройство для синхронизации сигналов в многоадресных системах связи с временным разделением каналов, содержащее последовательно соединенные блок для выделения сигналов синхронизации, фазовый дискриминатор, реверсивный счетчик, управитель с генератором и управляемый делитель, выходы которого подключены к второму входу фазового дискриминатора.

Однако известное устройство характеризуется значительным временем, затрачиваемым на фазирование.

Целью изобретения является ускорение фазирования по сигналам различных каналов.

Для этого в устройство введены кольцевой регистр, блок для перезаписи кода, формирователь импульсов перезаписи и продвижения и делитель, причем выходы и установочные входы каждого разряда управляемого делителя через блок для перезаписи кода соединены с установочными входами и выходами соответствующих разрядов коль-

2

цевого регистра, а управляющие входы блока для перезаписи кода и шина продвигающих импульсов кольцевого регистра соединены с соответствующими выходами формирователя импульсов перезаписи и продвижения, подключенного к выходу генератора через делитель.

На чертеже приведена структурная электрическая схема устройства.

Устройство для синхронизации сигналов, содержит блок 1 для выделения сигналов синхронизации, фазовый дискриминатор 2, реверсивный счетчик 3, генератор 4, управитель 5, управляемый делитель 6, кольцевой регистр 7, блок 8 для перезаписи кода, формирователь 9 импульсов перезаписи и продвижения и делитель 10.

Компоненты 1, 2, 3, 4, 5, 6 устройства образуют известный тактовый синхронизатор. Выходы и установочные входы каждого разряда управляемого делителя 6 через блок 8 соединены с установочными входами и выходами соответствующих разрядов кольцевого регистра 7. Входы, предназначенные для управления режимом перезаписи кода

и шина продвигающих импульсов кольцевого регистра 7 соединены с соответствующими выходами формирователя 9, один из входов подключен через делитель к выходу генератора 4, а второй - к блоку канальной синхронизации (не приведен).

Устройство работает следующим образом.

В устройстве происходит запоминание фазы опорного сигнала управляемого делителя 6 в конце каждого временного канала и восстановление ее в начале этого же канала через цикл работы.

Пусть за время приема информации от одного из абонентов в соответствующем временном канале устранилось рассогласование между опорным и входным сигналами. При этом между эталонным сигналом на выходе делителя 10 и опорным на выходе управляемого делителя 6 устанавливается определенный фазовый сдвиг. Этому фазовому сдвигу соответствует определенный код управляемого делителя 6 в моменты появления импульсов на выходе делителя 10. Этот код в конце канального интервала заносится в кольцевой регистр 7 импульсом записи кода, вырабатываемым формирователем 9 и привязанным по фазе к эталонному сигналу, поступающему с выхода делителя 10.

Установка фазы опорного сигнала в начале временного канала производится в обратном порядке импульсов, устанавливающим код в управляемом делителе 6. Этот импульс также совпадает по фазе с эталонным сигналом.

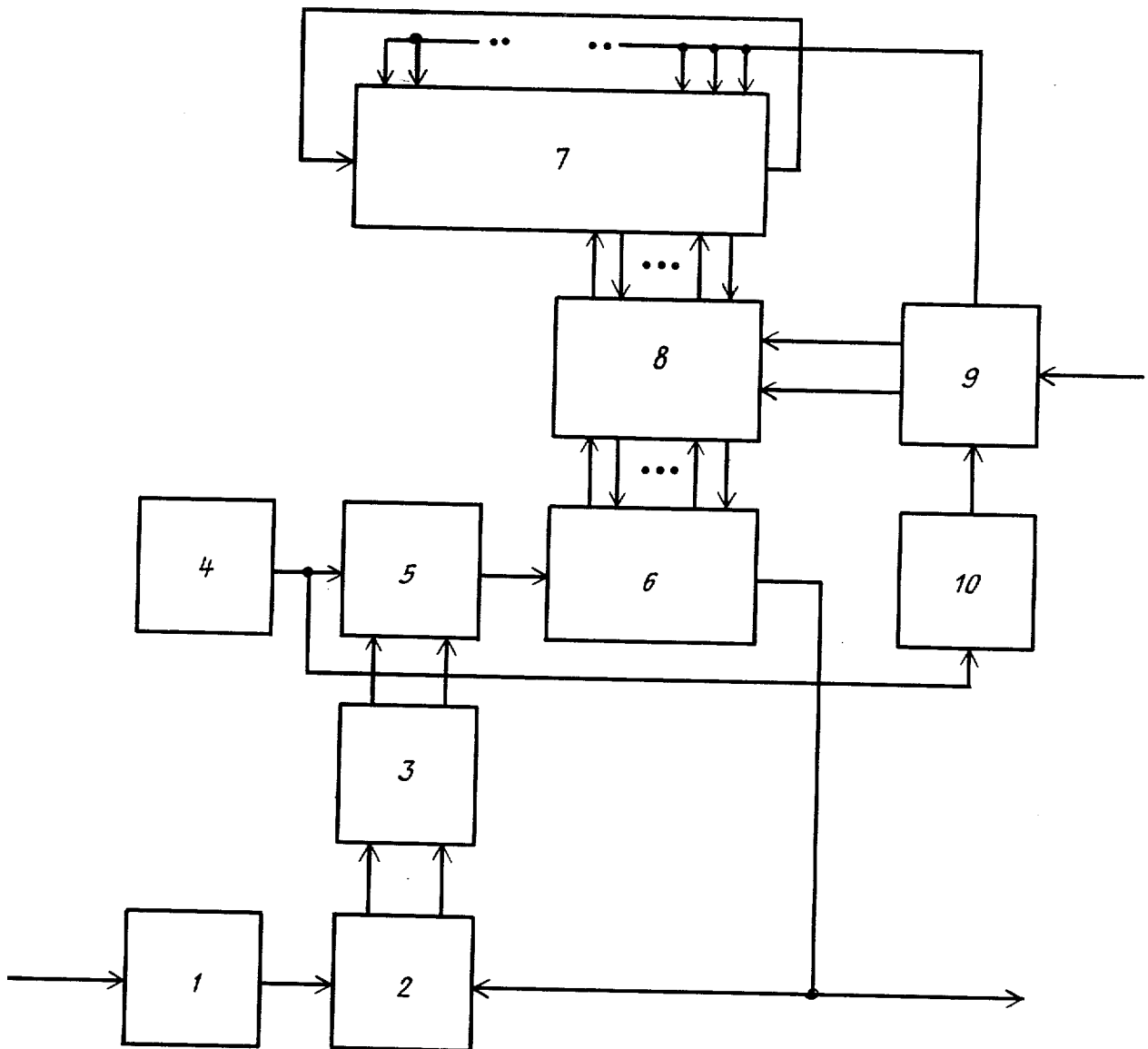
Продвижение кода в кольцевом регистре 7 производится пачкой импульсов, следую-

щей в промежутке времени между записываемым импульсом и импульсом, устанавливающим код.

Число импульсов в пачке равно числу элементов кода. Выбор длины кольцевого регистра 7 производят с учетом количества каналов и требуемой точности запоминающей фазы.

#### Ф о р м у л а   и з о б р е т е н и я

Устройство для синхронизации сигналов в многоадресных связанных системах с временным разделением каналов, содержащее последовательно соединенные блок для выделения сигналов синхронизации, фазовый дискриминатор, реверсивный счетчик, управитель с генератором и управляемый делитель, выходы которого подключены к второму входу фазового дискриминатора, отличающееся тем, что, с целью ускорения фазирования по сигналам различных каналов, в него введены кольцевой регистр, блок для перезаписи кода, формирователь импульсов перезаписи и продвижения и делитель, причем выходы и установочные входы каждого разряда управляемого делителя через блок для перезаписи кода соединены с установочными входами и выходами соответствующих разрядов кольцевого регистра, а управляющие входы блока для перезаписи кода и шина продвигающих импульсов кольцевого регистра соединены с соответствующими выходами формирователя импульсов перезаписи и продвижения, подключенного к выходу генератора через делитель.



Составитель Н.Герасимова

Редактор А.Зиньковский Техред А.Камышникова Корректор Е.Рожкова

Заказ 6/48

Изд. № 1352

Тираж 864

Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР  
по делам изобретений и открытий  
Москва, 113035, Раушская наб., 4

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4