



Государственный комитет  
Совета Министров СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 546102

- (61) Дополнительное к авт. свид-ву -  
(22) Заявлено 14.08.75 (21) 2165353/21  
с присоединением заявки № -  
(23) Приоритет -  
(43) Опубликовано 05.02.77. Бюллетень № 5  
(45) Дата опубликования описания 04.04.77

(51) М. Кл.<sup>2</sup>  
Н 03 К 13/20

(53) УДК 681.325  
(088,8)

(72) Авторы  
изобретения

А. Н. Морозевич, В. Н. Мухаметов,  
В. М. Цуриков и В. Н. Ярмолик

(71) Заявитель

Минский радиотехнический институт

### (54) ПРЕОБРАЗОВАТЕЛЬ ПЕРИОД-ЧАСТОТА

1

Устройство относится к вычислительной и измерительной технике, может быть использовано в качестве блока управления специализированных устройств, занятых обработкой аналоговых сигналов, а также в качестве измерительного прибора, позволяющего измерять период входных сигналов и вырабатывать последовательность импульсов с частотой следования, обратно пропорциональной периоду входного сигнала.

Известен преобразователь период-частота [1], содержащий генератор эталонной частоты, формирующее устройство, блок управления, управляемые вентили, делители частоты, регистр и схему переноса.

Наиболее близок к предлагаемому преобразователь период-частота [2], содержащий последовательно включенные входной блок, первый элемент И, первый и второй счетчики, дешифратор, первый блок элементов И, вторые входы которого подключены к выходам делителя, а выходы - ко входам первого элемента ИЛИ, выход которого подключен ко второму входу первого элемента И.

2

Это устройство обладает ограниченными функциональными возможностями.

Цель изобретения - расширение функциональных возможностей устройства: получение возможности формировать последовательности импульсов с частотой следования, обратно пропорциональной периоду входного сигнала с постоянной относительной погрешностью.

Поставленная цель достигается тем, что в преобразователь, содержащий последовательно включенные входной блок, первый элемент И, первый и второй счетчики, дешифратор, первый блок элементов И, вторые входы которого подключены к выходам делителя, а выходы - ко входам первого элемента ИЛИ, выход которого подключен ко второму входу первого элемента И, введены второй и третий элементы И, второй блок элементов И и второй элемент ИЛИ, причем второй выход второго блока подключен к первому входу второго элемента И, второй вход которого подключен к выходу первого элемента ИЛИ, а выход является выходом устройства и подключен к нулевым входам стар-

ших триггеров делителя, установочные входы младших триггеров которого подключены к выходам второго блока элементов И, информационные входы которого подключены к выходам первого счетчика, а управляющий вход - к выходу второго элемента ИЛИ, первый вход которого подключен к третьему выходу входного блока, второй выход которого подключен к первому входу третьего элемента И, выход которого подключен ко второму входу второго элемента ИЛИ, а второй вход - к выходу триггера делителя, номер которого равен номеру старшего триггера в первом счетчике.

На фиг. 1 представлена структурная схема преобразователя период-частота; на фиг. 2 - временная диаграмма основных сигналов.

Устройство содержит последовательно включенные входной блок 1, первый элемент И 2, первый счетчик 3, второй счетчик 4, дешифратор 5, первый блок элементов И 6, вторые входы которого подключены к выходам делителя опорной частоты 7, а выходы - ко входам первого элемента ИЛИ 8, выход которого подключен ко второму входу первого элемента И 2. Второй выход входного блока 1 подключен к первому входу второго элемента И 9, второй вход которого подключен к выходу первого элемента ИЛИ 8, а выход, являющийся выходом устройства, подключен к нулевым входам старших триггеров делителя 7, установочные входы младших триггеров которого подключены к выходам элемента И 10. Информационные входы последнего подключены к выходам первого счетчика 3, а управляющий вход - к выходу второго элемента ИЛИ 11, первый вход которого подключен к третьему выходу входного блока 1. Второй выход блока 1 подключен к первому входу третьего элемента И 12, выход которого подключен ко второму входу второго элемента ИЛИ 11, а второй вход элемента И 12 - к выходу триггера делителя 7, номер которого равен номеру старшего триггера в первом счетчике.

Устройство работает следующим образом. В исходном состоянии счетчики 3, 4 находятся в нулевом положении, а на выходах входного блока 1 - запрещающие потенциалы. По сигналу "Пуск" (связи управления не показаны) на вход делителя 7 поступают импульсы опорной частоты  $f_0$ . С выходов триггеров делителя 7 на вторые входы первого блока элементов И 6 поступают импульсы частот

$$f_0/2, f_0/4, f_0/8 \dots$$

При первом после сигнала "Пуск" переходе значения входного сигнала через нуль из отрицательных значений в положительные на первом выходе входного блока 1 (точка "с") появляется разрешающий потенциал, открывающий первый элемент И 2 по первому входу. В первый момент времени после сигнала "Пуск" код во втором счетчике 4 нулевой. Дешифратор 5 подает разрешающий потенциал на первый вход первого (младшего) элемента И из блока 6, а на остальные элементы И этого блока - запрещающие потенциалы. Поэтому на первые элементы ИЛИ 8 поступает самая высокая частота  $f_0/2$  из набора выходных частот делителя 7 опорной частоты  $f_0$ . Импульсы с первого элемента ИЛИ 8 (точка "е") через открытый первый элемент И 2 поступают на первый счетчик 3. Когда на его вход поступает  $N$  импульсов с частотой  $f_0/2$  ( $N$  выбирают из условия достижения необходимой точности измерения периода в каждом поддиапазоне), он переполняется. При переполнении счетчика 3 во второй счетчик 4 заносится "+1", а в счетчик 3 при этом заносится код, равный половине его емкости. Последнее необходимо для учета части измеряемого периода, равной  $N \cdot 2/f_0$ . При коде 00...01 во втором счетчике 4 на первом входе первого (младшего) и во всех кроме второго элемента И из блока 6 появляется запрещающий потенциал, а на первом входе второго элемента И из блока 6 - разрешающий потенциал. Таким образом, на вход первого счетчика 3 теперь поступают импульсы, частота следования которых вдвое меньше предыдущей частоты, т.е.  $f_0/4$ . При каждом очередном переполнении первого счетчика 3 код во втором счетчике 4 увеличивается на единицу, а в первый счетчик 3 заносится код, равный половине его емкости  $N^*$  (при  $N^* = 2^{n^*}$  в старший разряд заносится единица), и частота импульсов, идущих на вход первого счетчика 3, уменьшается в два раза. Так происходит до момента вторичного перехода входного сигнала через нуль из отрицательных значений в положительные, т.е. до окончания периода  $T_x$  измеряемого сигнала. При этом на первом выходе выходного блока появляется запрещающий потенциал, закрывающий первый элемент И 2. На этом заканчивается цикл измерения, в результате которого в счетчиках 3 и 4 формируется код, пропорциональный периоду  $T_x$  входного сигнала. Код во втором счетчике 4 показывает, в каком поддиапазоне лежит период  $T_x$ , а код в первом счетчике 3 определяет  $T_x$  внутри поддиапазона. В этот же момент вре-

мени на третьем выходе блока 1 (точка "b") формируется управляющий сигнал, который через второй элемент ИЛИ 11 поступает на управляющий вход блока элемента И 10. Первые входы блока элемента И 10 подклю- 5 чены к соответствующим входам триггеров первого счетчика 3. Таким образом дополнительный код, который содержится в счетчике 3, записывается в  $n^*$  младших разрядов делителя 7. На втором выходе блока 1 (точка "c") в это же время появля- 10 ется разрешающий потенциал, открывающий второй элемент И 9 и третий элемент И 12 по первым входам, причем каждый импульс с выхода второго элемента И 9 ус- 15 танавливает старшие разряды делителя 7 в нулевое состояние, а каждый сигнал с выхода  $n^*$ -ного триггера делителя 7 переписывает в  $n^*$  младших разрядов делителя 7 дополнительный код счетчика 3. 20

Коэффициент пересчета  $n^*$  младших триггеров делителя 7 с учетом записанного в них дополнительного кода из счетчика 3 пропорционален содержимому счетчика 3, которое в свою очередь пропорционально 25 величине периода  $T_x$  входного сигнала. Возбужденный выход дешифратора 5 однозначно определяет частный поддиапазон формируемой на выходе устройства импульсной последовательности (грубая шкала). Коэф- 30 фициент пересчета  $n^*$  младших триггеров делителя 7 определяет требуемую частоту следования импульсов внутри поддиапазона (точная шкала).

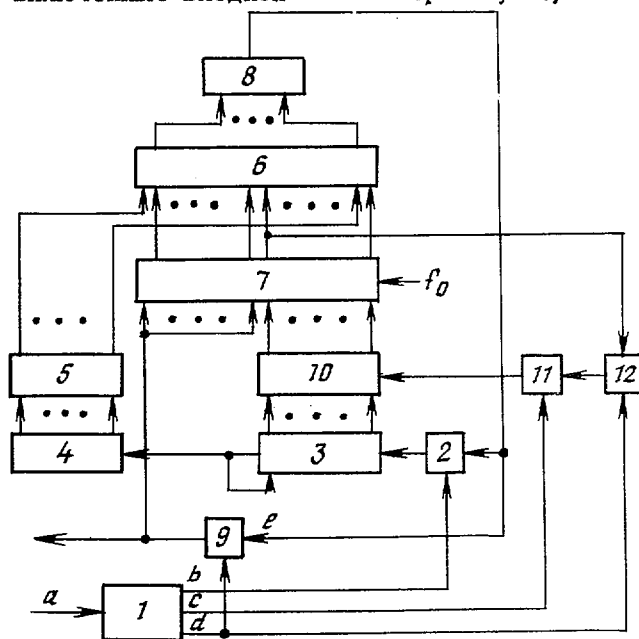
#### Ф о р м у л а и з о б р е т е н и я

Преобразователь период-частота, содержащий последовательно включенные входной

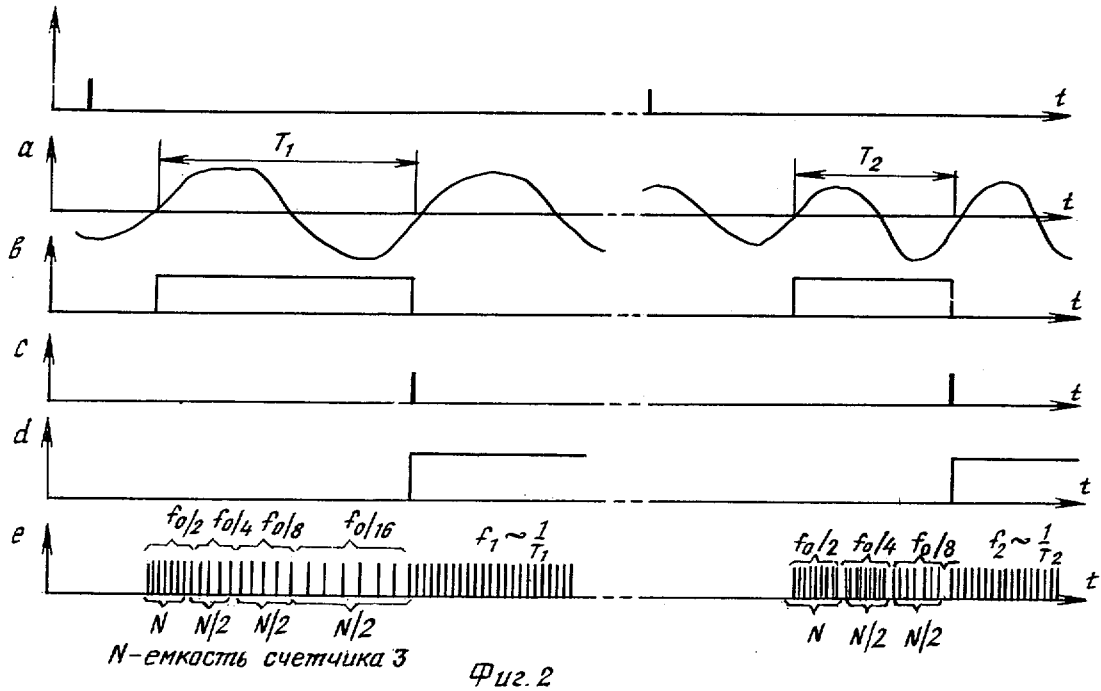
блок, первый элемент И, первый и второй счетчики, дешифратор, первый блок элементов И, вторые входы которого подключены к выходам делителя, а выходы - ко входам 5 первого элемента ИЛИ, выход которого подключен ко второму входу первого элемента И, отличающийся тем, что, с целью расширения функциональных возможностей, в него дополнительно введены второй и 10 третий элементы И, второй блок элементов И и второй элемент ИЛИ, причем второй выход входного блока подключен к первому входу второго элемента И, второй вход которого подключен к выходу первого элемента ИЛИ, а выход является выходом устройства и 15 подключен к нулевым входам старших триггеров делителя, установочные входы младших триггеров которого подключены к выходам второго блока элементов И, информационные входы которого подключены к выходам первого счетчика, а управляющий вход - к 20 выходу второго элемента ИЛИ, первый вход которого подключен к третьему выходу входного блока, второй выход которого подключен к первому входу третьего элемента И, выход которого подключен ко второму входу второго элемента ИЛИ, а второй вход - к выходу триггера делителя, номер которого равен номеру старшего триггера в первом счетчике. 30

Источники информации, принятые во внимание при экспертизе:

1. Смеляков В.В. Цифровая измерительная аппаратура инфранизких частот. "Энергия", М., 1975, с. 37, рис. 2-1.
2. Ермолов Р.С. Цифровые частотомеры. "Энергия", Л., 1973, с. 46, рис. 2-9.



Фиг. 1



Составитель А. Кудряшов  
 Редактор Б. Федотов Техред О. Луговая Корректор В. Салка  
 Заказ 233/2 Тираж 1049 Подписное  
 ЦНИИПИ Государственного комитета Совета Министров СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5  
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4