



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 769540

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 25.01.78 (21) 2573633/18-24

с присоединением заявки —

(23) Приоритет —

(43) Опубликовано 07.10.80. Бюллетень № 37

(45) Дата опубликования описания 21.11.80

(51) М.Кл.³ G 06 F 7/52

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

Б. Г. Лыиков и А. А. Шостак

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ

1

Изобретение относится к области вычислительной техники и может быть использовано при разработке быстродействующих устройств для умножения чисел в любой позиционной системе счисления, удобных для изготовления в составе больших интегральных схем.

Известно устройство для умножения чисел, содержащее n -разрядные регистры множимого и множителя, сумматор частичных произведений, цепи сдвига на один разряд в регистре множителя и в сумматоре частичных произведений, блок управления, выходы которого соединены с управляющими входами сумматора частичных произведений, регистров множимого и множителя [1].

Недостатком такого устройства является его низкое быстродействие, так как в каждом такте работы устройства обрабатывается только одна двоичная цифра (разряд) множителя.

Наиболее близким является устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор, комбинационный сумматор и n -одноразрядных умножителей (n — число разрядов множимого), причем первые входы одноразрядных умножителей соединены с выходами соответствующих разрядов ре-

2

гистра множимого, а вторые входы — с выходом первого разряда регистра множителя, управляющие входы сдвига регистра множителя и накапливающего сумматора соединены с первым и вторым управляющими входами устройства, управляющие входы одноразрядных умножителей соединены с третьим управляющим входом устройства, входы каждого разряда комбинационного сумматора подключены к выходу старшего разряда соответствующего одноразрядного умножителя и к выходу младшего разряда последующего одноразрядного умножителя, выходы комбинационного сумматора и младшего разряда первого одноразрядного умножителя подключены ко входам накапливающего сумматора [2].

20 Это устройство предназначено для перемножения операндов в произвольной системе счисления с основанием $N > 2$. В частности, интересен случай использования b -ичнокодированной системы счисления с основанием $N = b^k$ (когда b -ичные разряды группируются по k), при использовании которой имеется возможность повысить быстродействие устройства примерно в k раз по сравнению со случаем использования b -ичной системы счисления.

30

Недостатком этого устройства является недостаточное быстродействие, связанное с использованием многоразрядного комбинационного сумматора с распространением переноса.

Целью изобретения является повышение быстродействия.

Для достижения поставленной цели устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор и n одноразрядных умножителей (n — число разрядов множимого), причем первые входы одноразрядных умножителей соединены с выходами соответствующих разрядов регистра множимого, а вторые входы — с выходом первого разряда регистра множителя, управляющие входы сдвига регистра множителя и накапливающего сумматора соединены с первым и вторым управляющими входами устройства соответственно, содержит n двухразрядных сумматоров и n буферных регистров, входы которых соединены с выходами старших разрядов соответствующих двухразрядных сумматоров, входы младшего разряда каждого из которых подключены к выходу соответствующего буферного регистра и выходу младшего разряда соответствующего одноразрядного умножителя, выход старшего разряда которого подключен ко входу старшего разряда двухразрядного сумматора, выход младшего разряда которого подключен ко входу соответствующего разряда накапливающего сумматора, управляющие входы переадресации буферных регистров соединены с третьим управляющим входом устройства.

Кроме того, совокупность каждого из n одноразрядных умножителей и двухразрядных сумматоров выполнена в виде постоянного запоминающего блока, первый, второй

и третий адресные входы которого соединены с выходами соответствующего разряда регистра множимого, первого разряда регистра множителя и буферного регистра соответственно, а первый и второй выходы подключены ко входам соответствующего разряда накапливающего сумматора и соответствующего буферного регистра.

На фиг. 1 представлена структурная схема устройства для умножения; на фиг. 2 — структурная схема устройства при использовании в нем постоянных запоминающих блоков.

Устройство содержит регистры 1 и 2 множимого и множителя, накапливающий сумматор 3, одноразрядные умножители 4, двухразрядные сумматоры 5, буферные регистры 6, управляющие входы устройства 7, выход 8 первого разряда регистра множителя 2, выходы 9 разрядов регистра множимого 1. Совокупность каждого одноразрядного умножителя 4 и соответствующего двухразрядного сумматора 5 может быть представлена в виде постоянного запоминающего блока 10.

Ниже приведены некоторые фрагменты таблицы истинности для постоянного запоминающего блока 10, причем для определенности принято, что $k = 4$, а используемая система счисления — двоичная. В таблице разряды множимого, поступающего по шине 9, обозначены как m_4, m_3, m_2, m_1 , разряды множителя, поступающие по шине 8, обозначены n_4, n_3, n_2, n_1 , разряды слагаемого, поступающие с выхода буферного регистра 6, как C_4, C_3, C_2, C_1 , и разряды результата, сформированные на выходах постоянного запоминающего блока 10, через $P_8, P_7, P_6, P_5, P_4, P_3, P_2, P_1$ (возрастание индексов при буквенных обозначениях принято в направлении старших разрядов).

| m_4 | m_3 | m_2 | m_1 | n_4 | n_3 | n_2 | n_1 | C_4 | C_3 | C_2 | C_1 | $P_8, P_7, P_6, P_5, P_4, P_3, P_2, P_1$ |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|--|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 0 0 0 0 0 0 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 0 0 0 0 0 0 1 |
| 0 | 0 | 0 | 0 | 0 | 9 | 0 | 0 | 0 | 0 | 1 | 0 | 0 0 0 0 0 0 0 1 |
| . | . | . | . | . | . | . | . | . | . | . | . | . |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 0 0 0 1 1 1 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 0 0 1 0 0 0 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 0 0 1 0 0 0 1 |
| . | . | . | . | . | . | . | . | . | . | . | . | . |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 1 1 0 0 0 0 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 1 1 0 1 1 1 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 1 1 1 0 0 0 0 |

Фактически блок 10 реализует умножение двух разрядов операндов с прибавлением к младшим разрядам результата значения, запомненного в буферном регист-

ре 6, т. е. реализует тот же результат, что и совокупность одноразрядного умножителя 4 и двухразрядного сумматора 5, используя входы операндов как адресные.

Работа устройства рассмотрена для случая использования блоков 10 (при использовании одноразрядных умножителей 4 и двухразрядных сумматоров 5 она аналогична).

В исходном состоянии в регистре 1 множимого хранится прямой — разрядный код множимого без знака, в регистре 2 множителя — прямой n -разрядный код множителя без знака, сумматор 3 и буферные регистры 6 обнулены. Для определенности примем, что система счисления двоично-кодированная шестнадцатиричная ($N=b^k$, где $b=2$, $k=4$), а число разрядов $n=2$. Пусть множимое $M=,1010.1111$; множитель $N=,1001.0101$; тогда произведение $P=M \times N=,0110.0101.1101,1011 \approx ,0110.0101$. Предположим, что к началу первого такта на выходах постоянных запоминающих блоков 10 сформированы соответствующие результаты $A=,1010 \times ,0101 + ,00000000 = ,0011.0010$; $B=,1111 \times ,0101 + ,00000000 = ,0100.1011$. Тогда вычислительный процесс в устройстве может быть организован следующим образом.

1-й такт. Производится прием информации с выходов младших разрядов постоянных запоминающих блоков 10 в сумматор 3 частичных произведений, после чего осуществляется однотактный сдвиг на четыре двоичных разряда информации в сторону его младших разрядов. В итоге содержимое сумматора 3 равно $P=0,0000.0010$.

Одновременно с этим был осуществлен прием информации с выходов старших разрядов постоянных запоминающих блоков 10 в буферные регистры 6, произведен однотактный сдвиг на 4 двоичных разряда в регистре 2 множителя в сторону его младших разрядов. После этого с помощью постоянных запоминающих блоков 10 были сформированы результаты

$$A = ,1010 \times ,1001 + ,0000.0011 = ,0101.1101;$$

$$B = ,1111 \times ,1001 + ,0000.0100 = ,1000.1011.$$

Во всех последующих тактах, за исключением последнего корректирующего такта, последовательность действий аналогична первому такту.

2-й такт.

$$P = 0,0000.1101;$$

$$A = ,1010 \times ,0000 + ,0000.0101 = ,0000.0101;$$

$$B = ,1111 \times ,0000 + ,0000,1000 = ,0000.1000.$$

3-й такт (такт коррекции результата).

$$P = 0,0110.0101.$$

В такте коррекции результата после приема информации в сумматор 3 с выходов младших разрядов постоянных запоминающих блоков 10 сдвиг информации в сумматоре 3 не производится.

На этом процесс умножения заканчивается, окончательный результат сформирован

в младших разрядах сумматора (дополнительный разряд сумматора 3 введен с целью устранения искажения информации в случаях временного переполнения разрядной сетки).

Данное устройство применимо для умножения операндов в произвольной системе исчисления с основанием $N > 2$.

Быстродействие устройства повышено за счет того, что отсутствует многоразрядный комбинационный сумматор с распространенным переносом. Кроме того, устройство удобно для изготовления в составе БИС, так как может быть построено в виде совокупности малоразрядных операционных модулей.

Формула изобретения

1. Устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор и n одноразрядных умножителей (n число разрядов множимого), причем первые входы одноразрядных умножителей соединены с выходами соответствующих разрядов регистра множимого, а вторые входы — с выходом первого разряда регистра множителя, управляющие входы сдвига регистра множителя и накапливающего сумматора соединены с первым и вторым управляющими входами устройства соответственно, отличающееся тем, что, с целью повышения быстродействия, устройство содержит n двухразрядных сумматоров и n буферных регистров, входы которых соединены с выходами старших разрядов соответствующих двухразрядных сумматоров, входы младшего разряда каждого из которых подключены к выходу соответствующего буферного регистра и выходу младшего разряда соответствующего одноразрядного умножителя, выход старшего разряда которого подключен ко входу старшего разряда двухразрядного сумматора, выход младшего разряда которого подключен ко входу соответствующего разряда накапливающего сумматора, управляющие входы перезаписи буферных регистров соединены с третьим управляющим входом устройства.

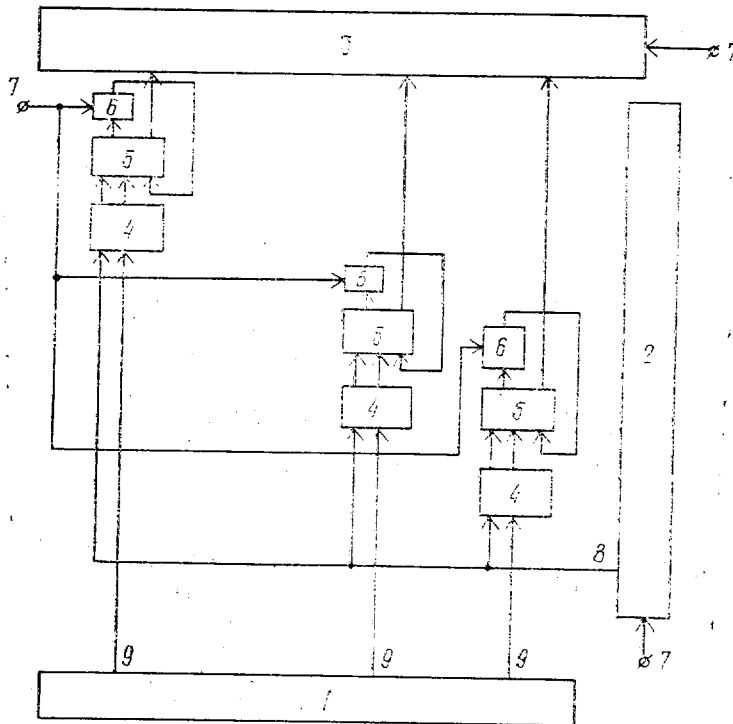
2. Устройство по п. 1, отличающееся тем, что совокупность каждого из n одноразрядных умножителей и двухразрядных сумматоров выполнена в виде постоянного запоминающего блока, первый, второй и третий адресные входы которого соединены с выходами соответствующего разряда регистра множимого, первого разряда регистра множителя и буферного регистра соответственно, а первый и второй выходы подключены ко входам соответствующего раз-

ряда накапливающего сумматора и соответствующего буферного регистра соответственно.

Источники информации, принятые во внимание при экспертизе:

1. Майоров С. А. и др. Принципы организации цифровых машин. Л., «Машиностроение», 1974, с. 297.

2. Авторское свидетельство по заявке № 1412260/18-24, кл. G 06 F 7/39, 1971 (прототип).



Фиг. 1

