



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 773618

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 29.01.79(21)2723809/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.10.80. Бюллетень № 39

Дата опубликования описания 26.10.80

(51) М. Кл.³

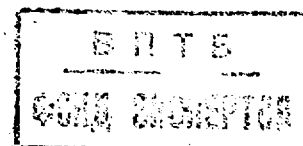
G 06 F 7/39

(53) УДК 681.325

(088.8)

(72) Автор
изобретения

А. А. Шостак



(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ

1

Изобретение относится к вычислительной технике и может быть применено в быстродействующих арифметических устройствах для выполнения операции деления чисел.

Известно устройство для деления чисел, содержащее регистры делимого, делителя и частного, сумматор и блок управления [1].

Недостаток известного устройства - низкое быстродействие, вызванное формированием в каждом цикле одной цифры частного.

Известно устройство для деления чисел, формирующее в каждом цикле к цифр частного и содержащее регистры делимого, делителя и частного, блок умножения, вычитатель, шифратор к цифр частного, регистр адреса, блок памяти, регистры верхнего и нижнего значений к цифр частного, группы элементов И [2].

Недостаток устройства - низкое быстродействие, вызванное многотактностью цикла формирования к цифр частного (ми-

2

нимальное число тактов в цикле равно двум, максимальное - $(k+1)$).

Наиболее близкое по техническому решению к предлагаемому является устройство для деления чисел, содержащее вычитатели, регистры делимого и делителя, сдвиговый регистр частного, блок формирования кратных делителя, коммутатор и шифратор цифр частного, причем выходы регистра делимого соединены со входами уменьшаемого первого, второго и третьего вычитателей, входы вычитаемого которых соединены с выходами блока формирования кратных делителя, выходы вычитателей соединены с информационными входами коммутатора, выход которого соединен цепью сдвига в сторону старших разрядов со входом регистра делимого, выходы знаковых разрядов вычитателей соединены с управляющими входами коммутатора и входами шифратора цифр частного, выход которого соединен со входами младших разрядов регистра частного [3].

Недостаток устройства – большой объем используемого оборудования.

Цель изобретения – сокращение аппаратных затрат за счет исключения из известного устройства той части оборудования, которая используется для формирования сложных кратных делителя.

Поставленная цель достигается тем, что в устройстве, содержащем вычитатели, регистры делимого и делителя, сдвиговой регистр частного, коммутатор и шифратор цифр частного, причем выходы регистра делимого соединены со входами уменьшаемого первого, второго и третьего вычитателей, выходы вычитателей соединены с информационными входами коммутатора, выходы которого соединены с входами регистра делимого, выходы знаковых разрядов вычитателей соединены с управляющими входами коммутатора и входами шифратора цифр частного, выходы которого соединены со входами младших разрядов сдвигового регистра частного, выходы регистра делителя соединены со входами вычитаемого вычитателей, вы-

ходы регистра делимого соединены с дополнительными информационными входами коммутатора, выходы первого вычитателя соединены со входами уменьшаемого четвертого и пятого вычитателей, выходы четвертого и второго вычитателей соединены соответственно с входами уменьшаемого шестого и седьмого вычитателей.

На чертеже приведена схема устройства для деления.

Устройство содержит вычитатели 1–7, регистр 8 делимого, регистр 9 делителя, сдвиговой регистр 10 частного, коммутатор 11, шифратор 12 цифр частного, выходы 13–19 знаковых разрядов вычитателей 1–7.

Используемые в устройстве вычитатели 1–7 предназначены для формирования остатка при соответствующем значении трех цифр частного. Для каждого вычитателя указаны значения трех двоичных цифр частного, значения уменьшаемого, вычитаемого и разности (X–делимое, У–делитель).

Предполагается, что X и У – правильные нормализованные дроби, причем X < У.

Вычитатель	Значения цифр частного	Значение уменьшаемого	Значения вычитаемого	Значения разности (остатка)
1	4/8=100	X	1/2 · У	X - 1/2 · У
2	2/8=010	X	1/4 · У	X - 1/4 · У
3	1/8=001	X	1/8 · У	X - 1/8 · У
4	6/8=110	X-1/2 · У	1/4 · У	X - 3/4 · У
5	5/8=101	X-1/2 · У	1/8 · У	X - 5/8 · У
6	7/8=111	X-1/2 У-1/4 У	1/8 · У	X - 7/8 · У
7	3/8=011	X-1/4 · У	1/8 · У	X - 3/8 · У

В определенных случаях целесообразно использовать в устройстве вместо вычитателей сумматоры. При этом структура устройства останется неизменной, однако необходимо информацию снимать с инверсных выходов регистра 9 делителя, а в качестве входных переносов сумматоров использовать сигнал логической единицы.

С помощью коммутатора 11 осуществляется выборка в качестве остатка, либо содержимого регистра 8 делимого (если три цифры частного равны 000), либо значения разности одного из семи вычитателей. В каждом разряде коммутатора используется элемент 3 И-8 ИЛИ. Уп-

равление выборкой осуществляется под действием сигналов, поступающих на управляющие входы коммутатора с выходов 13–19 знаковых разрядов вычитателей 1–7. Ниже приведено логическое выражение, описывающее работу i-го элемента 3 И-8 ИЛИ коммутатора 11 (i-номер разряда при отсчете со стороны младших разрядов).

$$K_i = \bar{V}_0^3 X_i \vee \bar{V}_0^5 \bar{V}_0^1 V_1^1 \vee \bar{V}_0^7 \bar{V}_0^2 V_1^2 \vee \bar{V}_0^2 \bar{V}_0^3 V_1^3 \vee \bar{V}_0^6 \bar{V}_0^4 V_1^4 \vee \bar{V}_0^4 \bar{V}_0^5 V_1^5 \vee \bar{V}_0^6 V_1^6 \vee V_0^1 \bar{V}_1^7 V_1^7, \quad (1)$$

где B_0^m — значение знакового разряда m -го вычитателя (это значение равно 0, если разность положительная, в противном случае, оно равно 1); B_1^m — значение i -го разряда m -го вычитателя; X_i — значение i -го разряда регистра 8 делимого.

В шифраторе 12 цифр частного формируются три цифры частного Z_1 , Z_2 и Z_3 путем анализа значений знаковых разрядов вычитателей 1-7 (Z_1 — старшая цифра частного, Z_3 — младшая цифра частного). Ниже приведены логические выражения, в соответствии с которыми формируются три цифры частного

$$Z_1 = B_0^5 \bar{B}_0^1 \vee B_0^4 \bar{B}_0^5 \vee B_0^6 \bar{B}_0^4 \vee \bar{B}_0^6 = \bar{B}_0^1 B_0^5 \vee B_0^4 B_0^6 \quad (2)$$

$$Z_2 = B_0^7 \bar{B}_0^2 \vee B_0^1 \bar{B}_0^7 \vee B_0^6 \bar{B}_0^4 \vee \bar{B}_0^6 = B_0^7 \bar{B}_0^2 \vee B_0^1 \bar{B}_0^7 \vee \bar{B}_0^6 \bar{B}_0^4 \quad (3)$$

$$Z_3 = B_0^2 \bar{B}_0^3 \vee B_0^1 \bar{B}_0^7 \vee B_0^4 \bar{B}_0^5 \vee \bar{B}_0^6 \quad (4)$$

Устройство для деления чисел работает следующим образом.

В исходном состоянии в регистре 8 делимого хранится прямой n -разрядный код делимого, в регистр 9 делителя — прямой n -разрядный код делителя (здесь предполагается, что делимое и делитель — правильные нормализованные двоичные дроби), сдвиговый регистр 10 частного обнулен. Все вычитатели 1-7 практически начинают работать одновременно и формируют на своих выходах разности в соответствии с выражениями, приведенными в таблице. По истечении времени, равном примерно времени вычитания n -разрядных чисел, коммутатор 11 в качестве очередного остатка выбирает результат в соответствии с выражением (1), который записывается со сдвигом на три разряда в сторону старших разрядов в регистр 8 делимого. Одновременно с этим шифратором 12 цифр частного формируются три цифры частного Z_1 , Z_2 и Z_3 в соответствии с выражениями (2)-(4), значения которых записываются соответствующим образом в три младших разряда регистра 10 частного, после чего в нем осуществляется однократный сдвиг на три разряда в сторону старших разрядов. На этом цикл определения трех цифр частного заканчивается и далее повторяется аналогичным образом. После выполнения $n/3$ циклов в сдвиговом регистре 10 ча-

стного формируется n — разрядное частное.

Рассмотренный вариант предлагаемого устройства для деления чисел не является единственным. Возможны и другие его варианты, позволяющие получить тот же положительный эффект. Например, вход уменьшаемого шестого вычитателя 6 можно соединить с выходом первого вычитателя 1, а вход вычитаемого с выходом седьмого вычитателя 7. Однако в нем используются только простые кратные делители, получаемые непосредственно с выходов регистра делителя, причем вычитатели, формирующие все остатки при $Z^k - 1$ возможных значениях k цифр частного, соединяются таким образом, чтобы вычислительные процессы в них проходили бы по возможности параллельно. При значениях $k > 3$ увеличиваются возможности распараллеливания вычислительных процессов в вычитателях, что надо учитывать, разрабатывая систему соединений между вычитателями.

Технико-экономические преимущества предлагаемого устройства состоят в сокращении объема используемого оборудования примерно на 30%, при том же быстродействии, что позволяет снизить стоимость, вес, габариты и потребляемую мощность, а также увеличить надежность известного устройства.

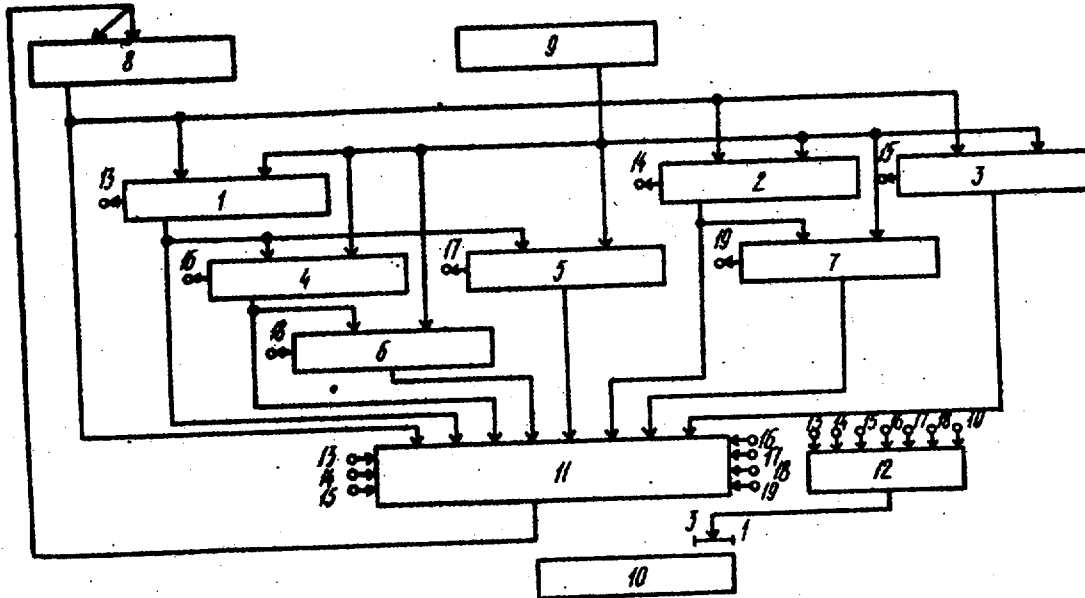
Ф о р м у л а и з о б р е т е н и я

Устройство для деления, содержащее вычитатели, регистры делимого и делителя, сдвиговый регистр частного, коммутатор и шифратор цифр частного, причем выходы регистра делимого соединены со входами уменьшаемого первого, второго и третьего вычитателей, выходы вычитателей соединены с информационными входами коммутатора, выходы которого соединены с входами регистра делимого, выходы знаковых разрядов вычитателей соединены с управляющими входами коммутатора и входами шифратора цифр частного, выходы которого соединены со входами к младшим разрядам сдвигового регистра частного, отличающееся тем, что, с целью сокращения аппаратурных затрат, выходы регистра делителя соединены со входами вычитаемого вычитателей, выходы регистра делимого соединены с дополнительными информационными входами коммутатора, выходы первого вычитателя соединены со входами уменьшаемого четвертого и пятого вычитателей,

Выходы четвертого и второго вычитателей соединены соответственно с входами уменьшаемого шестого и седьмого вычитателей.

Источники информации, принятые во внимание при экспертизе

1. Карцев М. А. Арифметика цифровых машин. М., "Наука", 1969, с. 494.
2. Патент США № 3234367, кл. 235-156, опублик. 1966.
3. Патент США № 3293418, кл. 235-156, опублик. 1966 (прототип).



Составитель Г. Плешев

Редактор В. Еремеева Техред Н.Ковалева Корректор В. Бутяга

Заказ 4437

Тираж 751

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4