



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 21.04.77 (21) 2478955/18-09

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.10.80, Бюллетень № 39

Дата опубликования описания 23.10.80

(11) 773948

(51) М. Кл.<sup>3</sup>

H 04 L 17/30  
H 04 L 1/16

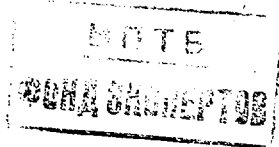
(53) УДК 621.394.  
.6(088.8)

(72) Авторы  
изобретения

В.В. Лосев и В.Д. Дворников

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЕКОДИРОВАНИЯ М-ПОСЛЕДОВАТЕЛЬНОСТИ

1

Изобретение относится к радиотехнике и может использоваться в системах связи с блочным кодированием информации М-последовательностью.

Известно устройство декодирования М-последовательности, содержащее генератор поля Галуа, выход которого через первый коммутатор, подключен к входам первого и второго запоминающих блоков, первый регистр и блок выбора максимального сигнала [1].

Однако такое устройство имеет невысокую помехоустойчивость.

Цель изобретения — повышение помехоустойчивости.

Для этого в устройство декодирования М-последовательности, содержащее генератор поля Галуа, выход которого через первый коммутатор, подключен к входам первого и второго запоминающих блоков, первый регистр и блок выбора максимального сигнала, введены элемент ИЛИ, второй регистр и последовательно соединенные арифметический блок, третий регистр и второй коммутатор, выходы которого подключены соответственно к входу блока выбора максимального сигнала, соединенного с входом второго регистра и вторым входом первого и второго запо-

2

минающих блоков, выходы которых через последовательно соединенные элемент ИЛИ и первый регистр, подключены к входам арифметического блока, другой выход которого подключен к второму входу второго коммутатора, третий вход которого соединен с вторым входом первого коммутатора и выходом блока управления, второй выход которого подключен к третьим входам первого и второго запоминающих блоков, третий выход подключен к другим входам первого, второго и третьего регистров, а четвертый выход подключен к третьему входу первого коммутатора.

На чертеже дана структурная электрическая схема предложенного устройства.

Устройство содержит генератор 1 поля Галуа, коммутаторы 2 и 3, запоминающие блоки 4 и 5, регистры 6-8, блок 9 выбора максимального сигнала, элемент 10 ИЛИ, арифметический блок 11 и блок 12 управления.

Устройство работает следующим образом.

Символы М-последовательности в виде двоичных чисел, величина которых пропорциональна знаку и величине при-

5

10

15

20

25

30

нимаемого сигнала, поступают через коммутатор 2 на информационные входы первого запоминающего блока 4. В это время к адресным входам этого блока с помощью коммутатора 3 подключаются выходы генератора 1. В результате этого значения входного сигнала записываются в ячейки памяти запоминающего блока 4 по адресам, определяемым в каждый момент времени номером символа М-последовательности и состоянием выходов генератора 1. После генерируется в соответствии со степенью элемента поля.

Для декодирования необходимо умножить записанную в запоминающий блок 4 реализацию на матрицу Адамара, т.е. вычислить коэффициенты корреляции с функциями Уолша. Это может быть сделано с помощью алгоритма быстрых преобразований.

Для этого устройство переключается в режим вычисления, когда к адресным входам запоминающего блока 4 через коммутатор 3 подключаются выходы блока 12. Запоминающий блок 5 переключается на запись символов следующей последовательности и к его адресным входам через коммутатор 3 подключаются выходы генератора 1. Происходит суммирование и вычитание пар символов, стоящих рядом (0 и 1, 2 и 3, 4 и 5 и т.д.). Полученные суммы и разности записываются в ячейки памяти запоминающего блока 4, причем, сумма записывается в ячейку, из которой было считано первое слагаемое, а разность записывается в ячейку, из которой было считано второе слагаемое. При этом, поскольку нулевой символ равен 0 (отсутствует), в ячейку для суммы запишется само число, а в ячейку для разности — число, умноженное на -1. Считанные числа через элемент 10 ИЛИ попадают на вход регистра 6 и запоминаются в нем на время вычисления. В арифметическом блоке 11 происходит вычисление суммы и разности чисел, поступающих с выходов регистра 6. Сумма, через коммутатор 2, непосредственно попадает на информационные входы запоминающего блока 4, а разность записывается в регистр 8.

После произведенных вычислений полученные коэффициенты начинают анализироваться блоком 9. В этом блоке 9 определяется максимальный коэффициент корреляции и номер, под которым он находится в последовательности всех коэффициентов. Этот номер в двоичной форме представляет собой декодированные символы, при этом первому коэффициенту присваивается номер 0.

Декодированные символы, поступающие с выхода блока 9, записываются в регистр 7, с которого выводятся на выход устройства.

На этом заканчивается декодирование одной М-последовательности, к этому времени оказывается заполненным запоминающий блок 5 и, после соответствующей коммутации, начинается декодирование вновь записанной М-последовательности.

Назначение блока 12 — формировать соответствующие сигналы для управления режимами записи — чтения запоминающих блоков 4 и 5, управления работой коммутаторов 2 и 3 и синхронизации работы регистров 6-8.

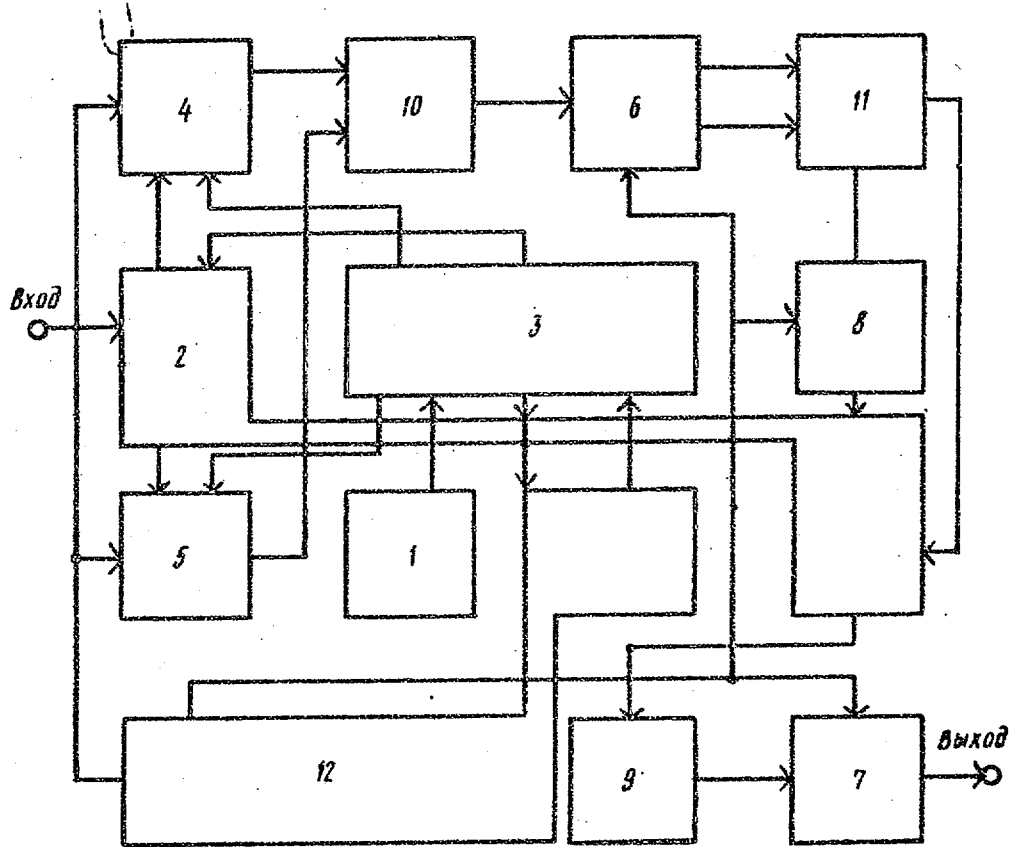
Предложенное устройство работает не с бинарно-квантованными символами, а с числами, осуществляя прием в целом, помехоустойчивость которого выше поэлементного, реализуемого в известном устройстве.

#### Формула изобретения

Устройство декодирования М-последовательности, содержащее генератор поля Галуа, выход которого через первый коммутатор подключен к входам первого и второго запоминающих блоков, первый регистр и блок выбора максимального сигнала, отличающееся тем, что, с целью повышения помехоустойчивости, введены элемент ИЛИ, второй регистр и последовательно соединенные арифметический блок, третий регистр и второй коммутатор, выходы которого подключены соответственно к входу блока выбора максимального сигнала, соединенного с входом второго регистра и вторым входом первого и второго запоминающих блоков, выходы которых через последовательно соединенные элемент ИЛИ и первый регистр подключены к входам арифметического блока, другой выход которого подключен к второму входу второго регистра, третий вход которого соединен с вторым входом первого коммутатора и выходом блока управления, второй выход которого подключен к третьим входам первого и второго запоминающих блоков, третий выход подключен к другим входам первого, второго и третьего регистров, а четвертый выход подключен к третьему входу первого коммутатора.

#### Источники информации,

принятые во внимание при экспертизе  
1. Авторское свидетельство СССР по заявке № 2416008, кл.Н 04 L 7/02, 1976.



Составитель Т.Маркина  
 Редактор Т.Киселева Техред Е.Гаврилешко Корректор С.Шекмар

Заказ 7534/81

Тираж 729

Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4