

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е
ИЗОБРЕТЕНИЯ
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 714496

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 12.08.75(21) 2165823/18-24

(51) М. Кл.²

с присоединением заявки № -

G 11 C 11/34
G 11 C 29/00

(23) Приоритет -

Опубликовано 05.02.80. Бюллетень № 5

(53) УДК 681.

Дата опубликования описания 05.02.80

.327.67
(088.8)

(72) Авторы
изобретения

В. С. Борисов, В. К. Конопелько и В. В. Лосев

(71) Заявитель

Минский радиотехнический институт

(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1
Изобретение относится к области вычислительной техники и может быть использовано в электронной промышленности при изготовлении больших интегральных схем запоминающих устройств.

Известны полупроводниковые интегральные запоминающие устройства с произвольной выборкой с разрядной организацией, которые содержат матрицу элементов памяти и схемы логики обрамления, позволяющие производить обращение при записи и считывании информации только к одному любому элементу памяти матрицы [1].

Однако эти устройства имеют низкую надежность.

Наиболее близким по технической сущности к предложенному является запоминающее устройство, содержащее первый дешифратор адреса, соединенный с адресными шинами накопителя, первые разрядные шины которого соединены с выходами основных управляющих вентилях и входами блока считывания, управляющие вхо-

2
ды которого подключены к выходам второго дешифратора адреса и к первым входам основных управляющих вентилях, вторые входы которых соединены с шиной разрешения записи, а третьи входы - с шиной управления, первым входом входного блока и управляющими входами дешифраторов, и первый сумматор по модулю два, входы которого подключены соответственно ко второй разрядной шине и к выходу блока считывания, а выход - ко второму входу входного блока [2].

Однако это устройство также имеет низкую надежность. Причиной низкой надежности является сложность схемы контроля при обращении к одному элементу памяти накопителя.

Цель изобретения - повышение надежности устройства за счет исправления ошибок дефектных элементов памяти.

20
Это достигается тем, что в устройстве вводится второй сумматор по модулю два и блок сравнения, а также дополнительный элемент памяти, например, на

RS - триггере, третий сумматор по модулю два и дополнительный управляющий вентиль на каждый разряд накопителя, причем входы второго сумматора соединены соответственно с шиной записи и со второй разрядной шиной. Выход второго сумматора соединен с четвертыми входами основных управляющих вентилях и с первым входом блока сравнения, второй вход которого соединен с выходом блока считывания, а третий вход - с шиной разрешения записи и с управляющими входами RS-триггеров, информационные входы которых соединены с разрядными шинами и входами дополнительных управляющих вентилях, первые входы которых через третий сумматор по модулю два подключены к выходам RS-триггеров и первому выходу блока сравнения, второй выход которого соединен со вторым входом дополнительных вентилях, третьи входы которых подключены к шине управления и четвертому входу блока сравнения. Кроме того, блок сравнения содержит JK-триггер, элемент И, четвертый сумматор по модулю два, D-триггер и вентиль, первый вход которого и J, K, R, входы JK-триггера, а также второй вход управляющего вентиля и счетный вход JK-триггера соединены соответственно с первым и третьим входами блока сравнения, четвертый вход которого соединен с третьим входом вентиля и управляющим входом D-триггера, информационные входы которого соединены с выходами вентиля и с первым входом четвертого сумматора по модулю два, второй вход которого соединен со вторым входом блока сравнения, а выход - с первым входом элемента И, второй вход которого соединен с выходом JK-триггера и первым выходом блока сравнения. Выход элемента И соединен со вторым выходом блока сравнения. Все это позволяет производить исправление одного дефектного элемента памяти в каждом слове накопителя при наличии одного дополнительного элемента памяти в слове.

На чертеже приведена структурная схема запоминающего устройства.

Устройство содержит первый дешифратор адреса 1, соединенный с адресными шинами 2 накопителя 3. Разрядные шины 4 накопителя соединены с выходами управляющих вентилях 5, информационными входами RS-триггеров 6, дополнительных вентилях 7, и входами блока считывания

8. Управляющие входы 9 блока считывания подключены к выходам второго дешифратора адреса 10 и первым входам управляющих вентилях 5. Вторые входы управляющих вентилях 5 соединены с шиной разрешения записи 11, управляющими входами RS-триггеров 6, управляющим входом JK-триггера 12 и вторым входом управляющего вентиля 13 блока сравнения 14. Первый вход управляющего вентиля 13 и J, K, R входы JK-триггера 12 блока сравнения 14, четвертые входы управляющих вентилях 5 соединены с выходом второго сумматора по модулю два 15, первый вход которого соединен с шиной записи 16, а второй - через вторую разрядную шину 17 с первым входом первого сумматора по модулю два 18. Второй вход первого сумматора по модулю два 18 соединен с выходом блока считывания 8 и вторым входом четвертого сумматора по модулю два 19 блока сравнения 14. Первый вход четвертого сумматора по модулю два 19 соединен с выходом управляющего вентиля 13 и информационным входом D-триггера 20 блока сравнения 14. Выход четвертого сумматора по модулю два 19 соединен с первым входом элемента И 21, вторым входом подключенного к выходу JK-триггера 12 и первым входом третьих сумматоров по модулю два 22. Вторые входы третьих сумматоров по модулю 22 соединены с выходами RS-триггеров 6, а входы - с первыми входами дополнительных управляющих вентилях 7. Вторые входы дополнительных управляющих вентилях 7 соединены с выходом элемента И 21 блока сравнения 14, а третьи входы - с шиной управления 23, третьими входами основных управляющих вентилях 5 и вентиля 13, управляющим входом D-триггера и вторым входом выходного блока 24. Первый вход выходного блока 24 соединен с выходом первого сумматора по модулю два 18, а выход является выходом устройства.

Устройство работает следующим образом.

При записи информации на соответствующие шины устройства подаются сигналы записи 16, разрешения записи 11 и управления 23. При этом происходит возбуждение шин дешифраторов 1 и 10 в соответствии с кодом адреса. Возбужденная шина 2 дешифратора адреса слова 1 подключает элементы памяти накопителя 3 выбранного слова к разрядным шинам 4.

При этом в элемент памяти накопителя 3, находящийся на пересечении выбранной строки и столбца, а также в D-триггер 20 происходит запись входной информации, инвертированной на сумматоре 15, сигналом, снимаемым с разрядной шины 17. Наряду с этим происходит перезапись хранимой информации опрашиваемого слова в RS-триггер 6. При снятии сигнала разрешения записи 11, запись информации в опрашиваемый элемент памяти накопителя 3 и в D-триггер, а также перезапись информации в RS-триггеры прекращается и происходит контрольное считывание записанной информации с опрашиваемого элемента памяти накопителя 3 и с D-триггера и сравнение ее на сумматоре 19. Это приводит к появлению на выходе сумматора 19 единичного сигнала в случае неправильно записанной информации в опрашиваемый элемент памяти накопителя 3, и нулевого сигнала - в противном случае. Эти сигналы поступают на один из входов элемента И 21. На второй вход элемента И 21 подается сигнал с выхода JK-триггера 12, сигнал на выходе которого появляется только после снятия разрешения записи 11, т.е. когда переходные процессы в опрашиваемом элементе памяти накопителя 3 и D-триггере 20 закончатся. Кроме того, сигнал с выхода JK-триггера 12 инвертирует на сумматоре 22 хранимую в RS-триггерах 6 информацию опрашиваемого слова. При наличии единичного сигнала на выходе сумматора 19 элемент И 21 разрешает перезапись инвертированной информации в элементы памяти накопителя 3 опрашиваемого слова. При этом в дополнительном разряде накопителя 3 хранится информация об инвертировании всего хранимого слова. В режиме считывания сигналы по шинам записи 16 и разрешения записи 11 отсутствуют. При этом вентили 5, 7 и 13 заперты, а сигнал о состоянии опрашиваемого элемента памяти накопителя 3 поступает с выхода блока считывания 8 на первый вход первого сумматора по модулю два 18. На второй вход сумматора 18 подается сигнал с разрядной шины 17, который производит коррекцию сигналов, снимаемых с неисправных элементов памяти накопителя 3.

Если в процессе считывания информации все элементы памяти опрашиваемого слова накопителя 3 исправны и при включении источника питания в дополнительном разряде установилось нулевое состояние,

инвертирования входной и считываемой информации на сумматорах 15 и 18 соответственно, а также перезаписи инвертированной информации всего слова в процессе записи и считывания не происходит и, следовательно, на выход устройства поступает правильная информация.

Если все элементы памяти опрашиваемого слова накопителя 3 исправны, но при включении источника питания в дополнительном разряде установилось единичное состояние, то происходит инвертирование входной и считываемой информации на сумматорах 15 и 18 соответственно, а перезаписи инвертированной информации всего слова в процессе записи не производится. Поскольку все элементы памяти слова исправны, то двойное инвертирование при записи и при считывании не вносит ошибки в процесс хранения информации.

Если имеет место неисправность одного элемента памяти в опрашиваемом слове накопителя и при включении источника питания в дополнительном разряде установилось нулевое состояние, то в процессе записи информации эта неисправность обнаруживается при контрольном считывании, в результате чего все хранимое слово перезаписывается для хранения инвертированным. При этом в дополнительном разряде хранится единичный символ, который в процессе считывания и производит инвертирование на сумматоре 18 информации, снимаемой с блока считывания. Таким образом, сигналы, снимаемые с исправных элементов памяти, инвертируются дважды при записи (после обнаружения неисправности) и при считывании и поэтому остаются неизменными. Для неисправного элемента памяти инвертирования информации при записи не происходит из-за его неисправности, а инвертирование на сумматоре 18 при считывании исправляет сигнал, снимаемый с этого неисправного элемента памяти.

Ф о р м у л а и з о б р е т е н и я

1. Запоминающее устройство, содержащее первый дешифратор адреса, соединенный с адресными шинами накопителя, первые разрядные шины которого соединены с выходами основных управляющих вентилях и входами блока считывания, управляющие входы которого подключены к выходам второго дешифратора адреса

и к первым входам основных управляющих вентилей, вторые входы которых соединены с шиной разрешения записи, а третьи входы - с шиной управления, первым входом входного блока и управляющими входами дешифраторов, и первый сумматор по модулю два, входы которого подключены соответственно ко второй разрядной шине и к выходу блока считывания, а выход - ко второму входу входного блока, отличающееся тем, что, с целью повышения надежности за счет исправления ошибок дефектных элементов памяти, оно содержит второй сумматор по модулю два и блок сравнения, а также дополнительный элемент памяти, например, на RS-триггере, третий сумматор по модулю два и дополнительный управляющий клапан на каждый разряд накопителя, причем входы второго сумматора соединены соответственно с шиной записи и со второй разрядной шиной, выход второго сумматора соединен с четвертыми входами основных управляющих вентилей и с первым входом блока сравнения, второй вход которого соединен с выходом блока считывания, а третий вход - с шиной разрешения записи и с управляющими входами RS-триггеров, информационные входы которых соединены с разрядными шинами и выходами дополнительных управляющих вентилей, первые входы которых через третьи сумматоры по модулю два подключены к выходам RS-триггеров и первому входу блока сравнения, второй

выход которого соединен со вторым входом дополнительных управляющих вентилей, третьи входы которых подключены к шине управления и четвертому входу блока сравнения.

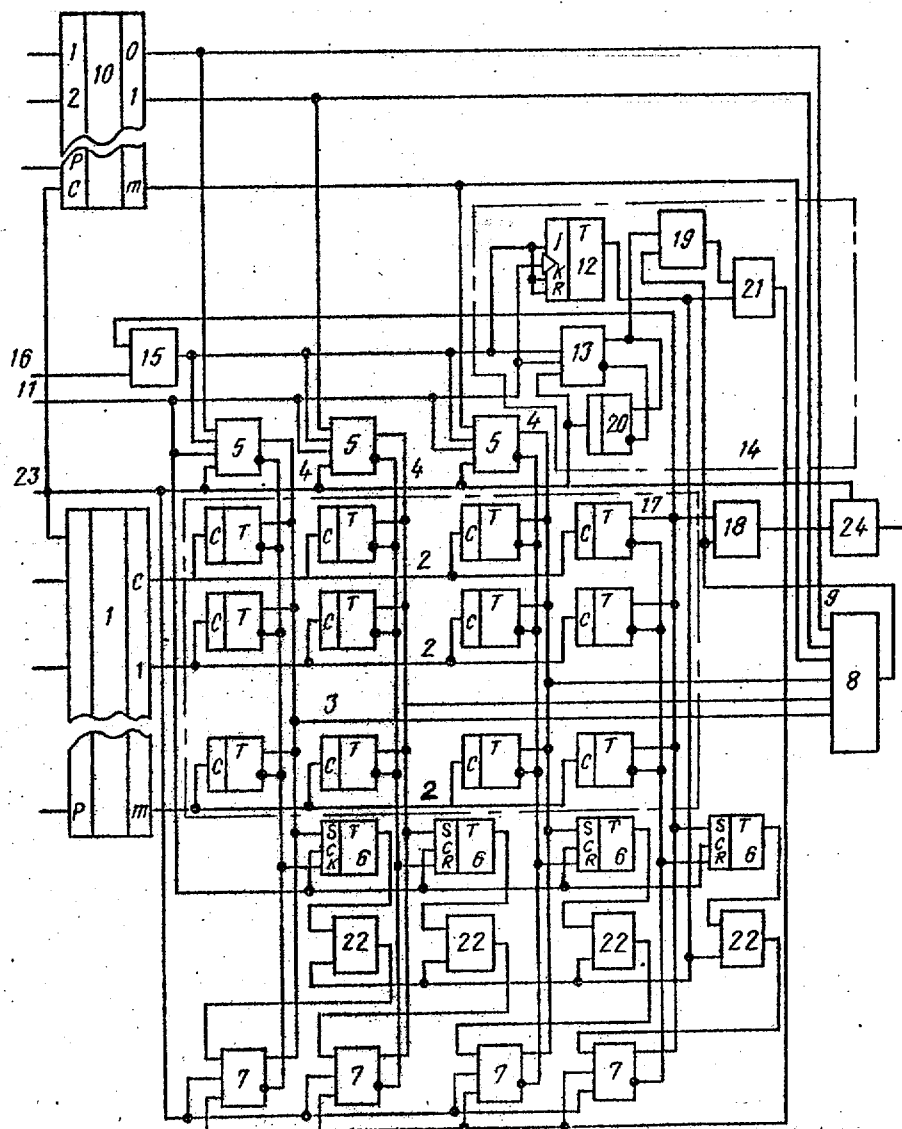
2. Запоминающее устройство по п. 1, отличающееся тем, что блок сравнения содержит JK-триггер, элемент И, четвертый сумматор по модулю два, D-триггер и клапан, первый вход которого и J, K, R - входы JK-триггера, а также второй вход клапана и счетный вход JK-триггера соединены соответственно с первым и третьим входами блока сравнения, четвертый вход которого соединен с третьим входом клапана и управляющим входом D-триггера, информационные входы которого соединены с выходами клапана и с первым входом четвертого сумматора по модулю два, второй вход которого соединен со вторым входом блока сравнения, а выход - с первым входом элемента И, второй вход которого соединен с выходом JK-триггера и первым выходом блока сравнения, выход элемента И соединен со вторым выходом блока сравнения.

Источники информации,

принятые во внимание при экспертизе

1. "Микроэлектроника", сб. статей под ред. Лукина Ф. А., М., "Сов. радио", 1972, вып. 5, с. 128-150.

2. "Запоминающие устройства", сб. статей под ред. Краймера Л. П., Л., "Энергия", 1974, вып. 4, с. 89 (прототип).



Составитель В. Конопелько
 Редактор А. Виноградов Техред О. Легеза Корректор С. Шекмар
 Заказ 9301/52 Тираж 662 Подписное
 ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4