



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 801287

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 12.07.78 (21) 2643806/18-09

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.01.81. Бюллетень № 4

Дата опубликования описания 30.01.81

(51) М. Кл.<sup>3</sup>

H 04 L 7/08

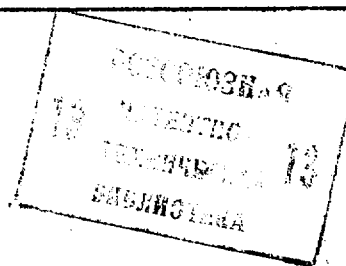
(53) УДК 621.394.  
.662(088.8)

(72) Автор  
изобретения

С. Б. Саломатин

(71) Заявитель

Минский радиотехнический институт



(54) СПОСОБ ЦИКЛОВОЙ СИНХРОНИЗАЦИИ  
БЛОЧНОГО КОДА

1

Изобретение относится к радиотехнике и может использоваться в радиотехнических системах передачи данных блочным кодом Рида-Маллера первого порядка.

Известен способ цикловой синхронизации блочного кода, заключающийся в формировании на передающей стороне синхросигнала и суммировании по модулю два символов синхросигнала с четными символами кодовых слов, а на приемной стороне в приеме и выделении синхросигнала и определении границы разделения кодовых слов [1].

Однако применение известного способа для синхронизации кода Рида-Маллера первого порядка возможно только частично, что приводит к значительному снижению точности.

Цель изобретения - повышение точности.

Цель достигается тем, что в способе цикловой синхронизации блочного кода, заключающемся в формировании на передающей стороне синхросигнала и суммировании по модулю два символов синхросигнала с четными символами

2

кодовых слов, а на приемной стороне в приеме и выделении синхросигнала и определении границы разделения кодовых слов, на передающей стороне в качестве синхросигнала используют D-последовательность, циклически сдвинутую на один символ относительно последовательности четных символов кодового слова, синхронно с которым формируют и суммируют по модулю два D-последовательность, число символов которой совпадает с числом символов кодового слова, а на приемной стороне из символов принимаемого сигнала образуют выборочные последовательности, одна из которых содержит поступающие символы с четными, а другая - с нечетными порядковыми номерами, выборочные последовательности отдельно преобразуются в последовательности сумм по модулю два символов выборочной последовательности с предшествующими им символами той же последовательности, по результатам преобразования определяют местоположение четных символов принимаемых кодовых слов, а при выделении синхросигнала суммируют по модулю два четные с предшествующими им нечетными символами передаваемого сигнала.

На чертеже приведена структурная электрическая схема устройства для реализации предложенного способа.

Устройство содержит на передающей стороне кодирующий блок 1, первый сумматор 2 по модулю два, второй сумматор 3 по модулю два, генератор 4 Д-последовательностей, на приемной стороне генератор 5 опорных последовательностей, блок 6 управления, определитель 7 четности, выделитель 8 синхропоследовательности, блок 9 цикловой синхронизации по синхропоследовательности.

Устройство работает следующим образом.

На один вход сумматора 2 поступают символы кодового слова с выхода кодирующего блока 1. На другой вход сумматора 2 поступает Д-последовательность кода с выхода генератора 4, с другого выхода которого на вход другого сумматора 3 поступают в дискретные моменты времени символы синхронизирующей Д-последовательности. Генератор 5 формирует меандровую последовательность, поступающую на вход определителя 7 местоположения четных символов, и опорную копию синхронизирующей последовательности Д, номер которой на единицу больше последовательности, используемой на передающей стороне. Синхропоследовательность с выхода генератора 5 поступает на вход блока 9 цикловой синхронизации. Определитель 7 и блок 9 цикловой синхронизации работают по заданным процедурам определения местоположения четных символов и установления цикловой синхронизации. Очередность работы каждого из блоков определяет блок 6 управления, анализирующий состояние выходов определителя 7 и блока 9. Выделение синхропоследовательности осуществляет выделитель 8 по алгоритму вычисления последовательности соотношений. Временную синхронизацию работы выделителя 8 осуществляет блок 6 управления, учитывая результат оп-

ределения четных символов с выхода определителя 7.

#### Формула изобретения

Способ цикловой синхронизации блочного кода, заключающийся в формировании на передающей стороне синхросигнала и суммировании по модулю два символов синхросигнала с четными символами кодовых слов, а на приемной стороне в приеме и выделении синхросигнала и определении границы разделения кодовых слов, отличающийся тем, что, с целью повышения точности, на передающей стороне в качестве синхросигнала используют Д-последовательность, циклически сдвинутую на один символ относительно последовательности четных символов кодового слова, синхронно с которым формируют и суммируют по модулю два Д-последовательность, число символов которой совпадает с числом символов кодового слова, а на приемной стороне из символов принимаемого сигнала образуют выборочные последовательности, одна из которых содержит поступающие символы с четными, а другая - с нечетными порядковыми номерами, выборочные последовательности раздельно преобразуются в последовательности сумм по модулю два символов выборочной последовательности с предшествующими им символами той же последовательности, по результатам преобразования определяют местоположение четных символов принимаемых кодовых слов, а при выделении синхросигнала суммируют по модулю два четные с предшествующими им нечетными символами передаваемого сигнала.

Источники информации, принятые во внимание при экспертизе,  
1. Авторское свидетельство СССР № 543182, кл. Н 04 L 7/08, 1975 (прототип).

