



Государственный комитет  
СССР  
по делам изобретений  
и открытий

патентно-техническая  
библиотека МБ

# О П И С А Н И Е

# ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 723571

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 13.06.75 (21) 2144635/24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 25.03.80. Бюллетень № 11

Дата опубликования описания 25.03.80

(51) М. Кл.<sup>2</sup>  
G 06 F 7/39

(53) УДК 687.325  
(088.8)

(72) Авторы  
изобретения

Л. А. Глухова и А. Т. Пешков

(71) Заявитель

Минский радиотехнический институт

### (54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ ДЕСЯТИЧНЫХ ЧИСЕЛ

1

Изобретение относится к вычислительной технике и предназначено для применения в десятичных и универсальных арифметических устройствах.

Известно устройство для умножения десятичных чисел, содержащее регистры множимого и множителя, сумматор и блок управления [1].

Недостаток известного устройства — его низкое быстродействие.

Наиболее близким к предлагаемому является устройство, содержащее блок управления, регистр множимого, регистр множителя, сумматор и регистр переноса, разрядные выходы которого подключены к первым разрядным входам сумматора, вход блока управления подключен к выходу регистра множителя, управляющий вход которого подключен к первому выходу блока управления, к первому управляющему входу сумматора и к первому управляющему входу регистра переноса, второй управляющий вход которого подключен ко второму выходу блока управления, третий, четвертый, пятый и шестой выходы которого подключены соответственно ко второму, третьему, четверто-

2

му и пятому управляющим входам сумматора, выходы переноса каждого разряда которого подключены к соответствующим входам регистра переноса [2].

Недостатком известного устройства является большое время, затрачиваемое на сложение десятичных чисел.

Цель изобретения — повышение быстродействия устройства.

Указанная цель достигается тем, что в устройстве введены блок занесения и регистр скорректированного множимого, разрядные выходы которого подключены к первым входам соответствующих разрядов блока занесения, вторые разрядные входы которого подключены к выходам соответствующих разрядов регистра множимого, а третьи входы разрядов блока занесения подключены к выходам соответствующих разрядов регистра переноса, вторые разрядные входы сумматора подключены к выходам соответствующих разрядов блока занесения, управляющий вход которого подключен к шестому выходу блока управления и ко входу регистра множителя, разрядные входы

регистра скорректированного множимого подключены к выходам соответствующих разрядов сумматора.

На чертеже изображена схема предлагаемого устройства.

Схема включает сумматор 1, регистр 2 множимого, регистр 3 множителя, регистр 4 переноса, блок 5 управления, блок 6 занесения и регистр 7 скорректированного множимого.

Устройство работает следующим образом.

В исходном состоянии в тетрадах сумматора 1 и регистра 2 зафиксированы цифры множимого. В регистре 3 множителя занесен код множителя, в регистре 7 зафиксировано нулевое значение, разряды регистра 4 установлены в единицы.

Операция умножения осуществляется за  $n$  циклов из двух вспомогательных тактов. Сначала выполняется первый вспомогательный такт. По сигналу "Пуск" блок управления 5 вырабатывает на своем выходе сигнал, который обеспечивает увеличение содержимого всех тетрад сумматора на 6. Затем осуществляется занесение в регистр 7 содержимого сумматора и сброс последнего. На этом заканчивается первый вспомогательный такт.

Далее выполняются  $n$  циклов, причем на каждом обрабатывается текущая цифра множителя, начиная с младшей. За первый цикл обрабатывается младшая цифра множителя. Блок 5 управления при отсутствии сигнала на входе вырабатывает сигнал, по которому начинает выполняться первый такт сложения: осуществляется вычитание единицы из кода младшей тетрады, регистра 3 множителя, разрешается передача в тетрады сумматора 1 для сложения кодов тетрад регистра 2 или 7. При этом, если в процессе предыдущего суммирования в тетраде сумматора 1 возникает перенос, то в соответствующем разряде регистра переноса устанавливается "1", что обеспечивает передачу в эту тетраду сумматора для суммирования кода соответствующей тетрады регистра 7. Если на предшествующем сложении в данной тетраде не возникает перенос, то соответствующий разряд регистра 4 переноса остается в нулевом состоянии, что обеспечивает открывание соответствующего разряда блока 6 занесения, что в свою очередь обеспечивает передачу в эту тетраду кода из соответствующей тетрады регистра 2.

По завершении передачи в сумматоре 1 производится сброс регистра 4 переноса. Такт сложения считается законченным после двоичного суммирования содержимого сумматора с кодом, переданным на него через блок 6 занесения. В этом случае в разрядах регистра 4 переноса, соответствующих тетрадам, в которых возник перенос, устанавливается единичное значение.

Если на входе блока 5 управления сигнал отсутствует, то начинает выполняться следующий такт сложения. Эти такты выполняются до тех пор, пока после очередного такта в младшей тетраде регистра 2 не появится нулевое значение. В этом случае блок 5 управления вырабатывает сигнал, который обеспечивает сдвиг на четыре разряда вправо кодов в регистре 3 и сумматоре 1 и на один разряд — кода регистра 4 переноса, чем завершается цикл обработки младшей цифры множителя.

Все остальные циклы выполняются аналогичным образом. После выполнения последнего устройство обрабатывает второй вспомогательный такт, обеспечивающий коррекцию произведения, зафиксированного в сумматоре. На этом такте по сигналу блока управления разрешается вычитание 6 из тех тетрад, в которых во время последнего сложения не возникло переноса.

Таким образом, введение регистра скорректированного множимого и блока занесения в предлагаемом устройстве позволяет сократить время сложения кодов в сумматоре, за счет чего увеличилось быстродействие выполнения операции умножения.

#### Формула изобретения

Устройство для умножения десятичных чисел, содержащее блок управления, регистр множимого, регистр множителя, сумматор и регистр переноса, разрядные выходы которого подключены к первым разрядным входам сумматора, вход блока управления подключен к выходу регистра множителя, управляющий вход которого подключен к первому выходу блока управления, к первому управляющему входу сумматора и к первому управляющему входу регистра переноса, второй управляющий вход которого подключен ко второму выходу блока управления, третий, четвертый, пятый и шестой выходы которого подключены соответственно ко второму, третьему, четвертому и пятому управляющим входам сумматора, выходы переноса каждого разряда которого подключены к соответствующим входам регистра переноса, отличающееся тем, что, с целью повышения быстродействия, в устройство введены блок занесения и регистр скорректированного множимого, разрядные выходы которого подключены к первым входам соответствующих разрядов блока занесения, вторые разрядные входы которого подключены к выходам соответствующих разрядов регистра множимого, а третьи входы разрядов блока занесения подключены к выходам соответствующих разрядов регистра переноса, вторые разрядные входы

сумматора подключены к выходам соответствующих разрядов блока занесения, управляющий вход которого подключен к шестому выходу блока управления и ко входу регистра множителя, разрядные входы регистра скорректированного множителя подключены к выходам соответствующих разрядов сумматора.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 332459, кл. G 06 F 7/39, 1970.

2. Преснухин А. И. и др. Цифровые вычислительные машины. М., "Высшая школа", 1974, с. 242.

