



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 03.02.78 (21) 2592120/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 07.02.81. Бюллетень № 5

Дата опубликования описания 10.02.81

(11) 802962

(51) М. Кл.³

G 06 F 7/52

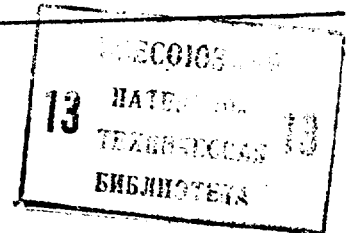
(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

Б.Г. Лысиков, Б.В. Цесин и А.А. Шостак

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ

1

Изобретение относится к вычислительной технике и может быть применено при разработке быстродействующих устройств деления, удобных для изготовления в составе больших интегральных схем (БИС).

Известно устройство для деления чисел, формирующее в каждом такте две цифры частного и содержащее регистры делителя и частного, сумматор, узел формирования утроенного делителя, шесть схем сравнения, узел формирования цифр частного, цепи однотактного сдвига на два разряда в сумматоре и регистре частного, блок управления [1]. Время деления n -разрядных чисел в этом случае примерно равно $T_{\Delta}^{(2)} \approx (n/2) \cdot (\tau_{ср} + \tau_{сл} + \tau_{сд}) + \tau_{фк}$,

где $\tau_{ср}$ — время сравнения чисел;
 $\tau_{сл}$ — время сложения двух n -разрядных чисел;
 $\tau_{сд}$ — время однотактного сдвига на два разряда;
 $\tau_{фк}$ — время формирования кратных делителя.

Основными недостатками известного устройства являются сложность структуры и относительно низкое быстродействие, так как в каждом такте форми-

2

руются только две цифры частного, а длительность такта достаточно велика.

Известно устройство для деления, содержащее регистры делимого и делителя, сумматор округления, шифратор цифр частного, n/k k -разрядных умножителей, n -разрядность регистров операндов, $2 \leq k \leq n/г$, сумматор произведений, три вычитателя, компаратор остатка, счетчик коррекции частного, при этом первая группа входов шифратора цифр частного соединена с выходами сумматора округления, вход переноса которого соединен с шиной логической единицы, группа k выходов шифратора цифр частного соединена с входами первой группы j -го умножителя ($j = 1, \dots, n/k$), вторая группа входов, которого соединена с j -ой группой k выходов регистра делителя, выходы умножителей соединены с входами сумматора произведений, выходы которого соединены с входами вычитаемого вычитателя, входы уменьшаемого вычитателя соединены с выходом регистра делимого, выходы шифратора цифр частного соединены с входами счетчика коррекции частного, выходы $(k+2)$ старших разрядов регистров делимого и делителя соединены соот-

ветственно второй группой входов шифратора частного и входами слагаемого сумматора округления [2].

К недостаткам данного устройства относится большая аппаратная избыточность при получении многоразрядного частного.

Целью предлагаемого изобретения является сокращение аппаратных затрат.

Достигается это тем, что устройство для деления чисел, содержащее n -разрядные регистры делимого и делителя, блок управления, сумматор округления, шифратор цифр частного, n/k k -разрядных умножителей, сумматор произведений, вычитатель, причем первая группа входов шифратора цифр частного соединена с выходами сумматора округления, вход переноса которого соединен с шиной логической единицы, k выходов шифратора цифр частного соединены с входами первой группы j -го умножителя ($j = 1 \dots n/k$), вторая группа входов каждого из которых соединена с j -ой группой k выходов регистра делителя, выходы умножителей соединены с входами сумматора произведений, выходы которого соединены с входами вычитаемого вычитателя, входы уменьшаемого вычитателя соединены с выходом регистра делимого, содержит сумматор частного, причем входы младших разрядов сумматора частного соединены с k выходами шифратора цифр частного, вход управления сдвигом на $k - 1$ разрядов сумматора частного соединен с выходом блока управления, выходы вычитателя с k -го по $(n + k)$ -ый соединены с входами регистра делимого, выходы $(k+3)$ старших разрядов регистров делимого и делителя соединены соответственно с второй группой входов шифратора цифр частного и с входами сумматора округления.

На чертеже представлена схема устройства, содержащая n -разрядные регистры 1 и 2, соответственно делимого и делителя, сумматор 3 частного с целью однотактного сдвига на $(k-1)$ разрядов (цепь сдвига на чертеже не показана), блок 4 управления, сумматор 5 округления, шифратор цифр частного 6, n/k k -разрядных умножителей 7 для формирования 2 k -разрядных произведений, сумматор 8 произведений и вычитатель 9. Предполагается, что сумматор 5 округления, шифратор 6, умножители 7, сумматор 8 и вычитатель 9 выполнены в виде комбинационных схем.

В определенных случаях может оказаться целесообразной реализация шифратора 6 цифр частного в виде делителя с матричной структурой, состоящего из $k(k + 3)$ -разрядных сумматоров.

Устройство работает следующим образом. В исходном состоянии в регистре 1 делимого хранится прямой n -разрядный код делимого, в регистре 2 делителя — прямой n -разрядный код делителя (здесь предполагается, что делимое и делитель положительные двоичные числа с нулевой целой частью). Сумматор 3 частного в исходном состоянии обнулен. В сумматоре 5 округления производится прибавление $k(k + 3)$ старшим разрядам делителя единицы в их младший разряд. Этим самым устраняется возможность получения в шифраторе 6 цифр частного, в котором производится деление $(k + 3)$ старших разрядов делимого на $(k + 3)$ старших разряда делителя, частного с избытком. Можно показать, что абсолютная погрешность (разность между значением частного, получаемым при делении n -разрядных чисел и значением частного, получаемым при делении усеченных $(k + 3)$ -разрядных чисел) при этом будет заключена в пределах $0 < \epsilon < 2^{-(k-1)}$

При этом значении k -разрядного частного, получаемого при делении усеченных чисел, может быть либо равно значению старших k разрядов частного, получаемых при делении n -разрядных чисел, либо меньше его на единицу младшего разряда с весом $2^{-(k-1)}$ (в дальнейшем будем говорить соответственно о точном и неточном значениях k -разрядного частного на выходе шифратора 6 цифр частного). С помощью умножителей 7 и сумматора 8 произведений формируется произведение n -разрядного делителя на k -разрядное частное, а с помощью вычитателя 9 формируется очередной остаток, определяемый как разность между содержимым регистра 1 делимого и содержимым сумматора 8. Таким образом, в каждом такте работы устройства для деления чисел формируется остаток и k -разрядное частное. Остаток, полученный на выходе вычитателя 9, со сдвигом на $(k - 1)$ разрядов влево (в сторону старших разрядов) записывается в регистр 1 делимого и служит в следующем такте работы устройства в качестве делимого, k -разрядное частное, полученное на выходе шифратора 6 цифр частного, записывается в k -младших разрядов сумматора 3 частного, причем его старшая цифра является корректирующей для частного, сформированного к данному такту. Коррекция частного производится путем прибавления старшей цифры k -разрядного частного в младший разряд частного, полученный к данному такту. Время деления n -разрядных чисел в этом случае будет примерно равно

$$T_{\Delta}^{(X)} \approx \frac{n}{k-1} \tau_{\Phi}$$

где τ_{Φ} — время формирования остатка.

Округление результата в данном устройстве в принципе может быть организовано точно таким же образом, как и в известных устройствах.

Ниже рассматривается пример, поясняющий принцип работы и структурные особенности предлагаемого устройства для деления чисел (для определенности n и k выбраны соответственно равными 9 и 4).

Пусть $x = 0,11111111$; $y = 0,10100000$. Значение частного $z = x/y = 1,10011000$.

В предлагаемом устройстве вычислительный процесс по определению частного организован следующим образом.

1-й такт. В регистре делимого 1 хранится значение $x = 0,11111111$, в регистре 2 делителя хранится значение $y = 0,10100000$; в сумматоре 3 частного $z = 0,000000000$: в сумматоре 5 округления формируется результат $a = y_1 + 2^{-6} = 0,101000 + 0,000001 = 0,101001$; в шифраторе 6 цифр частного вырабатывается 4-х разрядное частное $z = x_1 : a = 0,111111 : 0,101001 = 1,100$; с помощью умножителей 7 и сумматора 8 формируется произведение $b = y \cdot z_1 = 0,10100000 \cdot 1,100 = 0,1111000000$, с помощью вычитателя 9 формируется очередной остаток $C = x - b = 0,11111111 - 0,1111000000 = 0,00001111000$. Сформированный остаток C записывается в регистр 1 делимого со сдвигом на три разряда влево, а сформированное частное $z -$ в сумматоре 3 частного, после чего осуществляется сдвиг его информации на три разряда в сторону старших разрядов.

2-й такт. В регистре 1 делимого $x = 0,01111000$, в регистре 2 делителя $y = 0,10100000$, в сумматоре 3 частного $z = 0,001100000$; $a = 0,101001$; $z = 0,011110 : 0,101001 = 0,101$; $b = y \cdot z_2 = 0,01100100000$; $C = x - b = 0,00010100000$. Сформированный остаток записывается в регистр 1 делимого со сдвигом на три разряда влево, а сформированное частное - в сумматоре 3 частного, где возможна коррекция его содержимого, после чего осуществляется сдвиг информации в сумматоре 3 частного на три разряда.

3-й такт. $x = 0,10100000$; $y = 0,10100000$; $z = 1,100101000$; $a = 0,101001$; $z = 0,101000 : 0,101001 = 0,111$; $b = y \cdot z_3 = 0,10001100000$; $C = x - b = 0,00010100000$. В сумматоре 3 частного после третьего такта $z = 1,100101111$, а в регистре 1 делимого $x = 0,1010000$. На этом процесс

деления заканчивается и производится округление частного. Окончательно получаем $z = 1,10011000$.

Таким образом структурные особенности устройства позволяют придти к меньшим аппаратным затратам по сравнению с известным устройством за счет исключения двух вычитателей и коммутатора.

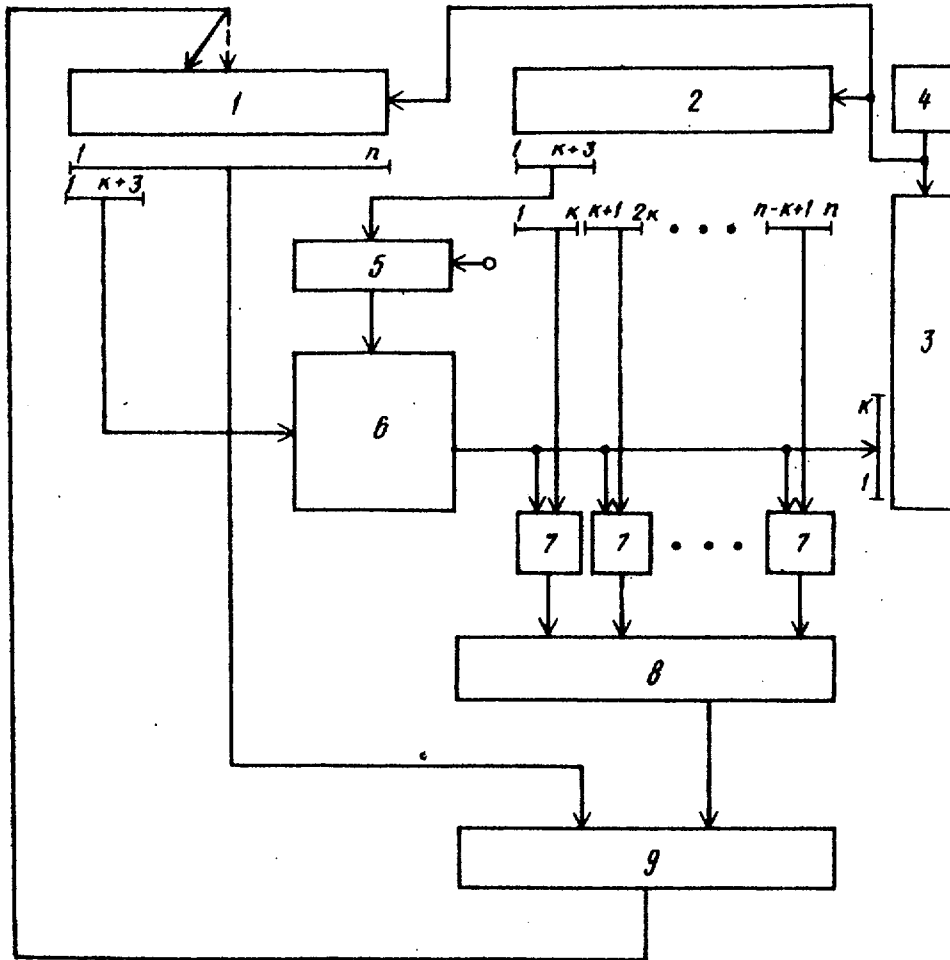
Формула изобретения

Устройство для деления, содержащее регистры делимого и делителя, блок управления, сумматор округления, шифратор цифр частного, n/k k -разрядных умножителей (n -разрядность регистров операндов, $2 \leq k \leq n/2$), сумматор произведений, вычитатель, причем первая группа входов шифратора цифр частного соединена с выходами сумматора округления, вход переноса которого соединен с шиной логической единицы, k выходов шифратора цифр частного соединены с входами первой группы j -го умножителя ($j=1, \dots, n/k$), вторая группа входов которого соединена с j -ой группой k выходов регистра делителя, выходы умножителей соединены с входами сумматора произведений, выходы которого соединены с входами вычитаемого вычитателя, входы уменьшаемого вычитателя соединены с выходами регистра делимого, входы управления регистров делимого и делителя соединены с выходом блока управления, отличающееся тем, что, с целью сокращения аппаратных затрат, устройство содержит сумматор частного, причем входы младших разрядов сумматора частного соединены с k выходами шифратора цифр частного, вход управления сдвигом на $(k - 1)$ разряд сумматора частного соединен с выходом блока управления, выходы вычитателя с k -го по $(n + k)$ -й соединены с входами регистра делимого, выходы $(k + 3)$ старших разрядов регистров делимого и делителя соединены соответственно с второй группой входов шифратора цифр частного и с входами сумматора округления.

Источники информации,

принятые во внимание при экспертизе
1. Папернов А.А. Логические основы ЦВТ.- М.: "Сов. радио", 1972, с. 242-246.

2. Авторское свидетельство СССР по заявке № 2546280/18-24, кл. G 06 F 7/52, 1977 (прототип).



Редактор Е. Гончар Составитель Г. Плешев Техред Т. Маточка Корректор М. Коста

Заказ 10625/62

Тираж 756

Подписное

ВНИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4