



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 09.04.79 (21) 2749591/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.02.81 Бюллетень № 7

Дата опубликования описания 23.02.81

(11) 807282

(51) М. Кл.³

G 06 F 7/52

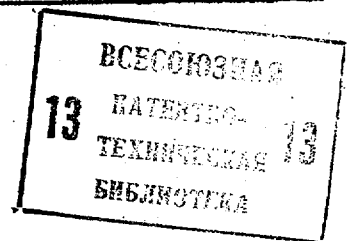
(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

А. Т. Пешков и Л. А. Глухова

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ n -РАЗРЯДНЫХ
ДЕСЯТИЧНЫХ ЧИСЕЛ

Изобретение относится к вычислительной технике и может быть использовано при построении универсальных арифметических устройств, обрабатывающих двоичную и десятичную информацию.

Известно вычислительное устройство последовательного действия, состоящее из преобразователей фазо-импульсного представления чисел в пространственно-импульсное, преобразователей пространственно-импульсного представления чисел в фазо-импульсное представление чисел, суммирующего и множительного блоков, логической схемы и блока микропрограммного управления [1].

Недостатком данного устройства является то, что при небольших функциональных возможностях оно обладает значительной сложностью.

Наиболее близким по технической сущности к предлагаемому является устройство для деления n -разрядных десятичных чисел, содержащее десятичный сумматор, регистр делителя, регистр хранения, регистр частного и блок управления, содержащий генератор импульсов, двоичный счетчик, элемент И, элемент НЕ, элементы задержки и триггер [2].

Недостатком данного устройства являются большие затраты оборудования (разрядность сумматора, регистра делителя и дополнительного регистра соответствует удвоенной разрядности десятичных операндов).

Цель изобретения — сокращение затрат оборудования устройства деления.

Поставленная цель достигается тем, что в устройство для деления n -разрядных десятичных чисел, содержащее сумматор, регистр частного, регистр делителя, регистр хранения и блок управления, причем блок управления содержит шины положительного и отрицательного знака парафазного входа, первый, второй, третий, четвертый, пятый, шестой и седьмой выходы, генератор импульсов, счетчик, первый, второй, третий, четвертый, пятый, шестой и седьмой элементы И, первый элемент НЕ, первый, второй и третий элементы задержки и триггер, причем информационный вход сумматора соединен с информационным выходом регистра делителя, информационный вход которого соединен с информационным выходом регистра хранения, первый выход блока управления соединен с первым управляющим входом сумматора,

второй управляющий вход которого соединен со вторым выходом блока управления, парафазный выход знака сумматора соединен с парафазным входом блока управления, третий выход которого соединен с первым управляющим входом регистра частного, второй управляющий вход которого соединен с четвертым выходом блока управления, пятый выход которого соединен с первым управляющим входом регистра делителя, второй управляющий вход которого соединен с шестым выходом блока управления, седьмой выход которого соединен с третьим управляющим входом регистра частного, причем выход генератора импульсов соединен со входом счетчика и первым входом первого элемента И; второй вход которого соединен с первым выходом счетчика, первый вход второго элемента И соединен с первыми входами третьего, четвертого, пятого и шестого элементов И и с выходом генератора импульсов, выход которого соединен с первым входом седьмого элемента И, вход первого элемента НЕ соединен со вторым выходом счетчика, а выход - со вторым входом четвертого элемента И, выход первого элемента задержки соединен с третьим входом первого элемента И, а вход первого элемента задержки - с шиной отрицательного знака входа блока управления и вторым входом второго элемента И, выход которого соединен со вторым выходом блока управления, вход второго элемента задержки соединен с выходом четвертого элемента И и с пятым выходом блока управления, выход третьего элемента задержки соединен с первым входом триггера, прямой выход которого соединен со вторым входом седьмого элемента И, выход которого соединен с седьмым выходом блока управления, второй вход триггера соединен с выходом первого элемента И, вторые входы третьего и шестого элементов И соединены с шиной положительного знака входа блока управления, а выходы третьего, пятого и шестого элементов И соединены соответственно с первым, шестым и третьим выходами устройства управления, выход второго элемента задержки соединен с четвертым выходом блока управления, в блок управления введен второй элемент НЕ, причем в блоке управления выход первого элемента НЕ соединен с третьими входами второго и третьего элементов И, второй вход пятого элемента И подключен ко входу третьего элемента задержки, установочному входу, второму выходу счетчика и входу первого элемента НЕ, вход второго элемента НЕ соединен с первым выходом счетчика, а выход - с третьим входом шестого элемента И, третий вход седьмого элемента И соединен со вторым выходом счетчика, а шестой выход блока

управления соединен с управляющим входом сдвига сумматора.

На фиг. 1 представлена структурная схема устройства для деления n -разрядных десятичных чисел; на фиг. 2 - структурная схема блока управления.

Устройство содержит десятичный сумматор 1, регистр 2 частного, регистр 3 делителя, регистр 4 хранения, блок 5 управления, который содержит первый и второй выходы 6 и 7, парафазный вход 8 знака, третий, четвертый, пятый, шестой и седьмой выходы 9-13, генератор 14 импульсов, счетчик 15, первый, второй, третий, четвертый, пятый, шестой и седьмой элементы И соответственно 16-22, первый и второй элементы НЕ 23 и 24, первый, второй и третий элементы 25-27 задержки, триггер 28.

Десятичный сумматор 1 содержит $(n+1)$ десятичный разряд (где n - разрядность исходных десятичных чисел) и имеет информационные разрядные входы, цепи сдвига на один десятичный разряд влево с управляющим входом сдвига, управляющие входы сложения и вычитания и парафазный выход знака.

Регистр 2 частного содержит n десятичных разрядов, вход сдвига, первый управляющий вход, поступление сигнала на который обеспечивает установку единицы в младшем двоичном разряде регистра, и второй управляющий вход, сигнал на котором обеспечивает преобразование обратного десятичного кода, находящегося в младшем десятичном разряде регистра частного, в прямой код.

Регистр 3 делителя содержит $(n+1)$ десятичный разряд, предназначенный для хранения десятичных цифр восьмикратного делителя и для получения путем деления на два других, ему кратных, цепи деления на два, информационные разрядные выходы, соединенные с информационными входами соответствующих десятичных разрядов сумматора 1, информационные разрядные входы, первый управляющий вход и управляющий вход записи. В качестве регистра 3 делителя может быть использован преобразователь информации из десятичной системы счисления в двоичную.

Регистр 4 хранения содержит $(n+1)$ десятичный разряд, предназначен для хранения восьмикратного делителя и имеет информационные разрядные выходы, соединенные с информационными разрядными входами регистра 3 делителя.

Блок 5 управления имеет первый и второй выходы 6 и 7, соединенные соответственно с управляющими входами вычитания и сложения сумматора 1, парафазный вход знака 8, подключенный к парафазному выходу знака суммато-

ра 1, третий выход 9, подсоединенный к первому управляющему входу регистра 2 частного, четвертый выход 10, соединенный со входом сдвига регистра 2 частного, пятый выход 11, подключенный к первому управляющему входу регистра 3, шестой выход 12, соединенный с управляющим входом записи регистра 3 и с управляющим входом сдвига сумматора 1, седьмой выход 13, подсоединенный ко второму управляющему входу регистра частного.

Блок управления включает генератор 14 импульсов, трехразрядный двоичный счетчик 15, имеющий счетный вход, подключенный к выходу генератора 14 импульсов, установочный вход, выход "0" и выход "4", первый-седьмой элементы И 16-22, причем первые входы этих элементов подключены к выходу генератора 14 импульсов, второй вход первого элемента И соединен с выходом "0" счетчика 15, второй вход второго элемента И соединен со входом отрицательного знака блока 5 управления, вторые входы третьего и шестого элементов И соединены со входом положительного знака блока 5 управления, второй вход пятого элемента И подключен к выходу "4" счетчика 15, выходы второго, третьего, четвертого, пятого, шестого и седьмого элементов И соединены соответственно с выходами 6, 11, 12, 9 и 13 блока управления, первый и второй элементы НЕ 23 и 24, входы которых соединены соответственно с выходами "4" и "0" счетчика 15, выход первого элемента НЕ подключен к третьим входам второго и третьего элементов И и ко второму входу четвертого элемента И, выход второго элемента НЕ подсоединен к третьему входу шестого элемента И, первый, второй и третий элементы 25, 26, 27 задержки, причем первый элемент задержки, величина которой равна длительности одного такта деления, подключен между выходом отрицательного знака сумматора 1 и третьим входом первого элемента И, а второй элемент задержки подключен между выходом четвертого элемента И 19 и выходом 10 блока 5 управления, триггер 28, выход которого подсоединен ко второму входу седьмого элемента И, первый вход к выходу первого элемента И, а второй вход через третий элемент задержки соединен с третьим входом седьмого элемента И 22, с выходом "4" и с установочным входом счетчика 15.

Устройство (фиг. 1) обрабатывает десятичную информацию, представленную в коде 8-4-2-1. Деление в устройстве выполняется за n циклов. Каждый цикл состоит из пяти тактов. На первых четырех тактах цикла определяется соответствующий двоичный разряд двоично-десятичного изображения текущей десятичной цифры частного. На

пятом такте выполняется умножение частичного остатка на 10 за счет его сдвига на четыре двоичных разряда влево. Деление выполняется методом без восстановления остатков.

Рассмотрим работу данной схемы на примере деления дробных десятичных чисел.

В исходном состоянии в сумматоре 1 (десятичных разрядах $2-(n+1)$) находится делимое, в регистрах 3 и 4 помещен восьмикратный код делителя, первый десятичный разряд сумматора и регистр 2 установлены в нуль.

Во время первого цикла определяется старший десятичный разряд частного. На первом такте первого цикла блок 5 управления формирует сигналы на своих выходах 6 и 11. Сигнал с выхода 6 поступает на управляющий вход вычитания сумматора 1 и обеспечивает вычитание из делимого кода восьмикратного делителя. Знак результата вычитания поступает на парафазный вход знака блока управления. Сигнал с выхода 11 блока управления поступает на первый управляющий вход регистра 3 делителя, обеспечивая деление его содержимого на два. Через время, равное времени установки младшего разряда регистра частного 2, после сигналов на выходах 6 и 11 блок управления формирует сигнал на выходе 10, который обеспечивает сдвиг содержимого регистра 2 частного на один двоичный разряд влево. На этом выполнение первого такта заканчивается.

Второй, третий и четвертый такты первого цикла выполняются следующим образом.

Если знак результата предыдущего такта в сумматоре 1 положителен, то блок 5 управления вырабатывает сигнал на своих выходах 6 и 9. По сигналу 6 выполняется вычитание содержимого регистра 3 из содержимого сумматора 1. Сигнал 9 поступает на первый управляющий вход регистра 2 частного, обеспечивая установку единицы в его младший разряд.

Если знак результата предыдущего такта в сумматоре 1 отрицателен, то блок 5 управления формирует сигнал на выходе 7, обеспечивающем прибавление содержимого регистра 3 к содержимому сумматора 1.

Знак результата сложения-вычитания поступает на парафазный вход 8 блока управления.

Одновременно с выполнением операции сложения-вычитания в сумматоре 1 формируются сигналы на выходах 10 и 11 блока управления. Сигнал с выхода 11 обеспечивает деление содержимого регистра 3 на два, сигнал с выхода 10 управляет сдвигом содержимого регистра 2 частного влево на один двоичный разряд.

Пятый такт первого цикла выполняется следующим образом.

Если на предыдущем такте цикла в сумматоре 1 получают положительный знак операции, то блок управления вырабатывает сигнал на выходе 9, по которому в младшем двоичном разряде регистра 2 устанавливается единица. Одновременно блок управления формирует сигнал на выходе 12, поступающий на управляющий вход записи регистра 3 делителя и на управляющий вход сдвига сумматора 1 и обеспечивающий передачу в регистр 3 содержимого регистра 4 хранения, а также сдвиг на четыре разряда влево содержимого сумматора 1.

На этом выполнение первого цикла окончено. Второй и все последующие циклы выполняются в зависимости от знака результата операции сложения-вычитания четвертого такта предыдущего цикла.

Если результат сложения-вычитания четвертого такта предыдущего цикла в сумматоре 1 положителен, то данный цикл выполняется аналогично первому циклу.

Если же результат сложения-вычитания четвертого такта предыдущего цикла окажется отрицательным, то данный цикл выполняется следующим образом.

Все сигналы блока 5 управления на всех пяти тактах вырабатываются аналогично первому циклу. Кроме того, на пятом такте данного цикла на выходе 13 блока управления формируется управляющий сигнал, поступающий на второй управляющий вход регистра 2 частного, по которому выполняется добавление кода 1010 в младший десятичный разряд частного. Десятичный перенос, возникающий при этом, блокируется.

Деление считается законченным по завершении n -ого цикла.

Аналогичным образом выполняется деление дробных десятичных чисел.

Сигналы блока управления, обеспечивающие выполнение операции деления двоично-десятичных чисел, формируются следующим образом.

В исходном состоянии счетчик 15 и триггер 28 устанавливаются в нуль. Поэтому первому такту первого цикла соответствует потенциал на выходе "0" счетчика 15, низкий уровень на выходе элемента НЕ 24 и высокий - на выходе элемента НЕ 23. Сигнал с генератора 14 импульсов через элементы И 18 и 19 поступает на выходы 7 и 11 блока управления. Кроме того, сигнал с выхода элемента И 19 проходит через элемент 26 задержки на выход 10 блока управления.

Одновременно сигнал генератора 14 импульсов поступает на счетный вход счетчика 15 блока управления и обес-

печивает к началу следующего такта установку в нем кода 001. На этом выполнение первого такта заканчивается.

Управляющие сигналы на втором, третьем и четвертом тактах первого цикла формируются следующим образом.

Если знак результата предыдущего такта в сумматоре 1 положителен, то по очередному сигналу генератора 14 импульсов срабатывают элементы И 18 и 21, сигналы с выходов которых поступают соответственно на выходы 6 и 9 блока управления.

Если знак результата предыдущего такта в сумматоре 1 отрицателен, то по очередному сигналу генератора 14 импульсов открывается элемент И 17 блока управления, сигнал с выхода которого поступает на выход 7 блока управления.

Одновременно сигнал генератора 14 импульсов проходит через элемент И 19 на выход 11 и через задержку 26 на выход 10 блока управления. Кроме того, сигнал генератора 14 обеспечивает прибавление единицы к содержимому счетчика 15.

К началу пятого такта содержимое счетчика 15 становится равным 100. Поэтому на выходе "4" счетчика 15 сформируется сигнал, поступающий через элемент НЕ 23 и запрещающий работу на пятом такте данного цикла элементов И 17-19. По сигналу генератора 14 импульсов открывается элемент И 20 и, в случае положительного знака результата предыдущего такта в сумматоре 1, пришедшего на парафазный вход знака блока управления, открывается элемент И 21. Сигналы с выходов элементов И 20 и 21 поступают соответственно на выходы 12 и 9 блока 5 управления. Кроме того, сигнал с выхода "4" счетчика 15 поступает на установочный вход счетчика, сбрасывая его содержимое, по приходу сигнала генератора импульсов 14 в нуль. Одновременно сигнал с выхода "4" счетчика 15, пройдя через элемент 27 задержки, сбрасывает триггер 28 в нуль.

На этом выполнение первого цикла окончено.

Второй и все последующие циклы выполняются в зависимости от знака результата операции сложения-вычитания четвертого такта предыдущего цикла, который запоминается в триггере 28 блока управления. На первом такте следующего цикла, которому соответствует нулевое состояние счетчика 15 (потенциал на выходе "0" счетчика) по сигналу генератора 14 импульсов, открывается первый элемент И 16, обеспечив, в случае отрицательного знака результата сложения-вычитания четвертого такта предыдущего цикла, запоминание знака в триггере 28. В случае положительного знака триггер 28 остается в нуле.

Если знак, хранящийся в триггере 28, положителен, то все сигналы блока управления формируются аналогично первому циклу.

Если же в триггере 28 хранится отрицательный знак, то кроме сигналов, вырабатываемых блоком управления на первом цикле, на пятом такте данного цикла по сигналу генератора 14 импульсов откроется элемент И 22, сигнал с выхода которого поступает на выход 13 блока управления.

Аналогичным образом в данном устройстве может быть выполнено деление целых десятичных чисел. В этом случае перед началом деления необходимо выравнять порядки делимого и делителя и предварительно определить число знающих цифр частного.

Эффективность изобретения заключается в сокращении затрат оборудования устройства деления за счет уменьшения разрядности десятичного сумматора, регистра делителя и регистра хранения.

Формула изобретения

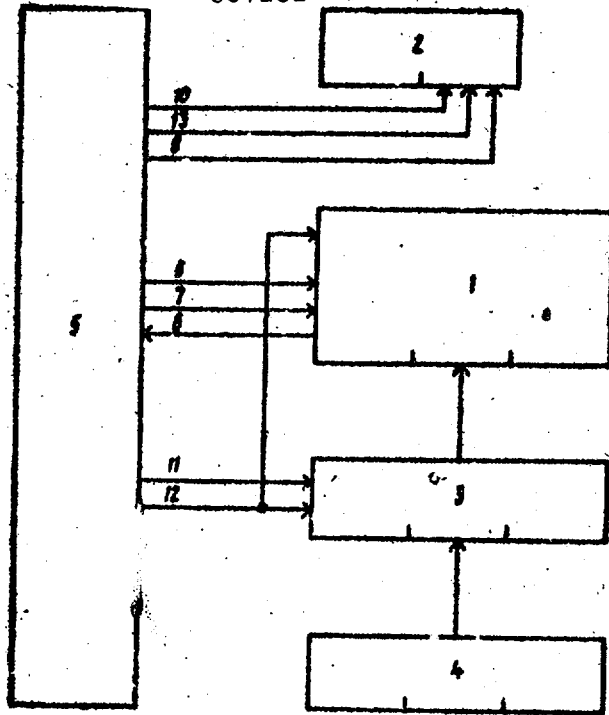
Устройство для деления n -разрядных десятичных чисел, содержащее сумматор, регистр частного, регистр делителя, регистр хранения и блок управления, причем блок управления содержит шины положительного и отрицательного знака парафазного входа, первый, второй, третий, четвертый, пятый, шестой и седьмой выходы, генератор импульсов, счетчик, первый, второй, третий, четвертый, пятый, шестой и седьмой элементы И, первый элемент НЕ, первый, второй и третий элементы задержки и триггер, причем информационный вход сумматора соединен с информационным выходом регистра делителя, информационный вход которого соединен с информационным выходом регистра хранения, первый выход блока управления соединен с первым управляющим входом сумматора, второй управляющий вход которого соединен со вторым выходом блока управления, парафазный выход знака сумматора соединен с парафазным входом блока управления, третий выход которого соединен с первым управляющим входом регистра частного, второй управляющий вход которого соединен с четвертым выходом блока управления, пятый выход которого соединен с первым управляющим входом регистра делителя, второй управляющий вход которого соединен с шестым выходом блока управления, седьмой выход которого соединен с третьим управляющим входом регистра частного, причем

выход генератора импульсов соединен со входом счетчика и первым входом первого элемента И, второй вход которого соединен с первым выходом счетчика, первый вход второго элемента И соединен с первыми входами третьего, четвертого, пятого и шестого элементов И и с выходом генератора импульсов, выход которого соединен с первым входом седьмого элемента И, вход первого элемента НЕ соединен со вторым выходом счетчика, а выход - со вторым входом четвертого элемента И, выход первого элемента задержки соединен с третьим входом первого элемента И, а вход первого элемента задержки - с шиной отрицательного знака входа блока управления и вторым входом второго элемента И, выход которого соединен со вторым выходом блока управления, вход второго элемента задержки соединен с выходом четвертого элемента И и с пятым выходом блока управления, выход третьего элемента задержки соединен с первым входом триггера, прямой выход которого соединен со вторым входом седьмого элемента И, выход которого соединен с седьмым выходом блока управления, второй вход триггера соединен с выходом первого элемента И, вторые входы третьего и шестого элементов И соединены с шиной положительного знака входа блока управления, а выходы третьего, пятого и шестого элементов И соединены соответственно с первым, шестым и третьим выходами устройства управления, выход второго элемента задержки соединен с четвертым выходом блока управления, отличающаяся тем, что, с целью упрощения устройства, в блок управления дополнительно введен второй элемент НЕ, причем в блоке управления выход первого элемента НЕ соединен с третьими входами второго и третьего элементов И, второй вход пятого элемента И подключен ко входу третьего элемента задержки, установочному входу, второму выходу счетчика и входу первого элемента НЕ, вход второго элемента НЕ соединен с первым выходом счетчика, а выход - с третьим входом шестого элемента И, третий вход седьмого элемента И соединен со вторым выходом счетчика, а шестой выход блока управления соединен с управляющим входом сдвига сумматора.

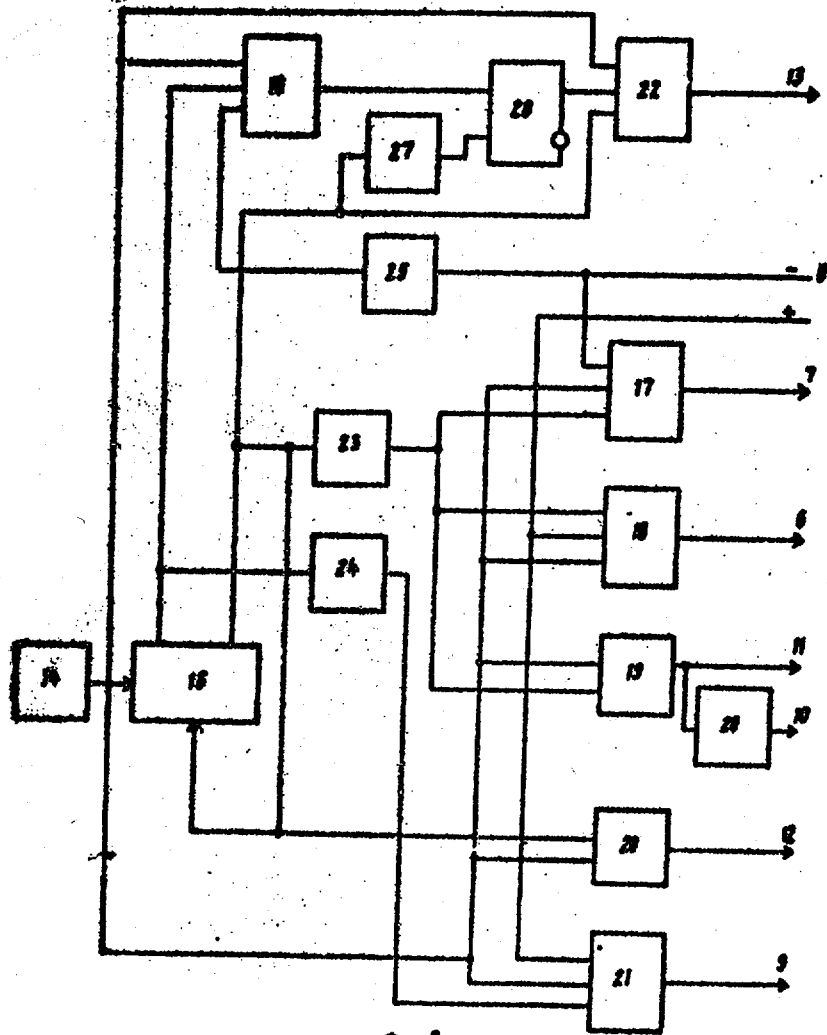
Источники информации,

- принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 233296, кл. G 06 F 7/38, 1967.
 2. Авторское свидетельство СССР по заявке № 2357476/18-24, кл. G 06 F 7/39, 1978 (прототип).

807282



Фиг. 1



Фиг. 2