



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 732868

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 24.11.77 (21) 2546280/18-24

(51) М. Кл.²

с присоединением заявки № -

G 06 F 7/52

(23) Приоритет -

Опубликовано 05.05.80. Бюллетень № 17

(53) УДК 681.

Дата опубликования описания 06.05.80

.325(088,8)

(72) Авторы
изобретения

Б. Г. Лысиков, Б. В. Песин и А. А. Шостак

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ n -РАЗРЯДНЫХ ЧИСЕЛ

1

Изобретение относится к вычислительной технике и может быть применено при разработке быстродействующих устройств деления.

Известно устройство для деления, содержащее комбинационный сумматор, вход которого соединены с шинами значе-
ний n разрядов делимого и делителя, а выход соединен с шиной значений n разрядов остатка, выход его знакового разряда соединен с шиной значения цифр частного [1].

Основным недостатком такого устройства является большое время получения цифры частного (оно примерно равно времени сложения двух n -разрядных чисел), а также невозможность одновременного получения нескольких цифр частного.

Известно устройство для деления, содержащее формирователь устроенного делителя, комбинационный сумматор, узлы сравнения, узел формирования цифр частного и узел коррекции остатка [2].

2

Основными недостатками его являются сложность и нерегулярность структуры, относительно низкое быстродействие при больших значениях количества одновременно формируемых цифр частного.

Наиболее близким к предлагаемому изобретению по технической сущности является устройство для деления, содержащее регистр делителя, регистр делимого и остатка, шифратор, блок умножения, вычитатель, блок коррекции, регистр частного, элементы выбора нижнего или верхнего значения цифр частного, соединенные с входом блока умножения, выход которого поступает на вход вычитателя, а другой вход вычитателя объединен с выходом регистра делимого и остатка, соединенного также с входом шифратора, выход которого подключен к первому входу блока коррекции, а второй вход блока коррекции соединен с выходом вычитателя [3].

Целью изобретения является увеличение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для деления введены n/k счетчик K -разрядных узлов умножения ($K=n-n/2$), $(n+k)$ - разрядный сумматор, два вычитателя, n - разрядный коммутатор остатка, элемент НЕ, счетчик коррекции частного, при этом входы счетчика соединены с шинами $(K+2)$ старших разрядов делителя, а выход соединен со входом шифратора цифр, выход которого соединен с первыми входами узлов умножения, вторые входы которых соединены с соответствующей группой K разрядов делителя, выходы узлов умножения соединены с соответствующей группой входов сумматора, вход уменьшаемого второго вычитателя соединен с шиной делимого, а вход вычитаемого второго вычитателя соединен с шиной делителя, вход уменьшаемого третьего вычитателя соединен с выходом второго вычитателя, а вход вычитаемого первого вычитателя и вход вычитаемого третьего вычитателя соединен с выходом сумматора остатка соединены с выходами n младших разрядов первого и третьего вычитателей, а его управляющий вход соединен с выходом знакового разряда третьего вычитателя, выход коммутатора остатка соединен с шиной n разрядов остатка, вход счетчика коррекции цифр частного соединен с выходом шифратора, а управляющий вход соединен через элемент НЕ с выходом знакового разряда третьего вычитателя, выход счетчика коррекции частного соединен с шиной частного.

На чертеже приведена функциональная схема устройства.

Устройство содержит счетчик 1 принудительного округления делителя, шифратор 2, n/k K - разрядных узлов 3 умножения, $(n+k)$ разрядный сумматор 4, три $(n+k)$ - разрядных вычитателя 5, 6 и 7, n - разрядный коммутатор 8 остатка, элемент НЕ 9 и счетчик 10 коррекции частного, вход счетчика 1 принудительного округления делителя соединен с шиной 11 $(K+2)$ старших разрядов шины 12 делителя, а выход соединен с входом делителя шифратора 2, вход делимого которого соединен с шиной 13 $(K+2)$ старших разрядов шины 14 делимого, а его выход соединен с первыми входами узлов 3 умножения, вторые входы каждого из которых соединены с шинами 15 K разрядов делителя с учетом весовой позиции $2 \cdot K$ - разрядного произведения, выходы узлов 3 умножения сое-

динены с равновесовыми входами сумматора 4, вход уменьшаемого второго вычитателя 6 соединен с шиной 14 n - разрядов делимого, а его вход вычитаемого соединен с шиной 12 n разрядов делителя, сдвинутых на K разрядов в сторону младших разрядов, вход уменьшаемого третьего вычитателя 7 соединен с выходом второго вычитателя 6, а его вход вычитаемого соединен с выходом сумматора 4, вход уменьшаемого первого вычитателя 5 соединен с шиной 14 n - разрядов делимого, а его вход вычитаемого соединен с выходом сумматора 4, входы коммутатора 8 остатка соединены с выходами n младших разрядов первого и третьего вычитателей 5 и 7, а его управляющий вход соединен с выходом 17 знакового разряда третьего вычитателя 7, выход коммутатора 8 остатка соединен с шиной 16 n разрядов остатка, вход счетчика 10 коррекции цифр частного соединен с выходом шифратора 2, а его управляющий вход соединен через элемент НЕ 9 с выходом 17 знакового разряда третьего вычитателя 7, выход счетчика 10 коррекции частного соединен с шиной 18 K цифр. В устройстве счетчик 1 принудительного округления делителя производит прибавление к $(K+2)$ старшим разрядам делителя единицы к их младшему разряду. Шифратор 2 осуществляет деление $(K+2)$ старших разрядов делимого на принудительно округленные $(K+2)$ старших разрядов делителя. С помощью узлов 3 умножения и сумматора 4 формируется $(n+k)$ - разрядное произведение n -разрядного делителя на K -разрядное частное, полученное на выходе шифратора 2. В каждом узле 3 умножения осуществляется умножение K разрядов частного, полученных на выходе шифратора 2, на соответствующие K разрядов делителя с учетом весовой позиции $2 \cdot K$ -разрядного произведения. В предлагаемом устройстве предполагается, что все узлы 3 умножения, подобно шифратору 2, выполнены в виде логических шифраторов K -разрядных кодов сомножителей в $2 \cdot K$ -разрядный код их произведения. Следует особо отметить, что в определенных случаях с целью сокращения оборудования и обеспечения регулярности структуры шифратора 2 и узла 3 умножения целесообразна реализация шифратора 2 в виде матрицы взаимосвязанных сумматоров-вычитателей, а узлов 3 умножения - в виде матрицы взаимосвязанных

сумматоров. Здесь также предполагается, что во всех вычитателях и сумматоре используются цепи ускоренного формирования заема и переноса. Коммутатор 8 остатка может быть реализован на элементах И-ИЛИ.

Устройство работает следующим образом.

По шинам 14 и 12 поступают в прямом коде без знака n -разрядные делимое и делитель (для определенности предполагается, что система счисления двоичная). В счетчике 1 принудительного округления делителя производится добавление K ($K+2$) старшим разрядам делителя единицы в их младший разряд. Этим самым устраняется возможность получения в шифраторе 6, в котором производится деление ($K+2$) старших разрядов делимого на ($K+2$) разряда делителя, частного с избытком на выходе узла принудительного округления. Можно показать, что абсолютная погрешность (разность между значением частного, получаемого при делении n -разрядных чисел и значением частного, получаемого при делении усеченных ($K+2$) - разрядных чисел) при этом будет заключена в пределах

$$0 < \varepsilon < 2^{-K}$$

Действительно, пусть x - значение делимого, поступающего на вход шины 14 устройства; y - значение делителя, поступающего на входы шины 12 устройства; x_1 - значение старших ($K+2$) разрядов делимого, поступающих на вход делимого шифратора генерации K цифр псевдочастного; y_1 - значение старших ($K+2$) разрядов делителя, поступающих на вход счетчика принудительного округления;

$$x_2 = x - x_1 \text{ и } y_2 = y - y_1$$

Покажем, что

$$0 < \frac{x}{y} - \frac{x_1}{y_1 + 2^{-(K+2)}} < 2^{-K}$$

Здесь предполагается, что

$$0 \leq x < 1; 1/2 \leq y < 1 \text{ и } x < y.$$

Выполнение левого условия, очевидно, поэтому ограничимся лишь доказательством неравенства:

$$\frac{x}{y} - \frac{x_1}{y_1 + 2^{-(K+2)}} < 2^{-K}$$

которое можно переписать в виде

$$x \cdot (y_1 + 2^{-(K+2)}) - x_1 y < 2^{-K} \cdot y (y_1 + 2^{-(K+2)}).$$

Нетрудно заметить, что максимальная абсолютная погрешность будет в том случае, когда

$$y_2 = y_{2\text{мин}} = 0(y - y_1); x_2 = x_{2\text{макс}} = 2^{-(K+2)} - 2^{-n}$$

$$\text{и } x = x_{\text{макс}} = y_1 - 2^{-n}$$

С учетом этого получим

$$x \cdot 2^{-(K+2)} + x_2 y_1 < 2^{-K} \cdot y_1 (y_1 + 2^{-(K+2)}) \quad \text{или}$$

$$(y_1 - 2^{-n}) \cdot 2^{-(K+2)} + (2^{-(K+2)} - 2^{-n}) y_1 < 2^{-K} y_1 (y_1 + 2^{-(K+2)})$$

Последнее соотношение можно привести к виду

$$y_1 \cdot 2^{-(K+1)} < 2^{-K} y_1 (y_1 + 2^{-(K+2)}),$$

которое выполняется при всех значениях y_1 , заключенных в пределах $1/2 \leq y < 1$, что и требовалось доказать. Но тогда значение K - разрядного частного, получаемого при делении усеченных чисел, может быть либо равно значению старших K разрядов частного, получаемых при делении K - разрядных чисел, либо меньше его на единицу младшего разряда с весом 2^{-K} (в дальнейшем будем говорить соответственно о точном и неточном значениях K - разрядного частного на выходе шифратора генерации K цифр частного).

С помощью узлов 3 умножения и сумматора 4 формируется $(n+K)$ - разрядное произведение n - разрядного делителя на K - разрядное частное, полученное на выходе шифратора 2 генерации K цифр псевдочастного. С помощью второго и третьего вычитателей 6 и 7 производится вычитание из n - разрядного делимого n - разрядного делителя, сдвинутого на K разрядов в сторону младших разрядов, а также $(n+K)$ - разрядного произведения, полученного на выходе сумматора 4. Если получившаяся при этом разность положительна, то это означает, что сформированное шифратором 2 K - разрядное частное неточное и его необходимо скорректировать в счетчике 10 коррекции частного путем добавления единицы в его младший разряд. Коммутатор 8 остатка в этом случае соединяет выход n младших разрядов третьего вычитателя 7 с шиной 16 n

разрядов остатка. Если же получившаяся на выходе третьего вычитателя 7 разность отрицательна, то в шифраторе 2 генерации K частного получено точное значение K -разрядного частного, не требующее дополнительной коррекции в счетчике 10 цифр частного. Коммутатор 8 остатка в этом случае соединяет выход n младших разрядов первого вычитателя 5, в котором сформирована разность делимого и $(n+k)$ -разрядного произведения, полученного на выходе сумматора 4, с шиной 16 n разрядов остатка.

Ниже рассматривается пример, поясняющий принцип работы и структурные особенности устройства для деления n -разрядных чисел (для определенности выбраны $n=12$ и $K=4$).

Пусть $x=101001111111$;
 $Y=101010000000$. Значение K цифр частного при делении X на Y равно $Z_4=1111$, значение получившегося при этом остатка $Z_6=0000101001110000$.

Вычислительный процесс определения остатка и четырех цифр частного в этом случае организован следующим образом.

В счетчик 1 принудительного округления делителя формируется результат $A=Y_1+2^{-6}=0,101010+0,000001=0,101011$, в шифраторе 2 генерации четырех цифр частного формируется 4-разрядное частное $Z_4=X_4:A=0,101001$: $:0,101011=0,1111$,

с помощью узлов 3 умножения и сумматора 4 формируется 16-разрядное произведение $b=Y \cdot Z_4=0,1001110110000000$ в вычитателе 6 формируется разность $C_1=X-Y \cdot 2^4=0,1001110101110000$, в вычитателе 7 формируется разность $C_2=C_1-b=0,0000000000010000$, в вычитателе 5 формируется разность $C_3=X-b=0,0000101001110000$.

Так как полученная на выходе третьего вычитателя 7 разность отрицательна, сформированное в шифраторе 2 4-разрядное частное Z_4 точное и не требуется дополнительная коррекция, а сформированная в вычитателе 5 разность C_3 является остатком Z .

Рассмотренное устройство используется для формирования n -разрядного частного за n/K тактов, а также при построении матричных (однотактных) устройств деления. Оно позволяет сократить время формирования остатка и K цифр частного

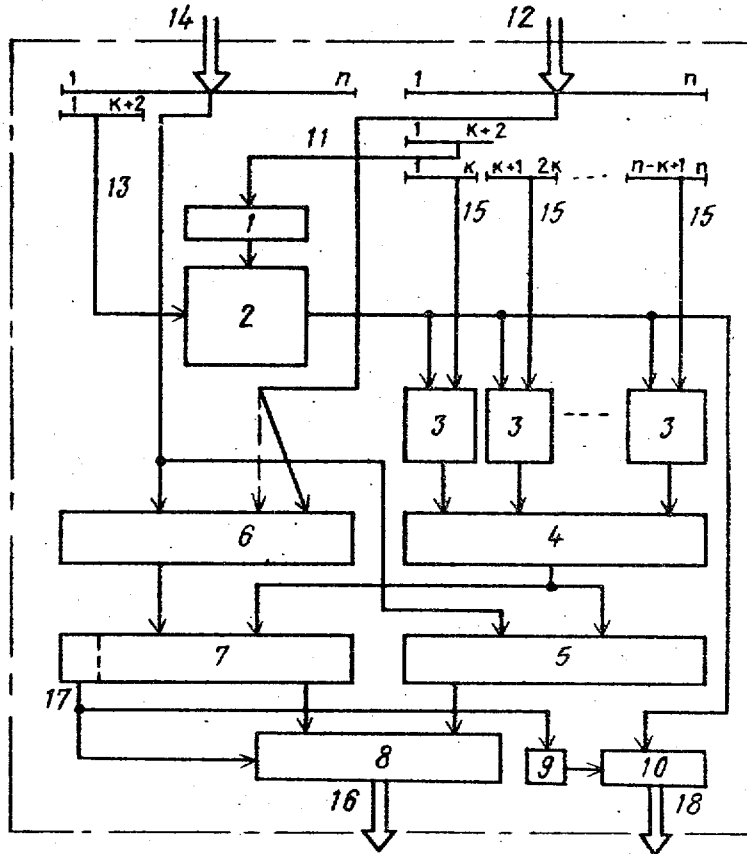
го $\tau_2(K)$, в сравнении с известным устройством примерно в K раз.

Ф о р м у л а и з о б р е т е н и я

Устройство для деления n -разрядных чисел, содержащее шифратор, первый вычитатель, вход уменьшаемого которого подключен к шине делимого, соединенной со входом шифратора отличающееся тем, что, с целью повышения быстродействия, в него введены счетчик n/K K -разрядных ($K=2^{n/2}$) узлов умножения, $(n-k)$ -разрядный сумматор, второй и третий вычитатели, n -разрядный коммутатор остатка, элемент НЕ, счетчик коррекции частного, при этом входы счетчика соединены с шиной $(K+2)$ старших разрядов делителя, а выход соединен со входом шифратора, выход которого соединен с первыми входами узлов умножения, вторые входы которых соединены соответствующей группой K -разрядов делителя, выход узлов умножения соединен с соответствующей группой входом сумматора, вход уменьшаемого второго вычитателя соединен с шиной делимого, а вход вычитаемого второго вычитателя соединен с шиной делителя, вход уменьшаемого третьего вычитателя соединен с выходом второго вычитателя, а вход вычитаемого первого вычитателя и вход вычитаемого третьего вычитателя соединены с выходом сумматора, входы коммутатора остатка соединены с выходами n -младших разрядов первого и третьего вычитателей, а его управляющий вход соединен с выходом знакового разряда третьего вычитателя, выход коммутатора остатка соединен с шиной n -разрядов остатка, вход счетчика коррекции частного соединен с выходом шифратора, а управляющий вход соединен через элемент НЕ с выходом знакового разряда третьего вычитателя, выход счетчика коррекции частного соединен с шиной частного.

Источники информации, принятые во внимание при экспертизе

1. Карцев Н. А. Арифметика цифровых машин, М., 1969, с. 494, рис. 5,1а.
2. Папернов А. А. Логические основы ЦВТ. М., 1972, с. 247, рис. 5.
3. Патент США № 3234367, кл. 235-176, 1968 (прототип).



Составитель Г. Плещев

Редактор Л. Курасова Техред Ж. Кастелевич Корректор М. Демчик

Заказ 1737/38

Тираж 751

Подписное

ЦНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4