



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 24.05.79 (21) 2769819/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.03.81, Бюллетень № 12

Дата опубликования описания 30.03.81

(11) 817699

(51) М. Кл.³

G 06 F 7/49

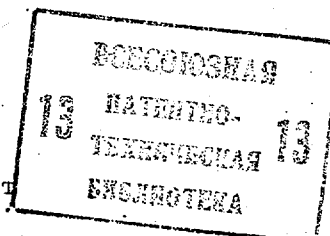
(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

Л.М. Трубицын и Н.И. Цупрев

(71) Заявитель

Минский радиотехнический институт



(54) СУММАТОР n-РАЗРЯДНЫХ КОМПЛЕКСНЫХ
ЧИСЕЛ

Изобретение относится к вычислительной технике и может быть использовано в вычислительных машинах и комплексах.

Известны сумматоры кодов комплексных чисел, содержащие два регистра операндов, коммутатор, два двоичных сумматора, регистр результатов [1].

Наиболее близким по технической сущности к предлагаемому является сумматор, содержащий регистр 1-ого операнда, регистр 2-ого операнда, регистр общего переноса, схему анализа наличия нулевого цикла (НЦ), схему формирования общего переноса при наличии НЦ, схему формирования общего переноса при отсутствии НЦ, коммутатор переносов, схему формирования разрядов суммы при наличии НЦ, схему формирования разрядов суммы при отсутствии НЦ, коммутатор разрядов суммы, регистр суммы, схему определения момента окончания сложения и синхронизатор [2].

Алгоритм сложения кодов комплексных чисел, положенный в основу работы данного устройства, основан на последовательном принципе формирования разрядов суммы.

Перед началом такта формирования i-того разряда суммы разряды с номе-

рами $i, i+1, i+2$ обоих операндов и общего переноса анализируются на наличие НЦ. При наличии НЦ формируются i -й, $i+1$ -й, $i+2$ -й разряды суммы и общий перенос в следующие разряды. При отсутствии НЦ формируется i -й разряд суммы и общий перенос в следующие разряды. Операнды и общий перенос сдвигаются в сторону младших разрядов на 3 разряда при наличии НЦ, на 1 разряд при отсутствии НЦ.

Процесс формирования разрядов повторяется до получения суммы.

На основании описанного алгоритма сложения комплексных чисел время сложения определяется по формуле

$$t_{\Sigma 1} = \frac{1}{2} (t_1 + t_2), \quad (1)$$

где $t_1 = t_{T_1} \left(\frac{n+8}{3} \right)$ - длительность процедуры сложения операндов вида

$\begin{cases} \text{НЦ.НЦ.НЦ.НЦ.НЦ.НЦ.} \\ 11111111111111111111 - 1\text{-ый операнд} \\ 011011011011011011 - 2\text{-ой операнд} \\ \text{-----} \\ 000000000000000000 - \text{сумма;} \end{cases}$

$t_2 = t_{T_1} (n+8)$ - длительность процедуры сложения при отсутствии

НЦ на протяжении всей операции;

$\frac{1}{2}$ - множитель, указывающий на равновероятное появление обоих видов комбинаций операндов;

$t_{\Sigma 1}$ - длительность такта формирования разрядов суммы.

Подставляя эти данные в формулу (1), получаем формулу (2) для определения времени сложения

$$t_{\Sigma 1} \approx \frac{2}{3} t_{\Sigma 1} (n+8) \quad (2)$$

В такте формирования разрядов суммы, основные временные затраты приходятся на формирование общего переноса в старшие разряды

$$t_{\Sigma 1} \approx t_n,$$

$$t_n \approx t_{\text{НЦ}} + t_{\text{ФП}} + t_k + t_{3\text{Н}} + t_{\text{СДВ}}$$

где $t_{\text{НЦ}} = 6t_3$ - время анализа разрядов операндов на наличие НЦ;

$t_{\text{ФП}} = 30t_3$ - время формирования переноса;

$t_k = 4t_3$ - время перекоммутации;

$t_{3\text{Н}} = 6t_3$ - время занесения в регистр общего переноса 3;

$t_{\text{СДВ}} = 6t_3$ - время сдвига информации в регистрах 1-4;

t_3 - время задержки на одном логическом элементе.

Суммируя, получаем время t_n формирования общего переноса

$$t_n \approx 60t_3.$$

Тогда общая формула для определения времени сложения выглядит следующим образом

$$t_{\Sigma 1} \approx 40 \cdot t_3 \cdot (n+8) \quad (3)$$

Основным недостатком известных сумматоров кодов комплексных чисел является низкая скорость работы и большие затраты в оборудовании.

Цель изобретения - повышение быстродействия и упрощение устройства.

Поставленная цель достигается тем, что сумматор n разрядных комплексных чисел, содержащий два $(n+8)$ разрядных регистра операндов, $(n+8)$ разрядный регистр суммы, блок синхронизации, содержит $(n+8)$ одноразрядных двоичных сумматоров, причем выходы сумматоров с номерами $i = 2k + 1$ ($k = 0, 1, 2, \dots$) подключены ко входам разрядов регистра 1-ого операнда с номерами $M = i + 2$ и $M = i + 3$ а выходы переносов сумматоров с номерами $i = 2k$ ($k = 0, 1, 2, \dots$) подключены

к входам разрядов регистра 2-ого операнда с номерами $N = i + 2$ и $N = i + 3$ и выходы блока синхронизации соединены с управляющими входами регистрации первого и второго операндов и одноразрядных сумматоров.

На чертеже представлена функциональная схема сумматора n разрядных комплексных чисел.

Устройство содержит регистр 1 первого операнда, регистр 2 второго операнда, $(n+8)$ одноразрядных двоичных сумматоров 3, входы которых подключены к выходам соответствующих разрядов регистров операндов, а выходы суммы ко входам соответствующих разрядов регистров суммы.

При выполнении операции сложения из операндов формируется двоичный код, значения разрядов которого являются суммой по модулю два разрядов операндов, и переносы при поразрядном суммировании. Два младших разряда полученного двоичного кода являются истинными младшими разрядами суммы. Переносы группируются в два кода, в зависимости от номера одноразрядного двоичного сумматора, из которого они возникли (переносы из нечетных одноразрядных сумматоров в первый код, переносы из четных - во второй). Двоичные коды, сформированные из переносов, и код, полученный в результате поразрядного сложения, участвуют в формировании следующей пары разрядов суммы, при этом получается новый код поразрядного сложения и коды переносов (младшие разряды кода поразрядного сложения являются следующими разрядами суммы). Пара разрядов суммы, полученная в очередном такте суммирования, в следующем такте не используется.

Процесс повторяется до получения полной суммы кодов комплексных чисел, т.е. $n+8/2$ раз.

Разрядность регистров операндов, регистра суммы, а также количество одноразрядных двоичных сумматоров равна $(n+8)$, так как для данной системы счисления ($p = -1 + j$ - основание системы счисления) разрядность результата максимум $(n+8)$.

Устройство работает следующим образом.

После приема первого и второго операндов на регистры 1 и 2 соответственно по сигналу У1 разряды первого операнда подаются на соответствующие им одноразрядные сумматоры 3, по сигналу У2 разряды второго операнда поступают на соответствующие им одноразрядные сумматоры 3, где формируется код поразрядного сложения. На регистрах 1 и 2 формируются коды переносов из нечетных и четных одноразрядных сумматоров соответственно. По следующей паре сигналов У1 и У2 содержимое регистров 1 и 2 подается

на одноразрядные сумматоры и складывается с их содержимым, при этом формируются новые коды: поразрядного сложения и переносов.

Через $n+8/2$ раз процесс сложения оканчивается и по сигналу УЗ полученная сумма передается в регистр 4.

Выходы блока 5 синхронизации соединены с регистрами и с сумматором.

Оценим быстродействие сумматора кодов комплексных чисел.

Как видно из принципа работы

$$t_{\Sigma 2} \approx t_{T2} \cdot \frac{n+8}{2}, \quad (4)$$

где t_{T2} - длительность такта формирования разрядов суммы,

$$t_{T2} \approx t_{n1} + t_{n2},$$

где t_{n1} - время передачи первого операнда на сумматор;

t_{n2} - время передачи второго операнда на сумматор 3,

$$t_{n1} = t_{n2} = 6t_3,$$

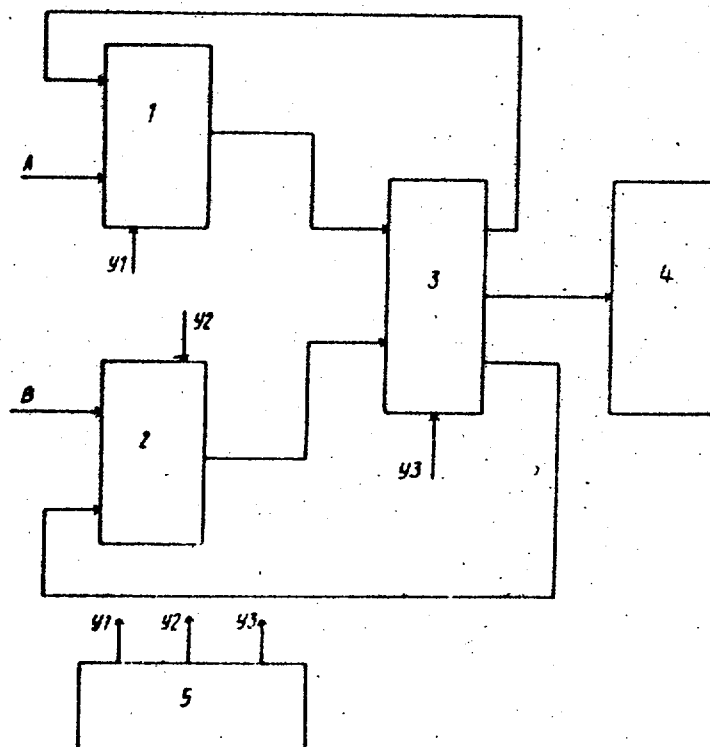
где t_3 - время задержки сигнала на логическом элементе.

Подставляя эти данные в формулу (4), получим формулу (5) для определения быстродействия сумматора кодов комплексных чисел.

$$t_{\Sigma 2} \approx 6t_3(n+8) \quad (5)$$

Сравним формулы (3) и (5)

$$k \approx \frac{t_{\Sigma 1}}{t_{\Sigma 2}} = \frac{40t_3(n+8)}{6t_3(n+8)} \approx 6,7$$



Таким образом, по быстродействию сумматор кодов комплексных чисел приблизительно в 6,7 раза превосходит ранее известный.

Формула изобретения

Сумматор n -разрядных комплексных чисел, содержащий два $(n+8)$ разрядных регистра операндов, $(n+8)$ разрядный регистр суммы, блок синхронизации, отличающийся тем, что, с целью повышения быстродействия и упрощения устройства, устройство содержит $(n+8)$ одноразрядных двоичных сумматоров, причем выходы переносов одноразрядных двоичных сумматоров с номерами $i = 2k + 1$ ($k = 0, 1, 2, \dots$) подключены ко входам разрядов регистра 1-ого операнда с номерами $M = i + 2$ и $M = i + 3$, а выходы переносов сумматоров с номерами $i = 2k$ ($k = 0, 1, 2, \dots$) подключены ко входам разрядов регистра 2-ого операнда с номерами $N = i + 2$ и $N = i + 3$ и выходы блока синхронизации соединены с управляющими входами регистра первого и второго операндов и одноразрядных сумматоров.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 377769, кл. G 06 F 7/38, 1973.

2. Акушский И.Я. Амербаев В.М. и Пак И.Т. Основы машинной арифметики комплексных чисел, Алма-Ата, "Наука", 1970, с. 98-101 (прототип).

ВНИИПИ Заказ 1467/64
Тираж 745 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4