



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 06.12.79 (21) 2847378/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.08.81. Бюллетень № 31

Дата опубликования описания 23.08.81

(11) 857989

(51) М. Кл.³

G 06 F 7/70

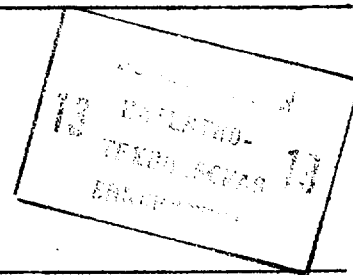
(53) УДК 681.3
(088.8)

(72) Авторы
изобретения

А. Н. Морозевич и Л. Е. Мягчило

(71) Заявитель

Минский радиотехнический институт



(54) ДЕЛИТЕЛЬНО-МНОЖИТЕЛЬНОЕ УСТРОЙСТВО

1

Изобретение относится к вычислительной технике и может быть использовано в специализированных вычислительных комплексах.

Известны делительные устройства нестохастического типа, которые работают по алгоритмам операции суммирования и по алгоритмам приближенного деления [1]. Такие устройства сложны по структуре и не обеспечивают достаточной точности вычисления.

Известно устройство стохастического типа, содержащее генератор псевдослучайных чисел, две схемы сравнения, первые входы которых объединены и подключены к выходам генератора псевдослучайных случайных чисел, а выходы подключены к первым входам четвертого и пятого ключевых элементов соответственно, при этом выход четвертого ключевого элемента подключен ко входу счетчика результата, выход которого подсоединен к первому входу третьего ключевого элемента, дополнительный счетчик делителя, вход которого подключен к первому входу устройства, а выход - к вторым входам четвертого и пятого ключевых элементов, счетчик делите-

2

ля, первый вход которого подключен ко второму входу устройства, а выход - к второму входу третьего ключевого элемента, выход которого является выходом устройства. Данное устройство обеспечивает более высокую точность вычисления за счет снижения автокорреляции в выходных потоках результатов сравнения [2].

Недостатком этого устройства является то, что в случае, если делимое x больше делителя y , устройство не обеспечивает достаточной точности вычисления.

Наиболее близким техническим решением к предлагаемому изобретению является устройство, содержащее генератор псевдослучайных чисел, две схемы сравнения, первые входы которых объединены и подключены к выходу генератора псевдослучайных чисел, а выходы схем сравнения подключены к первым входам четвертого и пятого ключевых элементов соответственно, при этом выход четвертого ключевого элемента подключен к входу счетчика результата, выход которого подсоединен к первому входу третьего ключевого элемента, дополнительный счетчик делителя, вход

5

10

15

20

25

30

которого подключен к первому входу устройства, а выход - к вторым входам четвертого и пятого ключевых элементов, первый счетчик делителя, первый вход которого подключен к второму входу устройства, а выход - к второму входу третьего ключевого элемента, выход которого является выходом устройства, вторые входы первой и второй схем сравнения соединены с третьим и четвертым выходами устройства соответственно, шестой, седьмой и восьмой ключевые элементы, первые входы которых объединены и подключены к выходу пятого ключевого элемента, вторые входы седьмого и восьмого ключевых элементов подсоединены к нулевому и единичному выходам триггера соответственно, а второй вход шестого ключевого элемента соединен с выходом четвертого ключевого элемента, единичный и нулевой входы триггера соединены соответственно с шестым входом устройства и выходом шестого ключевого элемента, при этом выход седьмого ключевого элемента подключен к первому входу второго счетчика делителя, второй вход которого соединен с пятым входом устройства, а выход - с первым входом схемы ИЛИ, второй вход которой подключен к выходу восьмого ключевого элемента, а выход схемы ИЛИ соединен с вторым входом первого счетчика делителя. Кроме того, единичный выход триггера соединен с входом блока управления и первым входом блока элементов И, второй вход которого соединен со вторым выходом счетчика результата, а выход соединен с третьим входом первого счетчика делителя. Данное устройство обеспечивает более высокую точность вычисления в случае, если делимое "x" больше делителя "y", за счет увеличения числа испытаний [3].

Недостатком устройства является то, что увеличение точности при вычислении пропорции $\gamma = \frac{x}{y} Z$, когда

делимое x больше делителя y, достигается за счет снижения быстродействия.

Целью изобретения является повышение быстродействия.

Поставленная цель достигается тем, что делительно-множительное устройство, содержащее первый и второй блоки сравнения, генератор псевдослучайных чисел, выход которого соединен с первыми входами первого и второго блоков сравнения, первый, второй и третий ключевые элементы, первые входы первого и второго ключевых элементов соединены с выходами соответственно первого и второго блоков сравнения, счетчик результата, первый вход которого соединен с выходом первого ключе-

го элемента, а выход - с первым входом третьего ключевого элемента, первый счетчик делителя, первый вход которого соединен с входом генератора псевдослучайных чисел и является тактовым входом устройства, а первый выход соединен с вторыми входами первого и второго ключевых элементов второй счетчик делителя, первый вход которого является входом сомножителя устройства, второй вход соединен с выходом второго ключевого элемента, а выход соединен со вторым входом третьего ключевого элемента, выход третьего ключевого элемента является выходом устройства, дополнительно содержит первый и второй регистры, третий блок сравнения, первый, второй и третий дешифраторы, четвертый и пятый ключевые элементы, первые входы которых подключены к тактовому входу устройства, а выходы соединены с первыми входами соответственно первого и второго регистров, вторые входы первого и второго регистров соединены соответственно с вторыми входами первого счетчика делителя и счетчика результата, с третьим входом второго счетчика делителя и подключены к входу пуска устройства, третий вход первого регистра является входом делимого устройства, а третий вход второго регистра является входом делителя устройства, выход первого регистра соединен с вторым входом первого блока сравнения, первым входом третьего блока сравнения и входом первого дешифратора, выход которого является выходом нулевого результата устройства, первый выход второго регистра соединен со вторыми входами второго и третьего блоков сравнения и входом второго дешифратора, выход которого является выходом останова устройства, второй выход второго регистра соединен с вторыми входами четвертого и пятого ключевых элементов, выход третьего блока сравнения соединен с третьими входами первого, второго, четвертого и пятого ключевых элементов и первым входом третьего дешифратора, второй вход которого соединен с вторым выходом первого счетчика делителя, выход третьего дешифратора соединен с третьим входом счетчика результата.

На фиг. 1 представлена блок-схема устройства; на фиг. 2 - временные диаграммы его работы.

Устройство содержит четвертый 1, пятый 2, третий 3, первый 4 и второй 5 ключевые элементы, первый 6 и второй 7 блоки сравнения, генератор 8 псевдослучайных чисел, первый счетчик 9 делителя, счетчик 10 результата, второй счетчик 11 делителя, первый 12, второй 13 и третий 14 дешифраторы, третий блок 15 срав-

нения, первый 16 и второй 17 регистры.

Выход генератора 8 псевдослучайных чисел подключен к объединенным первым входам первого 6 и второго 7 блоков сравнения, выходы которых подключены к первым входам первого 4 и второго 5 ключевых элементов соответственно, при этом выход первого ключевого элемента подключен к первому входу счетчика 10 результата, выход которого соединен с первым входом третьего ключевого элемента 3, первый вход первого счетчика 9 делителя подключен к тактовому входу устройства и входу генератора 8 псевдослучайных чисел, а выход - к вторым входам первого 4 и второго 5 ключевых элементов. Первый вход второго счетчика 11 делителя подключен к входу сомножителя устройства, а второй вход подключен к выходу второго ключевого элемента 5. Выход второго счетчика 11 делителя подключен к второму входу третьего ключевого элемента 3, выход которого является выходом устройства. Вторые входы первого 6 и второго 7 блоков сравнения соединены с выходами соответственно первого 16 и второго 17 регистров, соответственно с входами первого 12 и второго 13 дешифраторов и соответственно с первым и вторым входами третьего блока 15 сравнения. Первые входы первого 16 и второго 17 регистров подключены соответственно к выходам четвертого 1 и пятого 2 ключевых элементов, первые входы которых объединены и подключены к тактовому входу устройства. Вторые входы четвертого 1 и пятого 2 ключевых элементов также объединены и подключены ко второму выходу второго регистра 17. Выход третьего блока 15 сравнения подключен к объединенным третьим входам первого 4, второго 5, четвертого 1 и пятого 2 ключевых элементов и первому входу третьего дешифратора 14, второй вход которого подключен ко второму выходу первого счетчика 9 делителя, а выход - к третьему входу счетчика 10 результата. Второй вход счетчика 10 соединен с третьим входом второго счетчика 11 делителя, вторыми входами первого 16 и второго 17 регистров и подключен к входу пуска устройства в целом.

Устройство функционирует в соответствии с временной диаграммой (фиг. 2). По сигналу "Пуск" устройство устанавливается в исходное положение: в регистр 16 заносится код числа x , в регистр 17 - код числа y , во второй счетчик 11 делителя - код числа z , а первый счетчик 9 делителя устанавливается в нулевое состояние. Тактовые сигналы, посту-

пающие на тактовый вход устройства, синхронизируют работу генератора 8 псевдослучайных чисел, подсчитываются на первом счетчике 9 делителя и поступают на первые входы ключевых элементов 1 и 2. Блок 15 осуществляет сравнение величин x и y , и в случае $x > y$ вырабатывает сигнал $y_1=1$, который закрывает ключевые элементы 4 и 5, а дешифратор 14 открывает по третьему входу ключевые элементы 1 и 2. Если же выполняется условие $x \leq y$, блок 15 вырабатывает сигнал $y_1=0$, который закрывает ключевые элементы 1 и 2, но открывает элементы 4 и 5, а также дешифратор 14. Кроме того, в зависимости от кода числа y на выходе старшего разряда (второй выход) регистра 17 формируется сигнал $y_3=1$, если в старшем разряде "1", либо сигнал $y_3=0$, если в старшем разряде "0". Сигнал $y_3=1$ закрывает по второму входу ключевой элемент 2 и открывает по второму входу ключевой элемент 1. Сигнал $y_3=0$ открывает по второму входу ключевой элемент 2 и закрывает ключевой элемент 1.

Дешифратор 12 вырабатывает сигнал $\gamma=0$, если число $x=0$. Дешифратор 13 вырабатывает сигнал "Останов", если число $y=0$ (ситуация деления на ноль) В рассматриваемом примере после занесения исходных данных на выходе блока 15 формируется сигнал $y_1=1$, а на выходе старшего разряда (втором выходе) регистра 17 - $y_3=0$. Поэтому первый же тактовый сигнал проходит только через ключевой элемент 2, на выходе которого формируется импульсный сигнал $y_2=1$ (на выходах ключевых элементов 1, 4 и 5 сохраняются сигналы $y_4=0$, $y_5=0$ и $y_6=0$ соответственно). Сигнал $y_2=1$ поступает на первый вход регистра 17 и осуществляет сдвиг кода числа y на один разряд влево (т.е. увеличивает делитель). Следующий тактовый импульс также формирует сигнал $y_2=1$ и опять осуществляется увеличение делителя "у". Так происходит (K_1 тактов) до тех пор, пока в старшем разряде регистра 17 не окажется "1", при этом $y_3=1$. В рассматриваемом примере такая ситуация возникает только после пятого такта, т.е. $K_1=5$. При этом все еще $y_1=1$, поэтому на следующем такте формируется сигнал $y_4=1$ ($y_2=0$, $y_5=0$, $y_6=0$). Этот сигнал, поступая на первый в регистре 16, осуществляет сдвиг на один разряд кода числа x вправо, т.е. уменьшает делимое x . Сигнал $y_4=1$ может быть сформирован только один раз ($K_2=0-1$) при любых комбинациях значений (отличных от нуля) чисел x и y , тогда как $y_2=1$ в предельном случае формируется ($n-1$) раз, где n - разрядность регистра 17.

После этого возникает ситуация $x \leq y$, где $x = x/q^{K_2}$, $y = y \cdot q^{K_1}$, q - основание системы счисления. Для рассматриваемого примера $K_1 = 5$, $q = 2$, $K_2 = 1$. Следовательно, полученный в дальнейшем результат вычисления пропорции $\mathcal{P} = \frac{x}{y} \cdot Z$ отличается от требуемого значения \mathcal{P} , причем

$$\mathcal{P} = \frac{x/q^{K_2}}{y \cdot q^{K_1}} \cdot Z = \frac{x}{y \cdot q^{K_1+K_2}} \cdot Z = \mathcal{P}/q^{K_1+K_2}$$

Сумма $K_1 + K_2$ равна числу тактов работы устройства с момента поступления сигнала "Пуск" до позникновения сигнала $y_1 = 0$. Поэтому число тактов, подсчитанное первым счетчиком 9 делителя, однозначно определяет положение запятой в счетчике 10 результата, разделяющий целую и дробную части результата вычисления. Это осуществляется с помощью дешифратора 14 сигналом, поступающим на его первый вход при смене значения сигнала y_1 с "1" на "0".

Сигнал $y_1 = 0$ закрывает ключевые элементы 1 и 2 и открывает элементы 4 и 5, на выходах которых формируются случайные сигналы y_5 и y_6 , причем вероятность появления сигналов $y_5 = 1$ и $y_6 = 1$ определяется величинами x и y соответственно.

Положительный эффект состоит в повышении быстродействия по сравнению с известными устройствами.

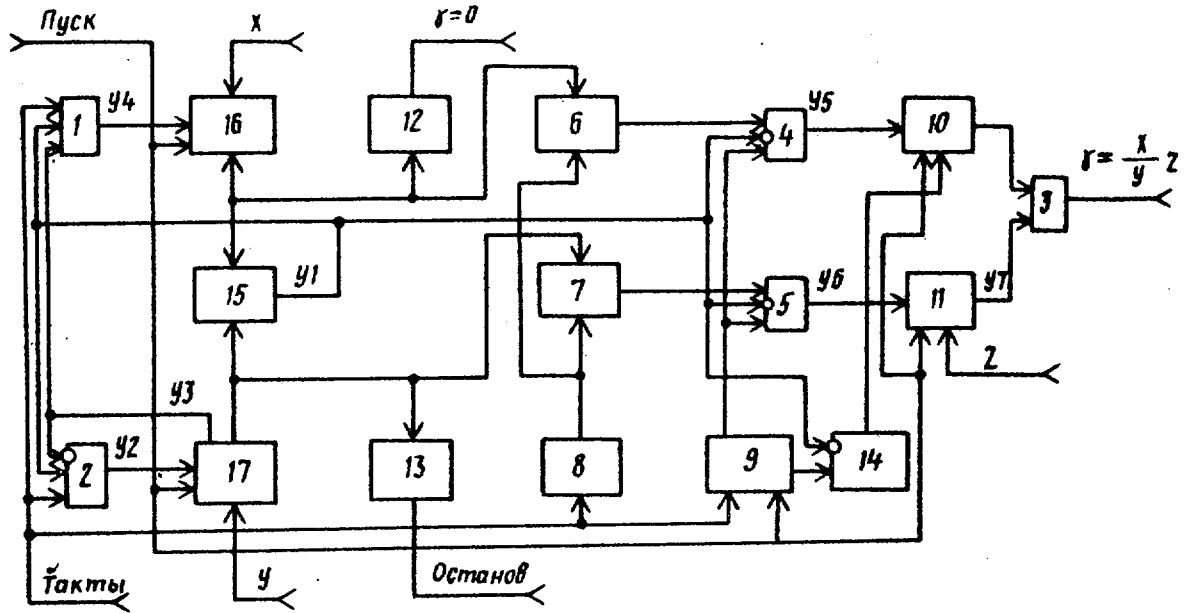
Формула изобретения

Делительно-множительное устройство, содержащее первый и второй блоки сравнения, генератор псевдослучайных чисел, выход которого соединен с первыми входами первого и второго блоков сравнения, первый, второй и третий ключевые элементы, первые входы первого и второго ключевых элементов соединены с выходами соответственно первого и второго блоков сравнения, счетчик результата, первый вход которого соединен с выходом первого ключевого элемента, а выход - с первым входом третьего ключевого элемента, первый счетчик делителя, первый вход которого соединен с входом генератора псевдослучайных чисел и является тактовым входом устройства, а первый выход соединен с вторыми выходами первого и второго ключевых элементов, второй счетчик делителя, первый вход которого

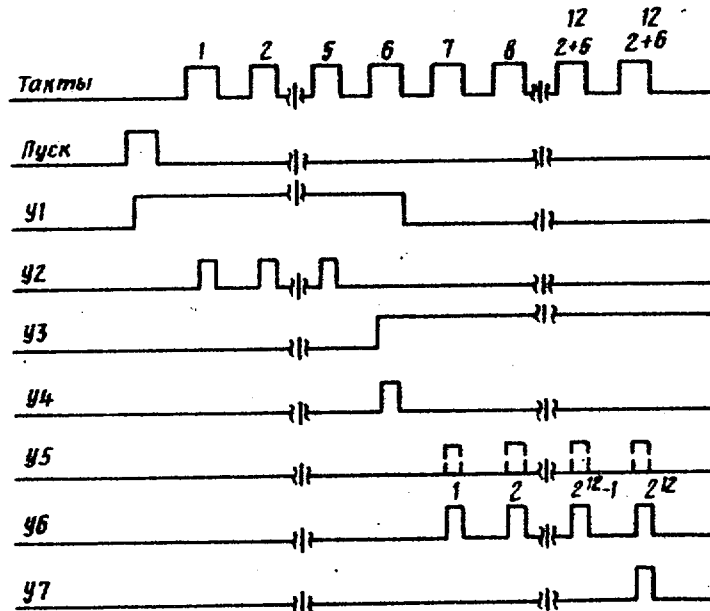
является входом сомножителя устройства, второй вход соединен с выходом второго ключевого элемента, а выход соединен со вторым входом третьего ключевого элемента, выход третьего ключевого элемента является выходом устройства, о т л и ч а ю щ е с я тем, что, с целью повышения быстродействия, оно содержит первый и второй регистры, третий блок сравнения, первый, второй и третий дешифраторы, четвертый и пятый ключевые элементы, первые входы которых подключены к тактовому входу устройства, а выходы соединены с первыми входами соответственно первого и второго регистров, вторые входы первого и второго регистров соединены соответственно с вторыми входами первого счетчика делителя и счетчика результата, с третьим входом второго счетчика делителя и подключены к входу пуска устройства, третий вход первого регистра является входом делителя устройства, а третий вход второго регистра является входом делителя устройства, выход первого регистра соединен с вторым входом первого блока сравнения, первым входом третьего блока сравнения и входом первого дешифратора, выход которого является выходом нулевого результата устройства, первый выход второго регистра соединен с вторыми входами второго и третьего блоков сравнения и входом второго дешифратора, выход которого является выходом останова устройства, второй выход второго регистра соединен с вторыми входами четвертого и пятого ключевых элементов, выход третьего блока сравнения соединен с третьими входами первого, второго, четвертого и пятого ключевых элементов и первым входом третьего дешифратора, второй вход которого соединен с вторым выходом первого счетчика делителя, выход третьего дешифратора соединен с третьим входом счетчика результата.

Источники информации,

- 50 принятые во внимание при экспертизе
1. Гладкий В.С. Вероятностные вычислительные модели. М., "Наука", 1973, с. 48-51.
 2. Авторское свидетельство СССР №544962, кл. G 06 F 7/38, 1977.
 3. Авторское свидетельство СССР по заявке № 2832171/18-24, 29.10.79, 10.03.80 (прототип).



Фиг. 1



$x = 0,110100111000$
 $y = 0,000001001101$

Фиг. 2

Редактор П.Ортугай Составитель О.Майоров
 Техред М. Табакович Корректор Г.Решетник

Заказ 7245/79 Тираж 745 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4