



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 873148

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 06.12.79 (21) 2847980/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.10.81. Бюллетень № 38

Дата опубликования описания 15.10.81

(51) М. Кл.³

G 01 R 23/16

(53) УДК 621.317.

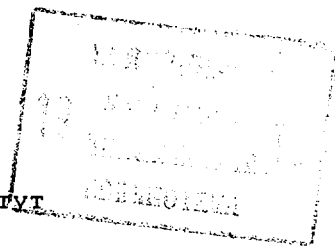
.757 (088.8)

(72) Авторы
изобретения

А.Н. Морозевич и И.К. Лазарева

(71) Заявитель

Минский радиотехнический институт



(54) ЦИФРОВОЙ ГАРМОНИЧЕСКИЙ АНАЛИЗАТОР

Изобретение относится к вычислительной технике, особенно к специализированным вычислителям, и предназначено для вычисления коэффициентов ряда Фурье вида:

$$A_k = \frac{2}{N} \sum_{n=0}^{N-1} x(n) \sin n\theta,$$

$$B_k = \frac{2}{N} \sum_{n=0}^{N-1} x(n) \cos n\theta.$$

Наиболее близким по технической сущности к предлагаемому является устройство, содержащее три сумматора-вычитателя, два сдвиговых регистра, регистр, блок элементов И и блок элементов ИЛИ, генератор тактовых импульсов, два сдвигателя, два триггера, два элемента задержки, три элемента ИЛИ и три элемента И, соединенные определенным образом [1].

Это устройство предназначено для вычисления значений функции вида:

$$X = k_1 R_0 \cos \theta; \quad Y = k_1 R_0 \sin \theta,$$

где R_0 - модуль начального вектора (начальный код в первом сумматоре-вычитателе);

k_1 - коэффициент увеличения модуля вектора после i -го шага итерации; $i \rightarrow R$; R

выбирается из условия точности получения соотношения (3), но не годится для непосредственного определения функций (1) и (2).

Целью изобретения является расширение функциональных возможностей устройства: обеспечение помимо вычисления значений синусно-косинусных функций возможности вычисления коэффициентов ряда Фурье.

Это достигается тем, что в устройстве, содержащее генератор тактовых импульсов, регистр, три сумматора-вычитателя, сумматор, блоки элементов И, ИЛИ, элементы задержки, сдвигатели и два регистра сдвига, причем выходы первого регистра подключены к соответствующим входам первого и второго сдвигателей и к входу третьего сумматора-вычитателя, младшие входы которого подключены к соответствующим выходам первого регистра сдвига через первый блок элементов ИЛИ, нулевой выход знакового разряда третьего сумматора-вычитателя подключен к суммирующему входу третьего сумматора-вычитателя, суммиру-

щему входу первого сумматора-вычитателя и вычитающему входу второго сумматора вычитателя, выходы которого подключены к соответствующим входам первого регистра, выходы которого подключены к соответствующим входам первого сдвигателя, выходы первого сумматора-вычитателя подключены к соответствующим входам второго сдвигателя, выходы которого подключены к соответствующим входам второго сумматора-вычитателя, суммирующий вход которого подключен к вычитающему входу и единичному выходу знакового разряда третьего сумматора-вычитателя и вычитающему входу первого сумматора-вычитателя, первый вход установки в ноль которого подключен к выходу первого элемента И, первый вход которого подключен к старшему выходу первого регистра сдвига и к первому входу второго элемента ИЛИ, выход которого подключен к первым управляющим входам первого и второго сдвигателей, а второй вход - ко второму выходу первого регистра сдвига, сдвигающий вход которого подключен к выходу второго элемента задержки, вход которого объединен со вторым входом первого элемента И, управляющим входом третьего сумматора вычитателя, первым входом второго элемента И и четвертым выходом второго регистра сдвига, третий выход которого подключен к управляющему входу первого сумматора-вычитателя, второй выход подключен к управляющему входу второго сумматора-вычитателя, а первый выход - к управляющему входу регистра, вход установки в ноль которого подключен к входам установки в ноль второго сумматора-вычитателя, второго регистра сдвига и первого регистра сдвига, последний выход которого подключен к управляющим входам первого и второго сдвигателей, вторые управляющие входы которого объединены с информационным входом третьего разряда третьего сумматора-вычитателя, введены два сумматора, две кнопки, два ключа, счетчик, преобразователь аналог-код и буферный регистр, причем выходы третьего сумматора подключены ко входам первого блока элементов И, а управляющий вход подключен к управляющему входу буферного регистра, выходу второго элемента И, первому входу первого элемента ИЛИ и входу первого элемента задержки, выход которого подключен к управляющему входу второго блока элементов И, выходы которого подключены к первой группе входов второго блока элементов ИЛИ, вторая группа входов которого подключена к выходам первого сдвигателя, а выходы ко входам первого сумматора-вычитателя, выход второй кнопки подключен к входам установки в ноль второго регистра

сдвига, счетчика, первого сумматора-вычитателя, третьего сумматора, преобразователя аналог-код, буферного регистра, второго и первого сумматоров и первому входу третьего элемента ИЛИ, информационные входы второго и первого сумматоров подключены к соответствующим информационным выходам второго и первого сумматоров-вычитателей соответственно, а управляющие входы подключены к выходу третьего элемента И, первый вход которого подключен к третьему выходу второго регистра сдвига, второй вход подключен ко второму входу второго элемента И, выход которого подключен к первому входу первого элемента ИЛИ, выход которого подключен к выходу установки единицы первого регистра сдвига, а второй вход - подключен к выходу первой кнопки, входу установки единицы второго регистра сдвига, второму входу четвертого элемента ИЛИ, единичному входу триггера, единичный выход которого подключен к первому входу четвертого элемента И, а нулевой вход - к выходу третьего элемента ИЛИ, второй вход которого подключен к выходу первого ключа, первый и второй входы которого подключены к первому и второму выходам счетчика соответственно, вход которого подключен к выходу младшего разряда первого регистра сдвига, выход генератора импульсов подключен ко второму входу четвертого элемента И, выход которого подключен к сдвигающему входу второго регистра сдвига, третий выход которого подключен к первому входу четвертого элемента ИЛИ, выход которого подключен к управляющему входу преобразователя аналог-код, выход которого через второй ключ подключен к информационным входам буферного регистра, выходы которого подключены к информационным входам второго блока элементов И.

На чертеже изображена структурная схема цифрового гармонического анализатора.

Схема цифрового гармонического анализатора содержит регистр 1, первый сдвигатель 2, первый сумматор-вычитатель 3, второй сдвигатель 4, второй сумматор-вычитатель 5, первый блок 6 элементов И, третий сумматор-вычитатель 7, первый блок 8 элементов ИЛИ, первый регистр 9 сдвига, второй регистр 10 сдвига, второй сумматор 11, первый сумматор 12, первый элемент ИЛИ 13, первый элемент 14 задержки, второй элемент 15 задержки, первый элемент И 16, второй элемент И 17, третий элемент И 18, второй элемент ИЛИ 19, третий сумматор 20, генератор 21 тактовых импульсов, первую кнопку 22, второй блок 23 элементов И, преобразователь 24 аналог-код, буферный регистр 25, вторую

кнопку 26, счетчик 27, триггер 28, четвертый элемент И 29, третий элемент ИЛИ 30, четвертый элемент ИЛИ 31, второй блок 32 элементов ИЛИ, первый ключ 33, второй ключ 34.

Анализатор работает следующим образом.

При нажатии кнопки 26 устройство устанавливается в нулевое начальное состояние. При этом в нулевое положение устанавливаются преобразователь 24, буферный регистр 25, счетчик 27 через третий элемент ИЛИ 30, триггер 28, третий сумматор 20, третий сумматор-вычитатель 7, первый регистр 9 сдвига, второй регистр 10 сдвига, регистр 1, первый сумматор-вычитатель 3, второй сумматор-вычитатель 5, второй сумматор 11 и первый сумматор 12. Генератор 21 тактовых импульсов постоянно вырабатывает последовательность тактовых импульсов, которая поступает на второй вход четвертого элемента И 29. На установочные входы третьего сумматора 20 подается код приращения $\Delta\theta$ аргумента функций синуса и косинуса. Причем $\Delta\theta$ определяется из условия $\Delta\theta = \frac{2\pi k}{N}$, где k - номер гармоники; N - количество точек дискретизации сигнала $x(t)$; N и k выбираются априорно. На информационный вход преобразователя 24 подключен входной сигнал $x(t)$. При нажатии кнопки 22 триггер 28 переводится в единичное состояние. Сигнал, возникающий на единичном выходе триггера 28 открывает элемент И 29, на его выходе возникают импульсы тактовой частоты. Этот же сигнал с выхода кнопки 22 через четвертый элемент ИЛИ 31 запускает преобразователь 24, в котором формируется код первого разряда кодового эквивалента дискретной величины $x(n)$ входного сигнала $x(t)$ при $n=0$. В то же время сигнал с выхода кнопки 22 устанавливает через первый элемент ИЛИ 13 в регистре 9 сдвига код $\beta_1 = 0,10\dots 0$ (разрядность регистра 9 равна R , выбирается из условия точности задания угла θ). Из этих же соображений выбираются разрядности сумматора 20, третьего сумматора-вычитателя 7, регистра 1, первого и второго сумматоров-вычитателей 3 и 5. При этом так же устанавливается код 10000 в регистре 10. На этом заканчивается начальный шаг вычислений. При вычислении коэффициентов ряда Фурье ключ 34 замкнут, а ключ 33 обеспечивает замыкание цепи второй выход счетчика 26 - второй вход третьего элемента 30.

Следующий после начального шага вычислений подготовительный этап предназначен для формирования нулевого кодового эквивалента входной величины $x(n)$ при $n=0$. Для рассмотрения этого шага достаточно указать,

что каждый сигнал, поступающий на вход регистра сдвига 10, осуществляет изменение кода, который хранится в нем. Начальный код 10000; затем 01000, далее 00100, 00010, 00001, потом опять 10000, 01000, и т.д. Каждый раз код 00010 формирует на третьем выходе регистра 10 сигнал, который поступает через элемент ИЛИ 31 на вход преобразователя 24, который формирует поразрядно код $x(0)$. Каждый раз код 00001 формирует на четвертом выходе регистра 10 сигнал, который сдвигает код в регистре 9. Начальное состояние $\beta_1 = 0,100\dots 0$, затем $\beta_2 = 0,010\dots 0, \dots, \beta_R = 0,0\dots 01$. Изменения состояний регистров 9 и 10 во время выполнения подготовительного шага состояния регистра 1, сумматоров-вычитателей 3, 5, 7 и сумматоров 11, 12, 20 не меняются, так как в них суммируются (вычитаются) нулевые коды. С получением комбинации $\beta_R = 0,0\dots 01$ на регистре 9 и 00001, на регистре 10 заканчивается подготовительный шаг вычислений. При этом сигнал с выхода элемента 17 устанавливает в регистре 10 код $\beta_1 = 0,10\dots 0$ через элемент 13 осуществляет операцию суммирования в сумматоре 20 (в сумматоре находился нулевой код, а теперь код $\theta_0 = \frac{2\pi k}{N}$), переписывает код $x(0)$ из преобразователя 24 в регистр 25. Этот же сигнал, задержанный на элементе задержки 14, устанавливает через блок 6 код θ_0 в сумматор-вычитатель 7 и через блоки 23 и 32 код $X(0)$ в сумматор-вычитатель 3.

Первый шаг итерации осуществляется следующим образом.

В регистр 10 записывается код 01000. В то же время на первом выходе регистра 10 появляется сигнал, соответствующий единичному уровню, который осуществляет подачу кода из второго сумматора-вычитателя 5 в регистр 1. Осуществляется микрооперация $\langle 1 \rangle = \langle 5 \rangle$, т.е. содержимому регистра 1 присваивается значение сумматора-вычитателя 5. Далее тактовый импульс осуществляет сдвиг информации в регистре 10, где оказывается код 00100, который формирует сигнал единичного уровня на втором выходе регистра 10. Этот сигнал поступает на вход сумматора-вычитателя 5, осуществляя тем самым микрооперацию $\langle 5 \rangle = \langle 3 \rangle$. Знак кода, переписываемого из сумматора-вычитателя 3 в сумматор-вычитатель 5, определяется знаковым разрядом сумматора-вычитателя 7.

После прихода следующего тактового импульса в регистре 1 устанавливается код 00010 и возбуждается третий выход. Сигнал с третьего выхода регистра 10 осуществляет суммирование предыдущего числа в сумматоре-

вычитателе 3 с кодом, хранящимся в регистре 1, т.е. выполняется микрооперация $\langle 3 \rangle \pm \langle 1 \rangle$. Очередной тактовый импульс устанавливает в регистре 10 код 00001. Сигнал с единичного уровня с четвертого выхода осуществляет суммирование (с учетом знаков) θ_0 и содержимого регистра 9 (т.е. $\beta_1 = 0,10\dots 0$). Этот же сигнал, проходя через "открытый" элемент И 16, устанавливает сумматор-вычитатель 3 в нулевое состояние ($\langle 3 \rangle = 0$). На этом фактически заканчивается пятый (последний) такт первого шага итеративного процесса. Каждый шаг (начиная с первого шага итерации) выполняется за пять тактов. Для удобства в каждом шаге выделяется нулевой, первый, второй, третий и четвертый импульсы. Это соответствует следующим кодам в регистре 10 - 10000, 01000, 00100, 00010, 00001, которые циклически повторяются. Регистр 10 представляет собой кольцевой регистр сдвига.

Второй шаг начинается с приходом нового импульса, который устанавливает в регистре 10 код 10000. В то же время сигнал с выхода элемента задержки 15 осуществляет в регистре 9 микрооперацию $\langle 9 \rangle \cdot 2^{-1}$ (т.е. устанавливает код $\beta_2 = 0,01\dots 0$), код 01000 в регистре 10 осуществляет передачу содержимого второго сумматора-вычитателя 5 в регистр 1 ($\langle 1 \rangle = \langle 5 \rangle$). Далее код 00100 осуществляет суммирование кодов, хранящихся в сумматорах вычитателях 5 и 3, т.е. выполняется микрооперация $\langle 5 \rangle \pm \langle 3 \rangle \cdot 2^0$. Следующий импульс обеспечивает выполнение микроопераций $\langle 3 \rangle \pm \langle 1 \rangle \cdot 2^0$. Очередной импульс обеспечивает выполнение алгебраического суммирования содержимого сумматора-вычитателя 7 с кодом, хранящимся в регистре 9, т.е. $\langle 7 \rangle \pm \beta_2$. Третий и последующие шаги итерации аналогичны второму. При этом на каждом R -ом шаге циклически повторяются следующие микрооперации: $\langle 9 \rangle = \langle 9 \rangle \cdot 2^{-1}$; $\langle 1 \rangle = \langle 5 \rangle$ - первый импульс; $\langle 5 \rangle \pm \langle 3 \rangle \cdot 2^{(R+2)}$ - второй импульс; $\langle 3 \rangle \pm \langle 1 \rangle \cdot 2^{(R+2)}$ - третий импульс; $\langle 7 \rangle \pm \beta_R$ - четвертый импульс.

По окончании R -го шага итерации в регистре 9 формируется код $0,00\dots 1$, а в регистре 10 - 0001, что соответствует появлению единичных сигналов на R -ом и 4-ом выходах регистров 9 и 10 соответственно, которые открывают элемент И-17. С выхода И 17 сигнал разрешает работу элемента ИЛИ 13. Весь процесс повторяется сначала. При этом необходимо учесть то, что в третий сумматор-вычитатель 7 заносится теперь код угла θ_1 (где $\theta_1 = \frac{2\pi k}{N} + \theta_0$,

при $n=1$); в первый сумматор-вычитатель 3 заносится код сигнала в точке $n=1$. Результаты вычислений функ-

ций заносятся в сумматоры 11 и 12 после срабатывания элемента И 18.

Этот процесс повторяется до тех пор, пока не будут исследованы все $(N-1)$ точек (сигнал переполнения счетчика 27). Нормирование значений коэффициентов осуществляется в сумматорах 11 и 12 путем соответствующего выбора их разрядности и положения запятой. При этом необходимо, чтобы $N \cdot k = 2^f$, тогда в сумматорах 11 и 12 получаются значения коэффициентов ряда Фурье A_k и B_k , рассчитанные по формулам:

$$A_k = \frac{2}{N} \sum_{n=0}^{N-1} x(n) \sin \theta ;$$

$$B_k = \frac{2}{N} \sum_{n=0}^{N-1} x(n) \cos \theta .$$

Таким образом, предложенное устройство обладает тем существенным преимуществом, что благодаря введению новых блоков и связей достигается расширение функциональных возможностей известного устройства: предложенное устройство позволяет не только вычислять значения синуса и косинуса, но и получать коэффициенты ряда Фурье.

Кроме того, по сравнению с известными анализаторами в предложенном устройстве повышено быстродействие за счет совмещения по времени и аппаратуре выполнения операций получения значений гармонических функций с умножением последних на значения входного сигнала. Все это позволяет расширить область применения подобных устройств.

Формула изобретения

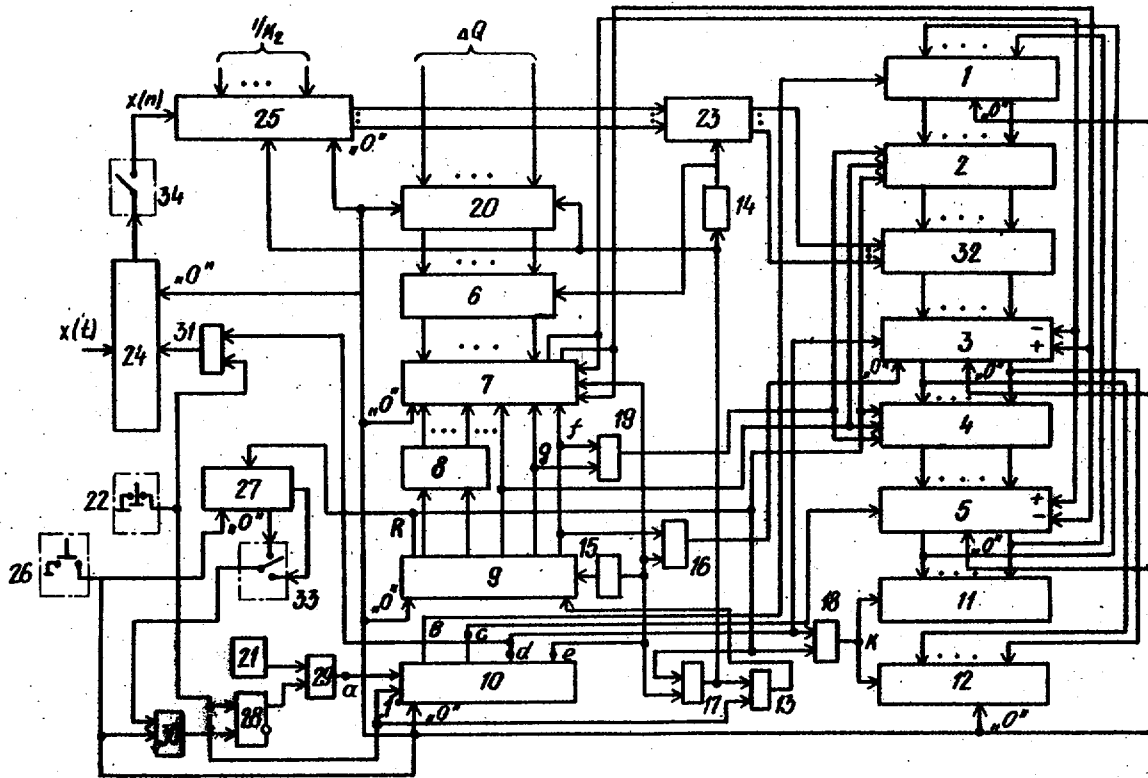
Цифровой гармонический анализатор, содержащий генератор тактовых импульсов, регистр, три сумматора-вычитателя, сумматор, блоки элементов И, ИЛИ, элементы задержки, сдвигатели и два регистра сдвига, причем выходы первого регистра сдвига подключены к соответствующим входам первого и второго сдвигателей и к входу третьего сумматора-вычитателя, младшие входы которого подключены к соответствующим выходам первого регистра сдвига через первый блок элементов ИЛИ, нулевой выход знакового разряда третьего сумматора-вычитателя подключен к суммирующему входу третьего сумматора-вычитателя, суммирующему входу первого сумматора-вычитателя и вычитаемому входу второго сумматора-вычитателя, выходы которого подключены к соответствующим входам первого регистра сдвига, выходы которого подключены к соответствующим входам первого сдвигателя, выходы первого сумматора-вычитателя подключены к соответствующим входам второго сдвигателя,

выходы которого подключены к соответствующим входам второго сумматора-вычитателя, суммирующий вход которого подключен к вычитающему входу и единичному выходу знакового разряда третьего сумматора-вычитателя и вычитающему входу первого сумматора-вычитателя, первый вход установки в ноль которого подключен к выходу первого элемента И, первый вход которого подключен к старшему выходу первого регистра сдвига и к первому входу второго элемента ИЛИ, выход которого подключен к первым управляющим входам первого и второго сдвигателей, а второй вход ко второму выходу первого регистра сдвига, сдвигающий вход которого подключен к выходу второго элемента задержки, вход которого объединен со вторым входом первого элемента И, управляющим входом третьего сумматора-вычитателя, первым входом второго элемента И и четвертым выходом второго регистра сдвига, третий выход которого подключен к управляющему входу первого сумматора вычитателя, второй выход подключен к управляющему входу второго сумматора-вычитателя, а первый выход - к управляющему входу регистра, вход установки в ноль которого подключен к входам установки в ноль второго сумматора-вычитателя, второго регистра сдвига и первого регистра сдвига, последний выход которого подключен к управляющим входам первого и второго сдвигателей, вторые управляющие входы которого объединены с информационным входом третьего разряда третьего сумматора-вычитателя, о т л и ч а ю щ и й с я тем, что, с целью расширения функциональных возможностей, в него введены два сумматора, две кнопки, два ключа, счетчик, преобразователь аналог-код и буферный регистр, причем выходы третьего сумматора подключены ко входам первого блока элементов И, а управляющий вход подключен к управляющему входу буферного регистра, выходу второго элемента И, первому входу первого элемента ИЛИ и входу первого элемента задержки, выход которого подключен к управляющему входу второго блока элементов И, выходы которого подключены к первой группе входов второго блока элементов ИЛИ, вторая группа входов которого подключена к выходам первого

сдвигателя, а выходы ко входам первого сумматора-вычитателя, выход второй кнопки подключен к входам установки в ноль второго регистра сдвига, счетчика, первого сумматора-вычитателя, третьего сумматора преобразователя аналог-код, буферного регистра, второго и первого сумматоров и первому входу третьего элемента ИЛИ, информационные входы второго и первого сумматоров подключены к соответствующим информационным выходам второго и первого сумматоров-вычитателей соответственно, а управляющие входы подключены к выходу третьего элемента И, первый вход которого подключен к третьему выходу второго регистра сдвига, второй вход подключен ко второму входу второго элемента И, выход которого подключен к первому входу первого элемента ИЛИ, выход которого подключен к выходу установки единицы первого регистра сдвига, а второй вход - подключен к выходу первой кнопки, входу установки единицы второго регистра сдвига, второму входу четвертого элемента ИЛИ, единичному входу триггера, единичный выход которого подключен к первому входу четвертого элемента И, а нулевой вход - к выходу третьего элемента ИЛИ, второй вход которого подключен к выходу первого ключа, первый и второй входы которого подключены к первому и второму выходам счетчика соответственно, вход которого подключен к выходу младшего разряда первого регистра сдвига, выход генератора импульсов подключен ко второму входу четвертого элемента И, выход которого подключен к сдвигающему входу второго регистра сдвига, третий выход которого подключен к первому входу четвертого элемента ИЛИ, выход которого подключен к управляющему входу преобразователя аналог-код, выход которого через второй ключ подключен к информационным входам буферного регистра, выходы которого подключены к информационным входам второго блока элементов И.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР по заявке № 2636100/24, кл. 6 06 F 15/34, 1978.



Редактор Л. Повхан Составитель А. Орлов Техред Т. Маточка Корректор Г. Решетник

Заказ 9025/70 Тираж 735 Подписное

ВНИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4