



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 881743

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 07.01.80 (21) 2865032/18-24

с присоединением заявки №—

(23) Приоритет —

Опубликовано 15.11.81. Бюллетень № 42

Дата опубликования описания 15.11.81

(51) М. Кл.³

G 06 F 7/58

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

В. Н. Ярмолик и А. Е. Леусенко

(71) Заявитель

Минский радиотехнический институт

(54) ГЕНЕРАТОР ШИРОКОПОЛОСНЫХ СЛУЧАЙНЫХ ПРОЦЕССОВ

1

Изобретение относится к вычислительной технике и может быть использовано в качестве специализированного блока универсальной электронной вычислительной машины, а также задающей аппаратуры для воспроизведения случайных вибраций при исследовании надежности с помощью вибростендов.

Известны генераторы случайных процессов, построенные в основном по известной схеме с использованием аналоговых элементов, в которых исходный случайный процесс с равномерным спектром подается на вход "гребенки" полосовых фильтров, которые предусматривают регулировку уровня выходных сигналов. Задавая определенные уровни выходного сигнала на выходе каждого фильтра с последующим суммированием их на суммирующем устройстве, формируется случайный процесс с тем или иным видом спектра [1].

Однако для этих устройств присущи нестабильность элементов (ζ, C -элементы), которая в конечном счете сказывается на стабильности основанных характеристик генератора случайных процессов, а также сложность по-

2

строения подобных устройств для генерирования инфранизкочастотных, широкополосных случайных процессов.

Известны также генераторы случайных процессов, содержащие цифровой фильтр, который является основным блоком. Фильтр для такого устройства есть специализированное арифметическое устройство, количество которых достигает большого числа (50–100) [2].

10 Однако такие устройства отличаются большими аппаратными затратами. Кроме того, при получении заданного вида спектра затруднена перестройка формы воспроизводящего спектра.

15 Наиболее близким по технической сущности к изобретению является генератор широкополосных случайных процессов, содержащий регистр сдвига, первый сумматор по модулю два, второй сумматор по модулю два, умножитель, сумматор, регистр памяти, блок оперативной памяти, дешифратор, счетчик адреса, блок управления. Очередное значение выходного процесса $Y(iT)$ на выходе устройства по-

20

лучается после выполнения N -тактов опе-

рации умножения и сложения, где $N = 100-500$ [3].

Недостатком генератора широкополосных случайных процессов является низкое быстродействие, так как для получения одного выходного отсчета необходимо выполнить N элементарных тактов. При практической реализации затруднительным оказывается построение устройства, позволяющего генерировать случайные процессы в широком частотном диапазоне. Так, максимальная граница частотного диапазона в реальных устройствах не превышает 10 кГц.

Цель изобретения — повышение быстродействия устройства, расширение функциональных возможностей генератора, позволяющего воспроизводить случайные процессы с более сложной спектральной характеристикой.

Для достижения поставленной цели в генератор широкополосных случайных процессов, содержащий первый рекуррентный регистр сдвига, блок управления, пять выходов которого соединены соответственно с первыми входами блока оперативной памяти, умножителя, дешифратора, сумматора и регистра памяти, а шестой выход блока управления через счетчик адреса соединен со вторым входом дешифратора, выход которого соединен со вторым входом блока оперативной памяти, выход которого соединен со вторым входом умножителя, выход которого соединен со вторым входом сумматора, первый выход которого соединен со вторым входом регистра памяти, выход которого соединен с третьим входом сумматора, второй выход которого является выходом генератора, введены два элемента ИЛИ, два элемента И, триггер, генератор одиночных импульсов, элемент эквивалентности и второй рекуррентный регистр сдвига, первый и второй сдвигающие входы которого объединены соответственно с первым и вторым сдвигающими входами первого рекуррентного регистра сдвига и подключены соответственно к выходам первого и второго элементов ИЛИ, первые входы которых подключены соответственно к выходам первого и второго элементов И, первый входы которых объединены и подключены к выходу генератора одиночных импульсов и ко входу блока управления, седьмой и восьмой выходы которого подключены соответственно ко вторым входам первого и второго элементов ИЛИ, а также ко входам триггера, выходы которого соединены соответственно со вторыми входами первого и второго элементов И, выходы рекуррентных регистров сдвига соединены соответственно с первым и вторым входами элементов эквивалентности, выход которого соединен со входом генерато-

ра одиночных импульсов и с третьим входом умножителя, четвертый вход сумматора объединен со вторым входом элемента эквивалентности.

5 Кроме того, блок управления содержит шесть последовательно соединенных элементов задержки, выходы которых являются шестью выходами блока, первый и второй элемент

10 И, выходы которых являются соответственно седьмым и восьмым выходами блока, элемент ИЛИ, счетчик, дешифратор, третий элемент И, седьмой элемент задержки, триггер и генератор импульсов, выход которого соединен с первым выходом третьего элемента

15 И и с первым входом элемента ИЛИ, второй вход которого является входом блока, а выход элемента ИЛИ соединен со счетным входом счетчика, выходы которого соединены со входами дешифратора, выход которого соединен со вторым входом третьего элемента И

20 и со входом седьмого элемента задержки, выход которого соединен со входом "Сброс" счетчика и с счетным входом триггера, выходы которого соединены соответственно с первыми входами первого и второго элементов

25 И, вторые входы которых объединены между собой со входом первого элемента задержки и подключены к выходу третьего элемента И.

На фиг. 1 приведена блок-схема генератора; на фиг. 2 — схема блока управления.

30 Генератор широкополосных случайных процессов содержит первый рекуррентный регистр сдвига 1 с сумматорами по модулю два 2 и 3, умножитель 4, сумматор 5, регистр памяти 6, блок 7 оперативной памяти, дешифратор 8, счетчик адреса 9, блок 10 управления, второй регистр сдвига 11 с сумматорами по модулю два 12 и 13 в цепи обратной связи, элемент эквивалентности 14, генератор 15

35 одиночных импульсов, триггер 16, первый и второй элементы И 17 и 18, а также первый и второй элементы ИЛИ 19 и 20, выходы и входы первого и последнего разрядов первого регистра сдвига 1 соединены с первыми входами и выходами первого и второго сумматоров

40 по модулю два 2 и 3, вторые входы которых соединены соответственно с $j=m$ и $(j+1)$ -ым выходами регистра сдвига 1, кроме того, счетчик адреса 9, дешифратор 8, блок 7 оперативной памяти, умножитель 4, сумматор 5

45 и регистр памяти 6 соединены последовательно и ко вторым входам блоков 4-9 подключены выходы блока 10 управления, к третьему входу сумматора 5 подключен выход регистра памяти 6, первый выход сумматора

50 является выходом генератора, а также выходы и входы первого и последнего разрядов второго регистра сдвига 11 соединены с первыми входами и выходами третьего и четвер-

того сумматоров по модулю два 12 и 13, вторые входы которых соединены соответственно с j и $(j+1)$ -ым выходами второго регистра сдвига 11, второй выход первого разряда второго регистра сдвига 11 соединен с четвертым входом сумматора 5 и первым входом элемента эквивалентности 14, на второй вход которой подключен второй выход последнего разряда первого регистра сдвига 1, выход которого подключен к третьему входу умножителя 4 и ко входу генератора 15 одиночных импульсов, выход которого подключен ко входу блока 10 управления и к первым входам первого и второго элементов И 17 и 18, ко вторым входам которых подключены единичный и нулевой выходы триггера 16, установочный вход в единицу которого объединен с первым входом первого элемента ИЛИ 19 и подключен к первому выходу блока 10 управления, а установочный вход в ноль объединен с первым входом второго элемента ИЛИ 20 и подключен ко второму выходу блока 10 управления, ко вторым входам первого и второго элементов ИЛИ 19 и 20 подключены выходы первого и второго элементов И 17 и 18, выход первого элемента ИЛИ 19 подключен к разрядным входам сдвига вправо первого регистра сдвига 1 и к разрядным входам сдвига влево второго регистра сдвига 11, выход второго элемента ИЛИ 20 подключен к разрядным входам сдвига влево первого регистра сдвига 1 и разрядным входам сдвига вправо второго регистра сдвига 11.

Регистры сдвига 1 и 11 предназначены для сдвига хранимой в них информации на один разряд в сторону младших разрядов и на один разряд в сторону старших разрядов, т.е. вправо и влево. На первый и третий сумматор по модулю два 2 и 13 подключены выходы j -х разрядов регистров сдвига 1 и 11. Значение j выбирается таким образом, чтобы на регистрах сдвига 1 и 11 генерировалась M -последовательность, спектральная плотность мощности которой равномерна во всем диапазоне частот. Сумматоры по модулю два 2 и 13 подключены ко входам первых разрядов регистров сдвига 1 и 11 при сдвиге в них информации в сторону старших разрядов. В то же время сумматоры по модулю два 3 и 13 включаются и подают информацию на входы m -х разрядов регистров сдвига 1 и 11 при сдвиге информации в сторону младших разрядов, при этом сумматоры 2 и 12 не работают. При работе регистров сдвига 1 и 11 с сумматорами 3 и 13 на регистрах генерируется M -последовательность в обратном порядке.

В блоке 7 оперативной памяти хранятся значения весовой функции фильтра $h(iT)$ для $i \geq 0$ и значение $h(0T)$ деленного на два, так как для симметричного фильтра фазовая частотная характеристика равна нулю, то $h(kT) = h(-kT)$. Блок 8 представляет собой дешифратор на N выходов, где N — количество значений $h(iT)$ для $i \geq 0$, а блок 9 реализуется в виде $\log_2 M$ разрядного двоичного счетчика. Умножитель 4 служит для умножения i -го коэффициента, находящегося в блоке 7 оперативной памяти, на сумму соответствующих значений M -последовательности, что следует из выражения

$$Y(kT) = \sum_{i=-N}^N h(iT) \cdot X(kT-iT) = \sum_{i=0}^N h(iT) [X(kT+iT) + X(kT-iT)], \quad (1)$$

где $K = 1, 2, 3, \dots, X(kT-iT) \in \{1, -1\}$ и есть отсчеты M -последовательности.

Сумматор 5 служит для получения частичных и окончательной суммы согласно алгоритма работы нерекурсивного фильтра, а регистр памяти 6 для хранения частичных сумм. Схема эквивалентности 14 выполняет функцию эквивалентности входных переменных $X^*(kT+iT), X^*(kT-iT)$, выходной сигнал $Z(kT)$, определяемый согласно выражению (2), где $X^*(kT) \in \{1, 0\}$.

$$Z(kT) = \overline{X^*(kT+iT) \cdot X^*(k-iT) + X^*(kT+iT)} \cdot X^*(kT-iT) \quad (2)$$

Равенство нулю $Z(kT)$ означает, что сумма, стоящая в квадратных скобках в выражении (1), равна также нулю и таким образом, нет необходимости в выполнении операции умножения на ноль и сложения нуля с предыдущей частичной суммой. Здесь последовательность $X^*(kT-iT) \in \{1, 0\}$ преобразуется в центрированную случайную последовательность $X(kT-iT) \in \{1, -1\}$ путем замены символа нуля на символ 1, что позволяет получить знакопеременный центрированный выходной процесс $Y(kT)$. Генератор 15 одиночного импульса представляет собой задержанный мультипликатор (или любую другую подобную схему), генерирующий на выходе одиночный импульс по поступлении на вход сигнала $Z(kT)$, равного нулю. При равенстве $Z(kT)$ единице на выходе блока 15 поддерживается нулевой уровень. Триггер 16 имеет два входа, вход установки в единичное состояние и вход установки в нулевое состояние, и представляет собой обычный $R-S$ -триггер.

Блок 10 управления вырабатывает управляющие сигналы для работы устройства в це-

лом. На фиг. 2 приведена структурная блок-схема блока 10 управления, которая состоит из счетчика 21, дешифратора 22, генератора импульсов 23, триггера 24, элемента ИЛИ 25, трех элементов И 26-28 и семи элементов задержки 29-35. На счетчик 21 записывается код, равный по сигналу поступающему с выхода элемента задержки 31. По поступлению импульсов с выходов генератора 25 и блока 15 содержимое счетчика 21 уменьшается до нуля. При ненулевом содержимом счетчика дешифратор 22 вырабатывает сигнал разрешения на второй вход элемента И 27, на первый вход которого поступают импульсы с выхода генератора импульсов 23. Триггер 24 работает в счетном режиме и разрешает прохождение импульсов через первый или второй элементы И 25 и 26 блока 10 управления, с выходов которых импульсные потоки поступают на входы блоков 19 и 20. Появление нулевого кода на счетчик инициирует генерирование сигнала на выходе дешифратора, который запрещает прохождение импульсов через элемент И 27 и, проходя через элемент задержки 31, поступает на счетный вход триггера и на установочные входы счетчика в состояние кода. На выходах шести элементов задержки появляются сигналы, поступающие на вход блоков 4-9. На фиг. 2 цифры 4-9, 16, 19, 20 обозначают номер блока, с которым связан соответствующий узел блока 10 управления.

Функционирование устройства происходит следующим образом.

Для получения случайного процесса с заданным видом спектральной плотности мощности определяется весовая функция (дискретная) нерекурсивного цифрового фильтра. Дискретные отсчеты весовой функции $h(iT)$, где $i \geq 0$, записываются в блок 7 оперативной памяти, причем значение $h(0T)$ записывается уменьшенным в два раза, так как при $i=0$ выражение (1) принимает следующий вид $h(0T) \cdot 2\lambda(kT)$. Начальные коды, записываемые на первый и второй регистры сдвига 1 и 11, являются жестко зависимыми, причем если на один регистр можно записать любой код, кроме нулевого, то на второй необходимо записать код, соответствующий первому таким образом, что последовательность символов двух кодов составляет участок длиной в $2m-1$ символов из исходной M -последовательности, порождаемой полиномом $\psi(z) = 1 + z^1 + z^m$. Причем содержимое m -го разряда первого регистра сдвига 1 и содержимое 1-го разряда второго регистра сдвига 11 одинаковы и представляют собой один и тот же символ исходной M -последовательности. На счетчике 9 адреса

устанавливается адрес нулевого коэффициента. В первоначальный момент в цепь обратной связи первого регистра сдвига 1 включается сумматор по модулю два 2 и в цепь обратной связи второго регистра сдвига 11 сумматор по модулю два 13.

По сигналам, поступающим из блока 10 управления на управляющие входы блоков 7-9 из оперативной памяти выбирается половинное значение нулевого коэффициента $h(0T)$, значение которого умножается на сумму значений старшего разряда первого регистра сдвига 1 и младшего разряда второго регистра сдвига 11. Результат произведения на умножителе 4 равен

$$[h(0T)/2] \cdot [\lambda(kT-0T) + \lambda(kT+0T)] = h(0T) \cdot \lambda(kT+0T).$$

Далее первое частичное произведение суммируется на сумматоре 5 с нулевым кодом, хранящимся на регистре памяти 6, при этом знак произведения определяется знаком символа, хранящимся в первом разряде второго регистра. Если $\lambda^*(kT+0T) = 0$ то $\lambda(kT+0T) = -1$ и соответственно знак первого частичного произведения $h(0T) \cdot \lambda(kT+0T)$ отрицательный. В случае, когда $\lambda^*(kT+0T) = 1$ и знак произведения положительный. По управляющим сигналам блока 10 управления первичная частичная сумма $0 + h(0T) \cdot \lambda(kT+0T)$ записывается на регистр памяти 6. Далее из блока 10 управления поступает управляющий сигнал, который сдвигает информацию, хранящуюся в первом регистре сдвига 1 в сторону старших разрядов и во втором регистре сдвига 11 в сторону младших разрядов, при этом работают сумматоры по модулю два 2 и 13. Управляющий сигнал на первый и второй регистры сдвига 1 и 11 поступает с первого выхода блока 10 через элемент ИЛИ 19. После осуществления операции сдвига в старшем разряде первого регистра сдвига 1 хранится значение $\lambda^*(kT-1T)$, а в первом разряде второго регистра сдвига 11 — значение $\lambda^*(kT+1T)$. Для значений $\lambda^*(kT-1T)$ и $\lambda^*(kT+1T)$, а также значений $\lambda^*(kT-iT)$ и $\lambda^*(kT+iT)$ на i -м такте возможны четыре случая.

1. $\lambda^*(kT-1T) = 0$ и $\lambda^*(kT+1T) = 0$ и соответственно путем замены 0 на -1 $\lambda(kT-1T) = -1$ и $\lambda(kT+1T) = -1$. Значение $Z(kT)$ в этом случае равняется единице согласно выражению (2) на выходе элемента эквивалентности 14. Так как $Z(kT) = 1$, то на выходе блока 15 поддерживается нулевой уровень, а в устройстве умножения 4 осуществляется умножение $h(1T)$ на $|-2|$, так как $\lambda(kT-1T) +$

$+X(KT+1T) \neq 2$. Знак минус учитывается при выполнении операции суммирования в блоке 5 при получении частичной суммы, при этом если $X^*(KT+1T)=0$, то знак будет минус и если $X^*(KT+1T)=1$, то знак плюс. Далее с выхода блока 5 частичная сумма

$$0+h(0T) \cdot X(KT+0T)+h(1T)[X(KT-1T)+X(KT+1T)]$$

записывается на регистр памяти 6.

2. $X^*(KT-1T)=0$ и $X^*(KT+1T)=1$ и соответственно $X(KT-1T)=1$ и $X(KT+1T)=1$. Равенство нулю на выходе 15 говорит о равенстве нулю второго слагаемого в выражении $h(1T)[X(KT-1T)+X(KT+1T)]$. Поэтому в блоках 4-6 никакие арифметические действия не производятся. Равенство нулю $Z(KT)$ инициирует генерирование одиночного импульса на выходе блока 15, который через элемент И 17 и элемент ИЛИ 19 поступает по цепи сдвига первого и второго регистра сдвига 1 и 11, после чего в последнем и первом разрядах регистров сдвига 1 и 11 образуются значения $X(KT-2T)$ и $X(KT+2T)$ соответственно. Сигнал с выхода блока 15 поступает на вход блока 10, с третьего выхода которого управляющий сигнал увеличивает содержимое счетчика адреса на единицу. Прохождение одиночного импульса через элемент 17 и 19 объясняется тем, что предыдущими импульсами сдвига триггер 16 устанавливается в единичное состояние и таким образом разрешающий потенциал образуется на единичном выходе 16 и соответственно на втором выходе элемента И 17.

3. $X^*(KT-1T)=1$ и $X^*(KT+1T)=0$, соответственно $X(KT-1T)=1$ и $X(KT+1T)=-1$. Равенство нулю $Z(KT)$ на выходе схемы эквивалентности 14 говорит о равенстве нулю суммы $X(KT-1T)+X(KT+1T)$. Поэтому в этом случае 3 подобно случаю 2 действия повторяются.

4. $X^*(KT-1T)=1$ и $X^*(KT+1T)=1$, соответственно $X(KT-1T)=1$ и $X(KT+1T)=1$. Значение $Z(KT)$ в этом случае равняется единице согласно выражению (2). Поэтому все операции в блоках 4-6 повторяются. Единственным отличием является равенство знака суммы $X(KT-1T)+X(KT+1T)$ плюсу.

После выполнения второго такта работы устройства в целом на регистре памяти 6 хранится частичная сумма

$$0+h(0T)X(KT+0T)+h(1T)[X(KT-1T)+X(KT+1T)],$$

причем третье слагаемое подобно первому может оказаться равным нулю. После поступления очередного импульса сдвига с блока 10 или одиночного импульса с блока 15 на

старшем и младшем разрядах первого и второго регистра сдвига 1 и 22 хранятся значения $X^*(KT-2T)$ и $X^*(KT+2T)$ соответственно. Повторяя подобную процедуру N раз на сумматоре 5 получаем выражение

$$0+h(0T) \cdot X(KT+0T)+h(1T)[X(KT-1T)+X(KT+1T)]+h(2T) \cdot X[KX(KT-2T)+X(KT+2T)]+\dots+h(NT)[X(KT-NT)+X(KT+NT)],$$

что является первым отсчетом выходного широкополосного случайного процесса $Y(1T)$. После получения значения $Y(1T)$ регистр памяти 6 обнуляется, после чего осуществляется $N+1$ сдвиг в сторону старших разрядов в первом регистре 1 и в сторону младших разрядов во втором регистре 11. При осуществлении $(N+1)$ -го нерабочего сдвига работа арифметических блоков 4 и 5 и генератора одиночного импульса 15 блокируется. Далее структура реверсивных регистров сдвига 1 и 11 изменяется таким образом, что в цепь обратной связи регистра сдвига 1 включается сумматор по модулю два 3 и в цепь обратной связи регистра сдвига 1 включается сумматор 2 по модулю два 3, и в цепь обратной связи регистра сдвига 11 сумматор по модулю два 12. В данном случае в регистре сдвига 1 осуществляются сдвиги в сторону младших разрядов, а в регистре 11 - в сторону старших разрядов. При каждом сдвиге устройство работает аналогично как при сдвигах информации в регистрах 1 и 11 в сторону старших и сторону младших разрядов, соответственно повторив подобную процедуру N раз на сумматоре получаем выражение

$$0+h(0T) \cdot X(KT-1T)+h(1T)[X(KT-2T)+X(KT+0T)]+h(2T) \cdot X[KX(KT-3T)+X(KT+1T)]+h(3T)[h(KT-4T)+X(KT+2T)]+\dots+h(NT)[X(KT-NT-1T)+X(KT+NT-1T)],$$

что является вторым отсчетом выходного широкополосного случайного процесса $Y(2T)$. После получения четного значения $Y(2T)$ структура обратных связей в регистрах сдвига 1 и 11 и направление сдвигов в них изменяется подобно как при получении $Y(1T)$. Далее производится не рабочий $N+1$ сдвиг в сторону старших разрядов в первом регистре 1 и в сторону младших разрядов во втором регистре 11. Причем $N+1$ нерабочий сдвиг осуществляется перед получением каждого очередного значения $Y(iT)$. Подобно осуществлению нерабочего сдвига перед получением очередного значения $Y(iT)$ содержимое счетчика 9 адреса не обнуляется,

а содержимое регистра памяти b обнуляется, каждый такт получения очередного $Y(iT)$, i -ое значение $Y(iT)$ имеет вид

$$Y(iT) = 0 + h(0T)X(KT-iT) + 1T + h(1T)[X(KT-iT) + X(KT+iT-2T)] + \dots + h(NT) \cdot [X(KT-NT-iT+1T) + X(KT+NT-iT+1T)].$$

Анализ выражения для получения $Y(iT)$ показывает, что в отличие от известного в данном устройстве необходимо выполнить максимально только $N/2$ операций умножения и $N/2$ операций сложения, а не N - уменьшений и N - сложений как в известном устройстве. Таким образом, при необходимости синхронного получения выходных отсчетов $Y(iT)$ быстродействие предлагаемого устройства по сравнению с известным увеличивается в два раза. В случае асинхронной работы устройства быстродействие его в среднем увеличивается в четыре раза, так как в этом случае при получении очередного $Y(iT)$ пропускаются элементарные такты умножения и сложения для сумм $X(KT+iT) + X(KT-iT)$, равных нулю, вероятность равенства нулю которых равняется

$$P[X(KT+iT) + X(KT-iT) = 0] = \frac{1}{2}$$

Для построения цифрового генератора широкополосных случайных процессов требуются незначительные аппаратные затраты. Ориентировочный объем такого генератора составляет 5 типовых элементов замены (ТЭЗа) при использовании интегральных схем серии 155 и серии 500. Введением программного управления легко воспроизводится спектр случайного процесса с требуемой точностью, путем изменения величины N . Увеличение быстродействия в предлагаемом устройстве позволяет расширить его функциональные возможности. Так оказывается возможным расширить частотный диапазон генерируемых процессов до 50 кГц при использовании ИС серий 155 и 500.

Применение подобных цифровых генераторов широкополосных случайных процессов, предназначенных для виброиспытаний изделий на случайные воздействия, позволит добиться высоких технико-экономических показателей.

Формула изобретения

1. Генератор широкополосных случайных процессов, содержащий первый рекуррентный регистр сдвига, блок управления, пять выхо-

дов которого соединены соответственно с первыми входами блока оперативной памяти, умножителя, дешифратора, сумматора и регистра памяти, а шестой выход блока управления через счетчик адреса соединен со вторым входом дешифратора, выход которого соединен со вторым входом блока оперативной памяти, выход которого соединен со вторым входом умножителя, выход которого соединен со вторым входом сумматора, первый выход которого соединен со вторым входом регистра памяти, выход которого соединен с третьим входом сумматора, второй выход которого является выходом генератора, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия генератора, он содержит два элемента ИЛИ, два элемента И, триггер, генератор одиночных импульсов, элемент эквивалентности и второй рекуррентный регистр сдвига, первый и второй сдвигающие входы которого объединены соответственно с первым и вторым сдвигающими входами первого рекуррентного регистра сдвига и подключены соответственно к выходам первого и второго элементов ИЛИ, первые входы которых подключены соответственно к выходам первого и второго элементов И, первые входы которых объединены и подключены к выходу генератора одиночных импульсов и ко входу блока управления, седьмой и восьмой выходы которого подключены соответственно ко вторым входам первого и второго элементов ИЛИ, а также ко входам триггера, выходы которого соединены соответственно со вторыми входами первого и второго элементов И, выходы рекуррентных регистров сдвига соединены соответственно с первым и вторым входами элементов эквивалентности, выход которого соединен со входом генератора одиночных импульсов и с третьим входом умножителя, четвертый вход сумматора объединен со вторым входом элемента эквивалентности.

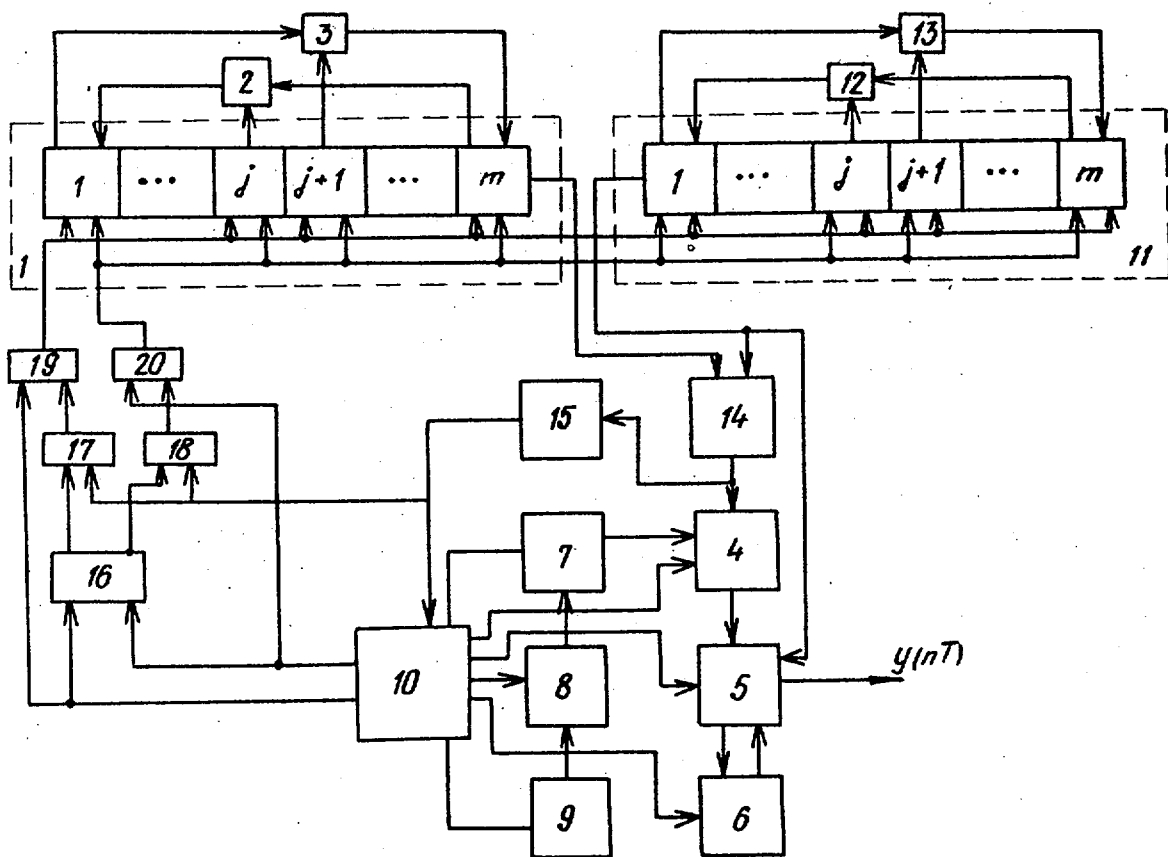
2. Генератор по п. 1, о т л и ч а ю щ и й с я тем, что блок управления содержит шесть последовательно соединенных элементов задержки, выходы которых являются шестью выходами блока, первый и второй элементы И, выходы которых являются соответственно седьмым и восьмым выходами блока, элемент ИЛИ, счетчик, дешифратор, третий элемент И, седьмой элемент задержки, триггер и генератор импульсов, выход которого соединен с первым входом третьего элемента И и с первым входом элемента ИЛИ, второй вход которого является входом блока, а выход элемента ИЛИ соединен со счетным входом счетчика, выходы которого соединены со

входами дешифратора, выход которого соединен со вторым входом третьего элемента И и со входом седьмого элемента задержки, выход которого соединен со входом "Сброс" счетчика и с счетным входом триггера, выходы которого соединены соответственно с первыми входами первого и второго элементов И, вторые входы которых объединены между собой и со входом первого элемента задержки и подключены к выходу третьего элемента И.

Источники информации,

принятые во внимание при экспертизе

1. Кузнецов А. А. Вибрационные испытания элементов и устройств автоматики, М., "Знание", 1976, с. 50-107.
2. Верешкин А. А., Катковник В. Я. Линейные цифровые фильтры и методы их реализации. М., "Советское радио", 1974, с. 108-109, 131-134.
3. Авторское свидетельство СССР по заявке № 262809/18-24 (079578), 18.01.79 (прототип)



Фиг. 1

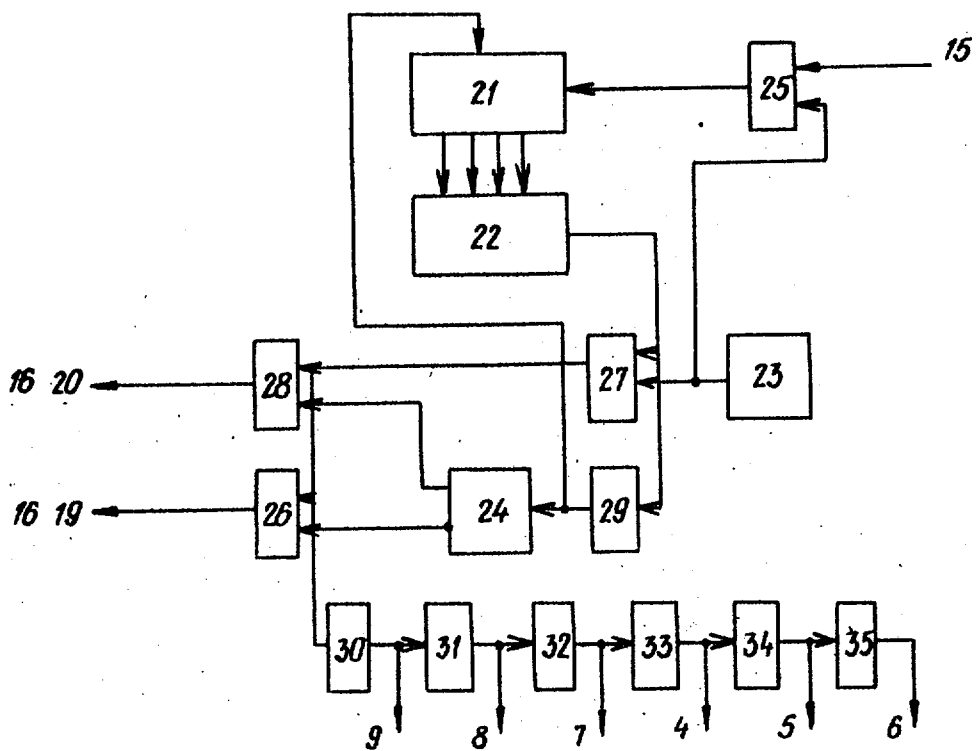


Fig. 2

Редактор Н. Ромжа
 Составитель А. Карасов
 Техред М. Голинка
 Корректор М. Шароши

Заказ 9972/73
 Тираж 748
 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал НИИ "Патент", г. Ужгород, ул. Проектная, 4