



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 963089

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 13.02.81 (21) 3248689/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.09.82. Бюллетень № 36

Дата опубликования описания 03.10.82

(51) М. Кл.<sup>3</sup>

G11 C 11/00

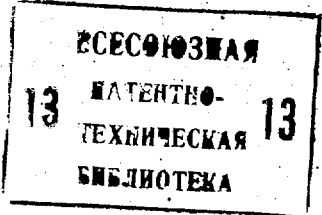
(53) УДК 681.327  
(088.8)

(72) Автор  
изобретения

В. К. Конопелько

(71) Заявитель

Минский радиотехнический институт



## (54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1  
Изобретение относится к запоминающим устройствам и может быть использовано при изготовлении больших интегральных схем запоминающих устройств с произвольной выборкой (ЗУПВ) со словарной организацией.

Известно запоминающее устройство (ЗУ), которое содержит матрицу элементов памяти, схемы логики обрамления и коррекции, дополнительные элементы памяти, позволяющие производить коррекцию одного отказавшего элемента памяти в каждой строке матрицы [1].

Недостаток данного устройства - низкая надежность.

Наиболее близким к предлагаемому является ЗУ, содержащее дешифратор адреса слова, соединенный с адресными шинами матрицы элементов памяти, рядные шины которой соединены с выходами вентиляей и информационными входами блока считывания, управляющие входы которого подключены к выходам дешифратора адреса разряда и первым входам

2  
вентиляей, вторые входы которых соединены с шиной разрешения записи, третьи входы - с шиной управления и первыми входами первых и вторых выходных блоков, выходы блока считывания соединены с входами трехходовых мажоритарных элементов и вторыми входами вторых выходных блоков, шины записи, выходы первых и вторых выходных блоков [2].

10  
15  
Недостатком известного устройства является то, что оно позволяет производить коррекцию дефектных элементов памяти только в одной из трех подматриц матрицы элементов памяти, за счет чего используется только часть матрицы элементов памяти и, следовательно, уменьшается эффективная информационная емкость устройства.

20  
Цель изобретения - повышение эффективной информационной емкости устройства.

Поставленная цель достигается тем, что в запоминающее устройство, содержа-

шее дешифраторы адреса, мажоритарные элементы, блок считывания, первую группу элементов И, блоки вывода данных и элементы памяти, адресные входы которых соединены с выходами первого дешифратора адреса, инверсные входы элементов памяти подключены соответственно к инверсным выходам элементов И первой группы, прямые выходы которых соединены с выходами элементов памяти и информационных входами блока считывания, управляющие входы которого подключены к выходам второго дешифратора адреса и первым входам элементов И первой группы, входы мажоритарных элементов соединены с выходами блока считывания, одни из выходов которого подключены к первым входам одних из блоков вывода данных, вторые входы элементов И первой группы объединены и являются входом разрешения записи устройства, а третьи входы являются управляющим входом устройства и соединены со вторыми входами одних и первыми входами других блоков вывода данных, введены дешифратор исправных ячеек памяти, вторая, третья и четвертая группы элементов И, элементы ИЛИ и логические блоки, первые входы которых объединены и являются входом стробирования устройства, вторые, третьи и четвертые входы логических блоков являются входами записи устройства, а выходы подключены соответственно к четвертым входам элементов И первой группы, первый и второй входы дешифратора исправных ячеек памяти соединены с четвертыми входами одних из логических блоков, а стробирующий вход соединен с первыми входами элементов И второй группы и первыми входами логических блоков, пятые входы которых подключены к выходам дешифратора исправных ячеек памяти и первым входам элементов И третьей и четвертой групп, выходы которых соединены с входами первого и второго элементов ИЛИ соответственно, выходы которых подключены соответственно ко вторым входам одних из элементов И второй группы, выходы которых соединены с первыми входами третьего и четвертого элементов ИЛИ соответственно, выходы которых подключены ко вторым входам других блоков вывода данных, а вторые входы к выходам других элементов И второй группы, вторые входы которых соединены со вторыми входами одних из элементов И третьей группы и другими выходами блока считывания, одни из выходов которого подключены ко вторым входам дру-

гих элементов И третьей группы, вторые входы элементов И четвертой группы соединены с выходами мажоритарных элементов.

Каждый логический блок содержит элементы И и пятый элемент ИЛИ, входы которого подключены к выходам элементов И, причем первые входы первого и второго элементов И и инверсный вход третьего элемента И объединены и являются первым входом блока, вторым и третьим входами которого являются соответственно прямой вход третьего элемента И и второй вход второго элемента И, второй вход первого элемента И является четвертым входом блока, пятым входом и выходом которого являются соответственно третьи входы первого и второго элементов И и выход пятого элемента ИЛИ.

На фиг. 1 приведена функциональная схема предлагаемого устройства; на фиг. 2 - функциональная схема логического блока.

Устройство содержит первый дешифратор 1 адреса, предназначенный для дешифрации адреса слова, с выходами 2, элементы 3 памяти, элементы И 4 первой группы, блок 5 считывания с информационными 6 и управляющими 7 входами, второй дешифратор 8 адреса, предназначенный для дешифрации адреса разряда, вход 9 разрешения записи и управляющий вход 10 устройства, блоки 11 и 12 вывода данных с выходами 13, логические блоки 14 с первыми входами 15, дешифратор 16 исправных ячеек памяти, элементы И 17 второй группы, вход 18 стробирования и входы 19 - 22 записи устройства и пятые входы 23 логических блоков, третью 24 и четвертую 25 группы элементов И, мажоритарные элементы 26 с входами 27 и выходами 28, первый 29, второй 30, третий 31 и четвертый 32 элементы ИЛИ. Элементы памяти организованы в матрицу 33, разделенную на подматрицы 34. Каждый логический блок содержит (фиг. 2) первый 35, второй 36 и третий 37 элементы И и пятый элемент ИЛИ 38.

Устройство работает следующим образом.

Работу устройства рассмотрим на примере ЗУПВ с четырьмя одновременно опрашиваемыми и образующими одну подматрицу элементами 3 памяти матрицы 33 (см. фиг. 1), т. е. когда из каждой из четырех подматриц 34 одновременно опрашивается по одному элементу 3 памяти.

В случае когда матрица 33 (фиг. 1) исправна полностью или на три четверти (в одной из подматриц 34 есть хотя бы один отказавший элемент 3 памяти) или наполовину (отказавшие элементы 3 памяти есть в двух подматрицах 34), работа устройства происходит обычным образом. При записи информации на соответствующие входы 19 - 22 устройства подаются сигналы записи на входы 9 и 10 разрешения записи и управления. На вход 18 подается нулевой потенциал. При этом в логических блоках 14 элементы И 35 и 36 (фиг. 2) закрыты, а сигналы с соответствующих входов 19 - 22 поступают через открытые элементы И 37 на входы соответствующих элементов И. Тем самым в опрашиваемые элементы памяти 3 подматриц 34 опрашиваемого слова матрицы 33 происходит запись входной информации.

В режиме считывания сигналы по входам 9 и 19 - 22 отсутствуют. При этом элементы И закрыты, а сигналы о состоянии опрашиваемых элементов 3 памяти поступают с выходов блока 5 считывания на выходы 13 устройства без изменения, поскольку нулевой сигнал на входе 18 держит закрытыми дешифратор 16 и элементы И 17.

В случае, когда в матрице 33 элементов 3 памяти исправна только одна подматрица 34, а в остальных трех подматрицах 34 имеется не более одного отказавшего элемента 3 памяти из трех одновременно опрашиваемых для каждого слова, работа устройства происходит следующим образом.

На вход 18 подается единичный сигнал. На входы 21 и 22 подаются сигналы, которые указывают, какая из подматриц 34 исправна. Например, сигналы 00, 10, 01, 11 указывают соответственно, что исправными являются первая, вторая, третья или четвертая подматрицы 34 матрицы 33. Тогда в режиме записи информации при подаче сигналов записи на входы 19 и 20 и 9 и 10 в соответствии с сигналами на входах дешифраторов 1 и 8 происходит запись информации в опрашиваемые элементы 3 памяти матрицы 33. При этом на одном из выходов дешифратора 16 устанавливается единичный сигнал, который открывает элемент И 35 в одном из блоков 14. и входная информация, поступающая по входу 20, заносится для хранения в элемент 3 памяти исправной подматрицы 34. Одновременно в три другие подматрицы 34

заносится для хранения информация, поступающая по входу 19, поскольку элементы И 36 в блоках 14 открыты нулевыми сигналами на входах 23 с соответствующих выходов дешифратора 16.

В режиме считывания сигналы на входах 19, 20 и 9 отсутствуют. При этом элементы И 4 закрыты, а сигналы о состоянии опрашиваемых элементов 3 памяти матрицы 33 поступают с выходов блока 5 на вторые входы элементов И 24 и входы 27 мажоритарных элементов 26. На выходе одного из мажоритарных элементов 26 появляется правильный сигнал, считываемый с трех дефектных подматриц 34, у которых в опрашиваемом слове имеется не более одного отказавшего элемента 3 памяти согласно условию отбраковки при изготовлении устройства. Этот правильный сигнал поступает на вход одного из элементов И 25, который открыт сигналом с одного из выходов дешифратора 16. Одновременно этот сигнал открывает и один из элементов И 24, тем самым выделяя сигнал с опрашиваемого элемента 3 памяти исправной подматрицы 34. Оба этих правильно считанных сигнала поступают через элементы ИЛИ 29 и 30, одни из элементов И 17, элементы ИЛИ 31 и 32 и блоки 11 на выходы устройства. Сигналы с выходов блока 5 считывания не поступают на выходы устройства, поскольку они поступают на входы закрытых сигналом на входе 18 других элементов И 17.

В случае, когда в матрице 33 элементов 3 памяти нет полностью исправных подматриц 34, но имеется, как минимум три подматрицы 34, в которых имеется не более одного отказавшего элемента 3 памяти из трех одновременно опрашиваемых для каждого слова, работа устройства происходит аналогично вышеописанному случаю.

На вход 18 подается единичный сигнал. На входы 21 и 22 подаются сигналы, указывающие, какая из подматриц 34 не используется. Сигнал записи подается на вход 19 и снимается с одного из выходов 13 устройства.

Таким образом предлагаемое устройство, выполняя те же функции хранения информации, что и известное, позволяет использовать устройства с одной четвертью от полной емкости матрицы элементов памяти при условии, что имеется как минимум при подматрицы 34 из четырех дефектных, в которых имеется не более одного отказавшего элемента памяти из

трех одновременно, 6) опрашиваемых для каждого слова. При производстве известные устройства при таких условиях расположения отказавших элементов памяти отбраковываются, поскольку при эксплуатации неизвестно на каких позициях расположены отказавшие элементы памяти. Технико-экономическое преимущество предлагаемого ЗУ заключается в том, что оно позволяет увеличить используемую информационную емкость в два раза по сравнению с прототипом при условии, что имеется одна полностью исправная подматрица, а в остальных трех подматрицах имеется не более одного отказавшего элемента памяти из трех одновременно опрашиваемых для каждого слова, тогда как в прототипе при таких условиях расположения отказавших элементов памяти использовалась только одна четверть информационной емкости.

#### Ф о р м у л а и з о б р е т е н и я

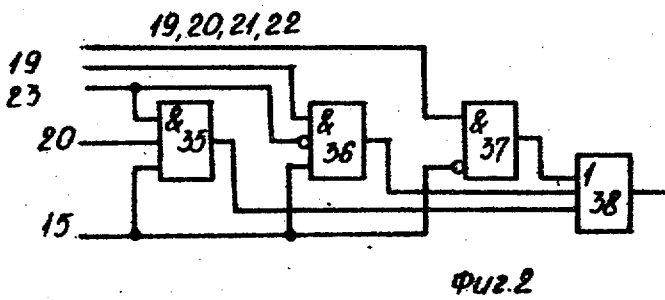
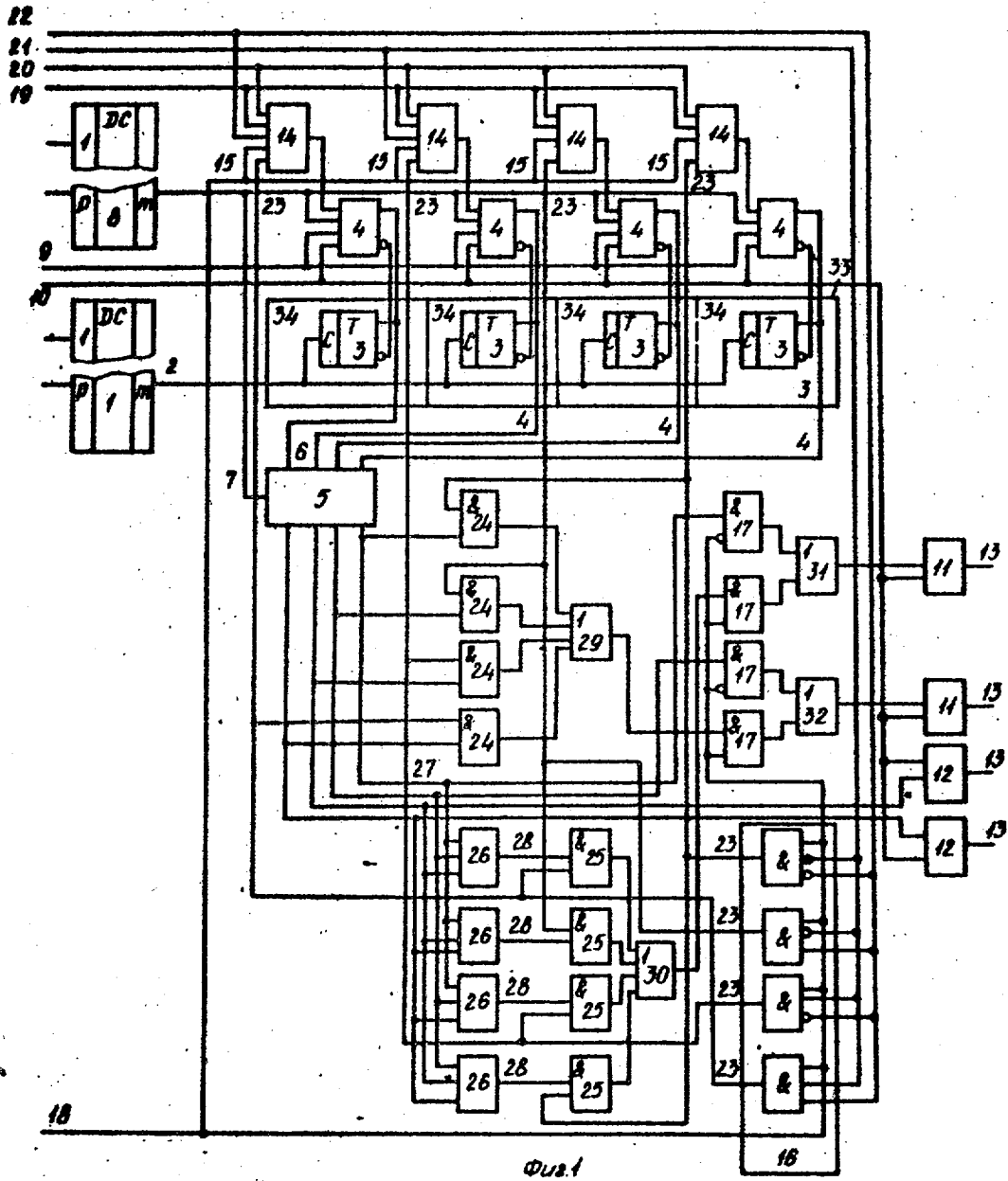
1. Запоминающее устройство, содержащее дешираторы адреса, мажоритарные элементы, блок считывания, первую группу элементов И, блоки вывода данных и элементы памяти, адресные входы которых соединены с выходами первого деширатора адреса, инверсные входы элементов памяти подключены соответственно к инверсным выходам элементов И первой группы, прямые выходы которых соединены с выходами элементов памяти и информационными входами блока считывания, управляющие входы которого подключены к выходам второго деширатора адреса и первым входам элементов И первой группы, входы мажоритарных элементов соединены с выходами блока считывания, одни из выходов которого подключены к первым входам одних из блоков вывода данных, вторые входы элементов И первой группы объединены и являются входом разрешения к записи устройства, а третьи входы являются управляющим входом устройства и соединены со вторыми входами одних и первыми входами других блоков вывода данных, отличающееся тем, что, с целью повышения эффективной информационной емкости, оно содержит деширатор исправных ячеек памяти, вторую, третью и четвертую группы элементов И, элементы ИЛИ и логические блоки, первые входы которых объединены и являются входом стробирования устройства, вторые, третьи и четвертые входы логи-

ческих блоков являются входами записи устройства, а выходы подключены соответственно к четвертым входам элементов И первой группы, первый и второй входы деширатора исправных ячеек памяти соединены с четвертыми входами одних из логических блоков, а стробирующий вход соединен с первыми входами элементов И второй группы и первыми входами логических блоков, пятые входы которых подключены к выходам деширатора исправных ячеек памяти и первым входам элементов И третьей и четвертой групп, выходы которых соединены с входами первого и второго элементов ИЛИ соответственно, выходы которых подключены соответственно к вторым входам одних из элементов И второй группы, выходы которых соединены с первыми входами третьего и четвертого элементов ИЛИ соответственно, выходы которых подключены к вторым входам других блоков вывода данных, а вторые входы — к выходам других элементов И второй группы, вторые входы которых соединены со вторыми входами одних из элементов И третьей группы и другими выходами блока считывания, одни из выходов которого подключены к вторым входам других элементов И третьей группы, вторые входы элементов И четвертой группы соединены с выходами мажоритарных элементов.

2. Устройство по п. 1, отличающееся тем, что каждый логический блок содержит элементы И и пятый элемент ИЛИ, входы которого подключены к выходам элементов И, причем первые входы первого и второго элементов И и инверсный вход третьего элемента И объединены и являются первым входом блока, вторым и третьим входами которого являются соответственно прямой вход третьего элемента И и второй вход второго элемента И, второй вход первого элемента И является четвертым входом блока, пятым входом и выходом которого являются соответственно третьи входы первого и второго элементов И и выход пятого элемента ИЛИ.

Источники информации,  
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 746741, кл. G11 C 11/00, 1978.
2. Городний А. В., Корнейчук В. И. Проблемы высоконадежной памяти. — "Автоматика и телемеханика", 1974, № 7, с. 160 (прототип).



ВНИИПИ Заказ 7525/76  
 Тираж 622 Подписное  
 Филиал ППП "Патент",  
 г. Ужгород, ул. Проектная, 4