



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 985783

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 23.07.81 (21) 3321307/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.12.82. Бюллетень № 48

Дата опубликования описания 30.12.82

(51) М. Кл.<sup>3</sup>

G 06 F 7/52

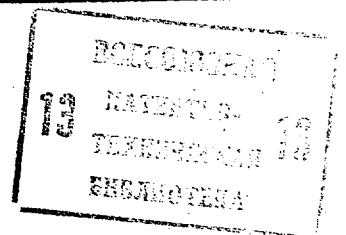
(53) УДК 681.325  
(088.8)

(72) Авторы  
изобретения

Л. Г. Лопато и А. А. Шостак

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ  $n$ -РАЗРЯДНЫХ  
ЧИСЕЛ

Изобретение относится к автоматике и вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения асинхронного типа.

Известно устройство для умножения  $n$ -разрядных чисел, содержащее  $n$ -разрядные регистры множимого, множителя и результата,  $2n$ -разрядный сумматор и блок управления [1].

Недостатком известного устройства является низкое быстродействие.

Известно устройство для умножения  $n$ -разрядных чисел, содержащее  $n$ -разрядные регистры множимого и множителя,  $2n$ -разрядный сумматор, матрицу из  $n^2$  элементов И, блок элементов ИЛИ, по два элемента И для каждого разряда регистра множителя [2].

Недостатками данного устройства являются разрушение информации в регистре множителя в процессе умножения и невысокое быстродействие.

Наиболее близким к предлагаемому по технической сущности является устройство для умножения  $n$ -разрядных чисел, содержащее  $n$ -разрядный регистр множимого,  $n$ -разрядный регистр множителя,  $(2n-1)$ -разрядный накапливающий сумматор, матрицу из  $n^2$  элементов И, первый  $(2n-3)$ -разрядный блок элементов ИЛИ, второй  $n$ -разрядный блок элементов ИЛИ и  $n$ -разрядный блок элементов И, причем выходы регистра множимого соответственно соединены с первой группой входов матрицы элементов И, выходы  $(2, \dots, 2n-3)$ -го разрядов которой соединены с соответствующими входами элементов ИЛИ первого блока элементов ИЛИ, выходы элементов ИЛИ первого блока элементов ИЛИ соответственно соединены с  $(2, \dots, 2n-3)$ -м входными разрядами накапливающего сумматора, первый и  $(2n-1)$ -ый входные разряды которого соответственно соединены с первыми и с  $n^2$ -м выходами матрицы элементов И, вторая группа входов матрицы

элементов И соответственно соединены с выходами элементов И блока элементов И, первые входы которых соответственно соединены с прямыми выходами регистра множителя [3].

Недостатком известного устройства является его относительно низкое быстродействие.

Цель изобретения — повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для умножения  $n$ -разрядных чисел, содержащее  $n$ -разрядный регистр множителя,  $(2n-1)$ -разрядный накапливающий сумматор, матрицу из  $n^2$  элементов И, первый  $(2n-3)$ -разрядный блок элементов ИЛИ, второй  $n$ -разрядный блок элементов ИЛИ и  $n$ -разрядный блок элементов И, причем выходы регистра множителя соответственно соединены с первой группой входов матрицы элементов И, выходы  $(2, \dots, 2n-3)$ -го разрядов которой соединены с соответствующими входами элементов ИЛИ первого блока элементов ИЛИ, выходы элементов ИЛИ первого блока элементов ИЛИ соответственно соединены с  $(2, \dots, 2n-3)$ -м входными разрядами накапливающего сумматора, первый  $(2n-1)$ -ый входные разряды которого соответственно соединены с первым и  $n^2$ -м выходами матрицы элементов И, вторая группа входов матрицы элементов И соответственно соединена с выходами элементов И блока элементов И, первые входы которых соответственно соединены с прямыми выходами регистра множителя, введены  $n$ -разрядный буферный регистр и  $n$ -разрядный комбинационный сумматор, причем прямые выходы буферного регистра соответственно соединены с первыми входами элементов ИЛИ второго блока элементов ИЛИ, вторые входы которых соответственно соединены с инверсными выходами регистра множителя, а выходы соответственно соединены с входами комбинационного сумматора, выходы комбинационного сумматора соответственно соединены с вторыми входами элементов И блока элементов И, третьи входы которых объединены и соединены с шиной синхронизации устройства, которая соединена с входом разрешения записи буферного регистра и с управляющим входом накапливающего сумматора, вход переноса комбинационного сумматора является управляющим входом устройства, выход переноса комбина-

ционного сумматора является выходом индикации окончания операции умножения, выходы элементов И блока элементов И соответственно соединены с разрядными входами буферного регистра.

На чертеже изображена структурная схема устройства для умножения  $n$ -разрядных чисел.

Устройство для умножения  $n$ -разрядных чисел содержит  $n$ -разрядный регистр 1 множителя,  $n$ -разрядный регистр 2 множителя,  $(2n-1)$ -разрядный накапливающий сумматор 3, матрицу 4 из  $n^2$  элементов И 5, первый  $(2n-3)$ -разрядный блок 6 элементов ИЛИ 7, второй  $n$ -разрядный блок 8 элементов ИЛИ 9,  $n$ -разрядный блок 10 элементов И 11,  $n$ -разрядный буферный регистр 12,  $n$ -разрядный комбинационный сумматор 13, шину 14 синхронизации, управляющий вход 15 и выход 16 индикации окончания операции умножения, причем выходы регистра 1 множителя соответственно соединены с первой группой входов матрицы 4 элементов И 5, выходы  $(2, \dots, 2n-3)$ -го разрядов которой соединены с соответствующими входами элементов ИЛИ 7 первого блока 6 элементов ИЛИ 7, выходы элементов ИЛИ 7 первого блока 6 элементов ИЛИ 7 соответственно соединены с  $(2, \dots, 2n-3)$ -м входными разрядами накапливающего сумматора 3, первый  $(2n-1)$ -ый входные разряды которого соответственно соединены с первым и  $n^2$ -м выходами матрицы 4 элементов И 5, вторая группа входов матрицы 4 элементов И 5 соответственно соединена с выходами элементов И 11 блока 10 элементов И 11, первые входы которых соответственно соединены с прямыми выходами регистра 2 множителя, вторые входы соответственно соединены с выходами комбинационного сумматора 13, а третьи входы объединены и соединены с шиной 14 синхронизации устройства, прямые выходы буферного регистра 12 соответственно соединены с первыми входами элементов ИЛИ 9 второго блока 8 элементов ИЛИ 9, вторые входы которых соответственно соединены с инверсными выходами регистра 2 множителя, а выходы соответственно соединены с входами комбинационного сумматора 13, шина 14 синхронизации устройства соединена с входом разрешения записи буферного регистра 12 и с управляющим входом накапливающего сумматора 3, управляющий вход 15 устройства соеди-

нен с входом переноса комбинационного сумматора 13, выход переноса которого соединен с выходом 16 индикации окончания операции умножения устройства, выходы элементов И 11 блока 10 элементов И соответственно соединены с разрядными входами буферного регистра 12.

Устройство работает следующим образом.

Пусть требуется умножить  $n$ -разрядное множимое  $X$  на множитель  $Y = Y_4 Y_3 Y_2 Y_1 = 1010$ . В исходном состоянии в регистре 1 множимого хранится двоичный код числа  $X$  без знака, в регистре 2 множителя — двоичный код числа  $Y$  без знака, накапливающий сумматор 3 и буферный регистр 12 обнулены, на управляющий вход 15 устройства подан сигнал в виде уровня логической единицы, а на выходе комбинационного сумматора 13 сформирован результат  $C = C_4 C_3 C_2 C_1 = 0101 + 0001 = 0110$  (суммирование инверсного значения множителя с единицей, поступающей в младший разряд сумматора с управляющего входа 15 устройства).

При подаче на шину 14 синхронизации устройства синхроимпульса на выходе элемента И 11<sub>2</sub> блока 10 элементов И 11 формируется управляющий сигнал, который производит передачу соответствующим образом сдвинутого множимого с выходов элементов И 5 второй строки матрицы 4 элементов И 5 через блок 6 элементов ИЛИ 7 в накапливающий сумматор 3 и устанавливает в единицу второй разряд буферного регистра 12 с разрешения синхроимпульса, поступающего на его вход разрешения записи. После окончания действия синхроимпульса одновременно с суммированием частичного произведения в накапливающем сумматоре 3 в комбинационном сумматоре 13 формируется результат  $C = C_4 C_3 C_2 C_1 = 0111 + 0001 = 1000$ .

Во втором такте работы устройства с приходом второго синхроимпульса на шину 14 синхронизации устройства на выходе четвертого элемента И 11<sub>4</sub> блока 10 элементов И 11 формируется управляющий сигнал, который производит передачу соответствующим образом сдвинутого множимого с выходов элементов И 5 четвертой строки матрицы 4 элементов И 5 через блок 6 элементов ИЛИ 7 в накапливающий сумматор 3 и устанавливает в единицу четвертый разряд буферного регистра 12. После окончания действия второго синхроимпульса одновременно с суммированием частичного про-

изведения в накапливающем сумматоре 3, в комбинационном сумматоре 13 формируется результат  $C = C_4 C_3 C_2 C_1 = 1111 + 0001 = 0000$  и возникает перенос  $C_{вых} = 1$ .

- 5 Но так как  $C_{вых} = 1$ , то на выходе 16 устройства присутствует сигнал, который означает окончание операции умножения чисел. Таким образом, в рассмотренном примере умножение чисел выполнено в два такта, причем:
- 10 длительность такта (временной интервал между двумя последовательными синхроимпульсами, поступающими на шину 14 устройства) определяется временем суммирования  $n$ -разрядных чисел в накапливающем сумматоре 3, так как прибавление единицы к младшему разряду  $n$ -разрядного числа, поступающего на вход комбинационного сумматора 13, может быть организовано более быстро, чем суммирование  $n$ -разрядных чисел в накапливающем сумматоре 3.

Итак, среднее время умножения двух  $n$ -разрядных чисел в предлагаемом устройстве составляет величину

$$T_{ср} \approx \frac{n}{2} t_{сум}$$

Увеличение быстродействия предлагаемого устройства в сравнении с прототипом достигнуто за счет исключения из общего времени умножения составляющей  $2nT$ , определяющей задержку сигнала на  $n$  элементах ИЛИ второго блока элементов ИЛИ и  $n$  элементах И первого (второго) блока элементов И, управляющего выборкой соответствующим образом сдвинутого множимого. В предлагаемом устройстве формирование такого управляющего сигнала фактически производится одновременно с суммированием очередного частичного произведения в накапливающем сумматоре.

#### Ф о р м у л а и з о б р е т е н и я

Устройство для умножения  $n$ -разрядных чисел, содержащее  $n$ -разрядный регистр множимого,  $n$ -разрядный регистр множителя,  $(2n-1)$ -разрядный накапливающий сумматор, матрицу из  $n^2$  элементов И, первый  $(2n-3)$ -разрядный блок элементов ИЛИ, второй  $n$ -разрядный блок элементов ИЛИ и  $n$ -разрядный блок элементов И, причем выходы регистра множимого соответственно соединены с первой группой входов матрицы элементов И, выходы  $(2, \dots, 2n-3)$ -го разрядов ко-

торой соединены с соответствующими входами элементов ИЛИ первого блока элементов ИЛИ, выходы элементов ИЛИ первого блока элементов ИЛИ соответственно соединены с  $(2, \dots, 2n-3)$ -м входными разрядами накапливающего сумматора, первый и  $(2n-1)$ -й входные разряды которого соответственно соединены с первым и  $n^2$ -м выходами матрицы элементов И, вторая группа входов матрицы элементов И соответственно соединена с выходами элементов И блока элементов И, первые входы которых соответственно соединены с прямыми выходами регистра множителя, отличающееся тем, что, с целью повышения быстродействия, в него введены  $n$ -разрядный буферный регистр и  $n$ -разрядный комбинационный сумматор, причем прямые выходы буферного регистра соответственно соединены с первыми входами элементов ИЛИ второго блока элементов ИЛИ, вторые входы которых соответственно соединены с инверсными выходами регистра множителя, а выходы соответственно соединены с входами комбинацион-

ного сумматора, выходы комбинационного сумматора соответственно соединены с вторыми входами элементов И блока элементов И, третьи входы которых объединены и соединены с шиной синхронизации устройства, которая соединена с входом разрешения записи буферного регистра и с управляющим входом накапливающего сумматора, вход переноса комбинационного сумматора является управляющим входом устройства, выход переноса комбинационного сумматора является выходом индикации окончания операции умножения, выходы элементов И блока элементов И соответственно соединены с разрядными входами буферного регистра.

Источники информации,

- принятые во внимание при экспертизе
1. Карцев М.А. Арифметика цифровых машин. М., "Наука", 1969, с. 350, 364.
  2. Авторское свидетельство СССР № 482740, кл. G 06 F 7/52, 1974.
  3. Авторское свидетельство СССР № 623204, кл. G 06 F 7/52, 1977 (прототип).

