

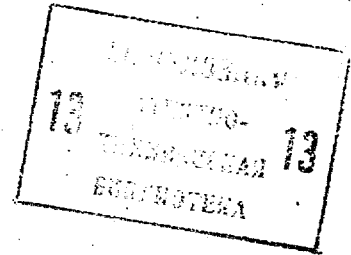


3(5) Н 03 К 5/13

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3374989/18-21  
(22) 29.12.81  
(46) 23.05.83. Бюл. № 19  
(72) А.С.Кобайло, С.Ф.Костюк,  
А.И.Кузьмич и А.Г.Якубенко  
(71) Минский радиотехнический институт  
(53) 621.374.38(088.8)  
(56) 1. Авторское свидетельство СССР  
№ 744946, кл. Н 03 К 5/13, 13.12.76.  
2. Авторское свидетельство СССР  
№ 756619, кл. Н 03 К 5/13, 15.03.78  
(прототип).

(54) (57) УСТРОЙСТВО ЗАДЕРЖКИ ИМПУЛЬСОВ, содержащее девять элементов И, генератор импульсов, выход которого соединен с первым входом первого элемента И, реверсивный счетчик, формируватель импульсов, вход которого является входом устройства, первый триггер, счетный триггер, два элемента ИЛИ, вход первого из них соединен с выходом формирувателя импульсов, регистр, отличающийся тем, что, с целью расширения функциональных возможностей и сокращения объема оборудования, в него введены второй формируватель импульсов, блок памяти, четыре счетчика, три триггера, элемент НЕ, причем вход первого формирувателя импульсов соединен с входом элемента НЕ, первым входом первого триггера, первым входом четвертого триггера, выход элемента НЕ соединен с входом второго формирувателя импульсов, выход которого соединен с вторым входом первого элемента ИЛИ, выход первого элемента ИЛИ соединен с вторым входом первого элемента И, первым входом второго счетчика и первым входом третьего счетчика, первый выход первого триггера соединен с первым входом второго элемента И и четвертым входом первого элемента И, второй

выход первого триггера соединен с третьим входом четвертого триггера, второй вход второго элемента И соединен с первым выходом третьего триггера, вторым входом третьего элемента И, первым входом шестого элемента И, первым входом четвертого элемента И и третьим входом первого элемента И, выход генератора импульсов соединен с входом третьего триггера и первым входом седьмого элемента И, выход второго элемента И соединен с вторым входом второго счетчика, выход первого элемента И соединен с первым входом блока памяти, второй вход блока памяти соединен с выходом четвертого элемента И, второй вход которого соединен с выходом третьего счетчика, третий вход блока памяти соединен с выходом второго счетчика, четвертый вход блока памяти соединен с выходом восьмого элемента И, первый вход которого соединен с выходом пятого счетчика, второй вход - с вторым выходом третьего триггера и вторым входом седьмого элемента И, пятый вход блока памяти соединен с выходом седьмого элемента И, третий вход которого соединен с выходом второго элемента ИЛИ, входом счетного триггера и вторым входом реверсивного счетчика, выход блока памяти соединен с первым входом реверсивного счетчика, выход которого соединен с входом девятого элемента И, выход девятого элемента И соединен с первым входом пятого счетчика и вторым входом второго элемента ИЛИ, выход четвертого триггера соединен с первым входом третьего элемента И, выход которого соединен с первым входом четвертого счетчика, второй вход которого соединен с выходом регистра, а выход - с входом пятого элемента И, выход пятого элемента И соединен с вторым входом четвертого триггера, третьим

входом четвертого счетчика, первым входом пятого триггера и первым входом второго элемента ИЛИ, выход пятого триггера соединен с вторым входом шестого элемента И, выход которого соединен с третьим входом реверсивного счетчика, вход задания

начальных условий соединен с вторыми входами первого и пятого триггеров, с третьим входом второго счетчика, с четвертым входом четвертого счетчика и с вторыми входами третьего и пятого счетчиков, а выход счетного триггера является выходом устройства.

1

Изобретение относится к вычислительной технике и предназначено для получения регулируемой задержки пачки импульсов при сохранении длительности импульсов и интервалов между ними.

Известно цифровое устройство задержки импульсов, содержащее регистр памяти, генератор импульсов эталонной частоты, триггеры, элемент задержки, элементы И, элементы ИЛИ, клеммы подачи сигналов кода длительности импульсов, клеммы подачи сигналов кода задержки импульсов, клемму подачи входных сигналов, выходную клемму [1].

Недостатками известного устройства являются отсутствие возможности воспроизведения длительности входных импульсов на выходе устройства и ограниченный диапазон регулирования задержки, не превышающий период следования входных импульсов.

Наиболее близким по технической сущности к изобретению является устройство задержки импульсов, имеющую разную длительность, позволяющее задерживать пачку импульсов, имеющих разную длительность и следующих с переменным периодом, содержащее генератор импульсов, реверсивный счетчик, триггер знака, суммирующий триггер, элемент задержки переднего фронта импульса, формирователь импульсов, элемент И, элементы И перезаписи, выходные элементы И, элементы И опроса, элементы И контроля нуля, установочные элементы И и элементы ИЛИ, группы входных элементов И, дифференцирующие цепи, дополнительные элементы задержки, три элемента ИЛИ, регистры управления сложением и вычитанием [2].

Недостатками известного устройства являются ограниченность количества импульсов в пачке входной серии, так как длительности импульсов и пауз запоминаются в счетчике, разрядность которого конечна; нерегулируемость длительности задержки, задаваемой с помощью линии задержки; отсутствие возможности получения задержки меньшей суммарной

2

длительности импульсов и пауз между ними в пачке выходных импульсов, а также значительный объем оборудования для обеспечения задержки пачки импульсов, содержащей большое количество импульсов или растянутой во времени.

Цель изобретения - расширение функциональных возможностей устройства за счет формирования регулируемой в широком диапазоне задержки последовательности любого количества импульсов со случайными, в общем случае, длительностями и паузами с воспроизведением этих длительностей и пауз на выходе устройства и сокращение объема оборудования.

Цель достигается тем, что в устройстве, содержащее девять элементов И, генератор импульсов, выход которого соединен с первым входом первого элемента И, реверсивный счетчик, формирователь импульсов, вход которого является входом устройства, первый триггер, счетный триггер, два элемента ИЛИ, вход первого из них соединен с выходом формирователя импульсов, регистр, введены второй формирователь импульсов, блок памяти, четыре счетчика, три триггера, элемент НЕ, причем вход первого формирователя импульсов соединен с входом элемента НЕ, первым входом первого триггера, первым входом четвертого триггера, выход элемента НЕ соединен с входом второго формирователя импульсов, выход которого соединен с вторым входом первого элемента ИЛИ, выход первого элемента ИЛИ соединен с вторым входом первого элемента И, первым входом второго счетчика и первым входом третьего счетчика, первый выход первого триггера соединен с первым входом второго элемента И и четвертым входом первого элемента И, второй выход первого триггера соединен с третьим входом четвертого триггера, второй вход второго элемента И соединен с первым выходом третьего триггера, вторым входом третьего элемента И, первым входом шестого эле-

мента И, первым входом четвертого элемента И и третьим входом первого элемента И, выход генератора импульсов соединен с входом третьего триггера и первым входом седьмого элемента И, выход второго элемента И соединен с вторым входом второго счетчика, выход первого элемента И соединен с первым входом блока памяти, второй вход блока памяти соединен с выходом четвертого элемента И, второй вход которого соединен с выходом третьего счетчика, третий вход блока памяти соединен с выходом второго счетчика, четвертый вход блока памяти соединен с выходом восьмого элемента И, первый вход которого соединен с выходом пятого счетчика, второй вход - с вторым выходом третьего триггера и вторым входом седьмого элемента И, пятый вход блока памяти соединен с выходом седьмого элемента И, третий вход которого соединен с выходом второго элемента ИЛИ, входом счетного триггера и вторым входом реверсивного счетчика, выход блока памяти соединен с первым входом реверсивного счетчика, выход которого соединен с входом девятого элемента И, выход девятого элемента И соединен с первым входом пятого счетчика и вторым входом второго элемента ИЛИ, выход четвертого триггера соединен с первым входом третьего элемента И, выход которого соединен с первым входом четвертого счетчика, второй вход которого соединен с выходом регистра, а выход - с входом пятого элемента И, выход пятого элемента И соединен с вторым входом четвертого триггера, третьим входом четвертого счетчика, первым входом пятого триггера и первым входом второго элемента ИЛИ, выход пятого триггера соединен с вторым входом шестого элемента И, выход которого соединен с третьим входом реверсивного счетчика, вход задания начальных условий соединен с вторыми входами первого и пятого триггеров, с третьим входом второго счетчика, с четвертым входом четвертого счетчика и с вторыми входами третьего и пятого счетчиков, а выход счетного триггера является выходом устройства.

На чертеже представлена структурная схема предлагаемого устройства.

Устройство содержит генератор 1 импульсов, первый элемент И 2, реверсивный счетчик 3, первый формирователь 4 импульсов, первый триггер 5, счетный триггер 6, первый элемент ИЛИ 7, второй элемент И 8, третий элемент И 9, четвертый элемент И 10, пятый элемент И 11, шестой элемент И 12, седьмой элемент И 13, восьмой элемент И 14, девятый

элемент И 15, второй элемент ИЛИ 16, регистр 17, второй формирователь 18 импульсов, блок 19 памяти, второй счетчик 20, третий счетчик 21, третий триггер 22, четвертый счетчик 23, пятый счетчик 24, четвертый триггер 25, пятый триггер 26, элемент НЕ 27, причем вход первого формирователя 4 импульсов является входом устройства и соединен с входом элемента НЕ 27, первым входом первого триггера 5 и первым входом четвертого триггера 25, выход первого формирователя 4 импульсов соединен с первым входом первого элемента ИЛИ 7, выход генератора 1 импульсов соединен с входом третьего триггера 22, первым входом первого элемента И 2 и первым входом седьмого элемента И 13, выход элемента НЕ 27 соединен с входом второго формирователя 18 импульсов, выход которого соединен с вторым входом первого элемента ИЛИ 7, выход первого элемента ИЛИ 7 соединен с вторым входом первого элемента И 2, первым входом второго счетчика 20 и первым входом третьего триггера 22, выход первого триггера 5 соединен с четвертым входом первого элемента И 2 и первым входом второго элемента И 8, второй вход которого соединен с первым входом третьего триггера 22, вторым входом третьего элемента И 9, первым входом шестого элемента И 12, первым входом четвертого элемента И 10 и третьим входом первого элемента И 2, выход второго элемента И 8 соединен с вторым входом второго счетчика 20, выход первого элемента И 2 соединен с первым входом блока 19 памяти, второй вход блока 19 памяти соединен с выходом четвертого элемента И 10, второй вход которого соединен с выходом третьего счетчика 21, третий вход блока 19 памяти соединен с выходом второго счетчика 20, второй вход которого соединен с выходом второго элемента И 8, четвертый вход блока 19 памяти соединен с выходом восьмого элемента И 14, первый вход которого соединен с выходом пятого счетчика 24, второй вход - с вторым выходом третьего триггера 22 и вторым входом седьмого элемента И 13, пятый вход блока 19 памяти соединен с выходом седьмого элемента И 13, третий вход которого соединен с выходом второго элемента ИЛИ 16, входом счетного триггера 6 и вторым входом реверсивного счетчика 3, выход блока 19 памяти соединен с первым входом реверсивного счетчика 3, третий вход реверсивного счетчика 3 соединен с выходом шестого элемента И 12, а выход - с входом девятого элемента И 15, выход девятого элемента И 15 соединен с первым входом

пятого счетчика 24 и вторым входом второго элемента ИЛИ 16, третий вход четвертого триггера 25 соединен с вторым выходом первого триггера 5, выход четвертого триггера 25 соединен с первым входом третьего элемента И 9, выход которого соединен с первым входом четвертого счетчика 23, второй вход четвертого счетчика 23 соединен с выходом регистра 17, выход - с входом пятого элемента И 11, выход которого соединен с вторым входом четвертого триггера 25, первым входом пятого триггера 26, третьим входом четвертого счетчика 23 и первым входом второго элемента ИЛИ 16, выход пятого триггера 26 соединен с вторым входом шестого элемента И 12, вход задания начальных условий соединен с вторым входом первого 5 и пятого 26 триггеров, вторым входом третьего счетчика 21, четвертым входом четвертого счетчика 23 и вторым входом пятого счетчика 24, а выход счетного триггера 6 является выходом устройства.

Генератор 1 импульсов генерирует последовательность прямоугольных импульсов, формирователь 4 импульсов по переднему фронту поступающего на него импульса вырабатывает на своем выходе короткий прямоугольный импульс. Второй формирователь 18 импульсов не отличается от первого.

Остальные блоки устройства являются типовыми элементами ЭВМ. Первый 5 и пятый 26 триггеры RS-типа, их первые входы - "Установка в '1'", вторые - "Сброс в '0'", выходы прямые, второй выход первого триггера 5 инверсный. Вход счетного триггера 6 - счетный вход, выход прямой. Третий триггер 22, также счетный, осуществляет деление последовательности импульсов, генерируемых генератором 1 импульсов на два, задавая тактовую частоту работы устройства. Его вход счетный, первый выход прямой, второй выход инверсный. Четвертый триггер 25 D-типа. Первый вход реверсивного счетчика 3 информационный, второй - "Разрешение занесения кода", третий - вычитающий, выход инверсный информационный. Второй счетчик 20 суммирующий. Его первый вход "Установка нуля", второй вход суммирующий, выход информационный. Третий счетчик 21 - счетчик адреса записи. Его первый вход счетный, второй - "Установка начального состояния", выход информационный. Четвертый счетчик 23 - счетчик длительности задержки. Его первый вход счетный, второй - информационный, третий - "Установка нулевого состояния", четвертый - "Разрешение записи", выход информационный. Пятый счетчик 24 - счетчик адреса

считывания. Первый его вход счетный, второй - "Установка нулевого состояния", выход информационный. Первый вход блока 19 памяти - "Разрешение записи", второй - адресный записи, третий - информационный, четвертый - адресный считывания, пятый - "Разрешение считывания", выход информационный.

Тактовая частота устройства в два раза меньше частоты генератора 1 импульсов. При этом на первом полупериоде нечетным импульсом генератора 1 через первый элемент И 2 разрешается выработка сигнала разрешения записи в память, а через четвертый элемент И 10 происходит коммутация адреса записи. На втором полупериоде четным импульсом генератора 1 через седьмой элемент И 13 разрешается выработка сигнала разрешения считывания из памяти, а через восьмой элемент И 14 осуществляется коммутация адреса считывания. Этим обеспечивается возможность в случае необходимости производить запись и считывание из памяти в одном такте работы устройства.

Устройство работает следующим образом.

Перед началом работы на вход задания начальных условий подается сигнал начальных условий. При этом в третьем счетчике 21 устанавливаются во всех разрядах единицы, триггеры первый 5 и пятый 26, а также пятый счетчик 24 устанавливаются в нулевое состояние, а в четвертый счетчик 23 заносится обратный код задержки.

По переднему фронту первого входного импульса на выходе формирователя 4 импульсов вырабатывается короткий импульс, проходящий через первый элемент ИЛИ 7 и устанавливающий нулевое состояние третьего счетчика 21 (формируя нулевой адрес записи). Через первый элемент И 2 этот импульс не проходит, так как первый триггер 5 до прихода входного импульса находится в нулевом состоянии. Первый импульс входной последовательности устанавливает в единицу первый 5 и четвертый 25 триггеры, которые разрешают прохождение тактовых импульсов с выхода третьего триггера 22 соответственно через второй 8 и третий 9 элементы И. Через второй элемент И 8 тактовые импульсы проходят на счетный вход второго счетчика 20, подсчитывающего количество поступивших на его вход импульсов. По окончании длительности входного импульса на выходе второго формирователя 18 импульсов формируется короткий импульс, который проходит через первый элемент И 2, поступает на первый вход

блока памяти, разрешая запись по нулевому адресу записи из второго счетчика кода  $T_{n1}$ , пропорционально-го длительности первого импульса входной последовательности. Кроме того, импульс с выхода первого элемента ИЛИ 7 устанавливает нулевое состояние второго счетчика 20 и увеличивает состояние третьего счетчика 21 на единицу. Второй счетчик 20 снова подсчитывает количество поступающих на его вход тактовых импульсов, формируя код, пропорциональный длительности первой паузы. При поступлении на вход устройства второго импульса первый формирователь 4 импульсов формирует короткий импульс, по которому происходит запись во вторую ячейку памяти из второго счетчика 20 кода  $T_{n1}$ , пропорционального длительности первой паузы, состояние третьего счетчика 21 устанавливается на единицу, второй счетчик 20 сбрасывается в ноль. Далее второй счетчик 20 подсчитывает длительность второго импульса входной последовательности.

При достижении третьим счетчиком 21 его максимального значения сформированный во втором счетчике 20 код длительности  $N$ -ой паузы записывается в  $M$ -ую ячейку блока 19 памяти ( $M=2N-1$ ), затем в третьем счетчике 21 устанавливается нулевое состояние по переднему фронту следующего  $N+1$ -го входного импульса. Таким образом, в результате первого цикла работы устройства в ячейках памяти с номерами  $0, 1, 2, 3, \dots, M-1, M$  хранятся коды длительности входных импульсов и пауз между ними  $T_{n1}, T_{n1}, \dots, T_{n-1}, T_{nN}, T_{nN}$ . Далее процесс циклически повторяется и в ячейку памяти заносятся первые значения длительностей импульсов и пауз.

При достижении четвертым счетчиком 23 его максимального значения (окончания отработки заданной задержки) на выходе пятого элемента И 11 вырабатывается импульс, сбрасывающий четвертый триггер 25 в ноль и устанавливающий единичное состояние пятого триггера 26, который разрешает прохождение тактовых импульсов через шестой элемент И 12 на вход реверсивного счетчика 3, этот же импульс с выхода пятого элемента И 11 проходит через второй элемент ИЛИ 16, открывает по третьему входу седьмой элемент И 13, через который проходит четный импульс с генератора 1 импульсов, который поступает на вход блока 19 памяти как сигнал разрешения считывания, в результате чего происходит считывание содержимого нулевой ячейки памяти (по адресу установленному в пятом счетчике 24). Сигнал с выхода второго элемента

ИЛИ 16 устанавливает также счетный триггер 6 в единичное состояние, заносит считанный из памяти код в реверсивный счетчик 3 и увеличивает состояние пятого счетчика 24 на единицу. Тактовые импульсы, поступающие на третий вход реверсивного счетчика 3 с выхода шестого элемента И 12, производят вычитание единиц из счетчика 3 до тех пор, пока в счетчике не установится нулевое состояние (единицы на инверсном информационном выходе), по которому на выходе девятого элемента И 15 формируется сигнал, который, поступая через второй элемент ИЛИ 16 на счетный вход второго счетного триггера 6, сбрасывает его в ноль, производит считывание кода из блока 19 памяти по адресу, установленному ранее в пятом счетчике 24, заносит считанный из блока памяти код в реверсивный счетчик 3, а также увеличивает состояние пятого счетчика 24 на единицу.

Далее процесс протекает аналогично описанному до нового обнуления реверсивного счетчика 3, после чего счетный триггер 6 опять устанавливается в единичное состояние. Так как в реверсивный счетчик заносится последовательно коды  $T_{n1}$  и  $T_{n1}$ , а вычитание производится с той же тактовой частотой, что и сложение во втором счетчике 20, то второй (счетный) триггер 6 находится в состоянии единицы в течение времени, равного  $T_{n1}$ , и в состоянии нуля в течение  $T_{n1}$ , и, таким образом, в результате последовательного считывания всех ячеек памяти на выходе устройства формируется сдвинутая последовательность импульсов и пауз, длительности которых определяются как  $T_{n1}, T_{n1}, T_{n2}, T_{n2}, \dots, T_{nN-1}, T_{nN}, T_{nN-1}, T_{nN-1}$  и т.д., так как процесс считывания циклически повторяется.

Задержка последовательности импульсов может регулироваться в широком диапазоне от длительности первого импульса входной последовательности до  $T_{3max} = 2A \cdot 2^N / F$ , где  $A$  - количество ячеек блока памяти,  $N$  - разрядность ячеек памяти,  $F$  - частота генератора импульсов.

Введение новых блоков и связей в предлагаемом устройстве привело к расширению функциональных возможностей за счет: во-первых, возможности задерживать с воспроизведением длительности импульсов и пауз последовательности импульсов со случайными длительностями и паузами, причем количество импульсов в последовательности не ограничено; во-вторых, возможности регулирования задержки в широких пределах, а также к сокращению объема оборудования за счет использования блока памяти.

