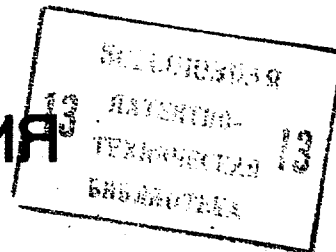




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3292011/18-24
 (22) 25.05.81
 (46) 23.03.83. Бюл. №11
 (72) М.А. Орлов, В.Н. Орлова,
 Л.А. Смирнова и А.В. Соколов
 (71) Минский радиотехнический инсти-
 тут
 (53) 681.325 (088.8)
 (56) 1. Авторское свидетельство СССР
 № 638995, кл. G 06 F 7/58, 1978.
 2. Четвериков В.Н., Баканович Э.А.,
 Меньков А.Б. Вычислительная техника
 для статистического моделирования.
 М., "Советское радио", 1978,
 с. 234-244, рис. У.6.1.У.6.3, У.6.4.
 3. Авторское свидетельство СССР
 № 213424, кл. G 06 F 1/02, 1968
 (прототип).

(54)(57) 1. ДАТЧИК СЛУЧАЙНЫХ ЧИСЕЛ, содержащий генератор равномерно распределенных случайных чисел, выход которого соединен с первыми входами блоков сравнения группы, вторые входы которых подключены к соответствующим выходам блока задания функции распределения, регистра памяти, выход которого является выходом датчика, отличающийся тем, что, с целью упрощения датчика, он содержит блок задания адреса, шифратор, три элемента И и генератор тактовых импульсов, выход которого соединен с входом генератора равномерно распределенных случайных чисел и с первыми входами первого и второго элементов И, вторые входы которых подключены к выходу третьего элемента И, входы которого соединены с первыми выходами блоков

сравнения группы соответственно, вторые выходы которых соединены с соответствующими входами шифратора, выход которого соединен с информационным входом регистра памяти, синхронизирующий вход которого соединен с выходом первого элемента И, с третьими входами блоков сравнения группы и с первым входом блока задания адреса, второй вход которого подключен к выходу второго элемента И, а выход блока задания адреса соединен с входом блока задания функции распределения.

2. Датчик по п. 1, отличающийся тем, что каждый блок сравнения содержит два элемента И, два триггера и элемент ИЛИ, выход которого является первым выходом блока, вторым выходом которого является выход первого триггера, соединенный с первым входом элемента ИЛИ, второй вход которого подключен к выходу второго триггера и к первому входу первого элемента И, выход которого соединен с единичным входом первого триггера, нулевой вход которого объединен с нулевым входом второго триггера, выход второго элемента И соединен с единичным входом второго триггера, второй вход первого элемента И соединен с первым входом второго элемента И и является первым входом блока, третий вход первого элемента И соединен с вторым входом второго элемента И и является вторым входом блока, третьим входом которого является нулевой вход первого триггера.

ISSN SU (11) 1007104 A

Изобретение относится к вычислительной технике и может быть использовано при моделировании случайных процессов.

Особенно эффективно подобные устройства могут быть использованы для решения задач исследования сложных систем, при создании испытательной аппаратуры, входящей в состав стохастических моделирующих и вычислительных комплексов. На выходе такой аппаратуры требуется получать до нескольких десятков потоков случайных величин (чисел), подаваемых на испытываемый объект.

Эффективны датчики случайных чисел и в качестве специализированного внешнего устройства в ЭВМ.

Одним из перспективных направлений в создании датчиков случайных чисел является разработка принципиально новых схемных решений, позволяющих значительно упростить устройство и повысить эффективность функционирования новых разработок по сравнению с известными.

Известен датчик случайных чисел, построенный на базе управляемого вероятностного преобразователя, содержащего блок памяти, регистр сдвига, вероятностный $(1, n)$ полусник, блок управления, генераторы импульсов, счетчики, триггеры, элементы И и ИЛИ [1].

Этот датчик, реализуя последовательный рекуррентный способ формирования случайных чисел, обладает сравнительно невысоким быстродействием, пропорциональным математическому ожиданию генерируемого числа, что ограничивает возможность его применения.

Наиболее быстродействующими являются датчики случайных чисел, реализующие метод минимаксных преобразований заключающийся, в частности, в выделении первого из событий группы потоков случайных событий. Эти датчики содержат в качестве основных элементов устройство ввода функции распределения, генераторы потоков случайных событий, логические блоки выделения первого события, дешифратор, регистр и ряд дополнительных блоков для управления испытаниями [2].

Недостатком этих датчиков является их значительная сложность, обусловленная большим (по числу квантилей)

количеством генераторов случайных событий.

Наиболее близким техническим решением к предлагаемому является управляемый датчик случайных чисел, содержащий датчик равновероятных чисел, устройство ввода функции распределения, схемы параллельного сравнения чисел и выходные устройства, например, регистры, причем схемы сравнения соединены с логическими блоками, включающими по одному триггеру и элементу И, так, что выход каждой из схем сравнения соединен с единичным входом триггера, единичный выход которого подключен к первому входу элемента И, второй вход которого соединен с нулевым выходом триггера последующего логического блока, а выходы элементов И подключены к выходам соответствующих логических блоков, соединенных с выходными устройствами [3].

Недостатком датчика является сложность, обусловленная наличием многоуровневого датчика равновероятных чисел и большого количества (по числу) квантилей схем параллельного сравнения многоуровневых чисел.

Целью изобретения является упрощение датчика случайных чисел.

Эта цель достигается тем, что в датчик случайных чисел, содержащий генератор равномерно распределенных случайных чисел, выход которого соединен с первыми входами блоков сравнения группы, вторые входы которых подключены к соответствующим выходам блока задания функции распределения, регистр памяти, выход которого является выходом датчика, введены блок задания адреса, шифратор, три элемента И и генератор тактовых импульсов, выход которого соединен с входом генератора равномерно распределенных случайных чисел и с первыми входами первого и второго элементов И, вторые входы которых подключены к выходу третьего элемента И, входы которого соединены с первыми выходами блоков сравнения группы соответственно, вторые входы которых соединены с соответствующими входами шифратора, выход которого соединен с информационным входом регистра памяти, синхронизирующий вход которого соединен с выходом первого элемента И, с третьими входами блоков сравнения группы и с первым входом блока задания

адреса, второй вход которого подключен к выходу второго элемента И, а выход блока задания адреса соединен с входом блока задания функции распределения.

Кроме того, каждый блок сравнения содержит два элемента И, два триггера и элемент ИЛИ, выход которого является первым выходом блока, вторым выходом которого является выход первого триггера, соединенный с первым входом элемента ИЛИ, второй вход которого подключен к выходу второго триггера и к первому входу первого элемента И, выход которого соединен с единичным входом первого триггера, нулевой вход которого объединен с нулевым входом второго триггера, выход второго элемента И соединен с единичным входом второго триггера, второй вход первого элемента И соединен с первым входом второго элемента И и является первым входом блока, третий вход первого элемента И соединен с вторым входом второго элемента И и является вторым входом блока третьим входом которого является нулевой вход первого триггера.

На чертеже изображена структурная схема устройства.

Датчик случайных чисел содержит генератор 1 равномерно распределенных случайных чисел, блок 2 задания функции распределения, блоки $3_1, \dots, 3_N$, сравнения, блок 4 задания адреса, генератор 5 тактовых импульсов, третий элемент И 6, первый 7 и второй 8 элементы И, шифратор 9 и регистр 10 памяти, причем блок 2 задания функции распределения включает N элементов $11_1, \dots, 11_N$ памяти с побитовой адресуемой выборкой, а каждый блок 3 сравнения - первый 12_1 и второй 12_2 триггеры, элемент И 13, элемент И 14, элемент ИЛИ 15.

Генератор 1 равномерно распределенных случайных чисел формирует первичные случайные числа, используемые для получения выходных случайных чисел, распределенных по требуемому закону.

Блок 2 задания функции распределения служит для хранения и выдачи кодов вероятностей соответствующих квантилей функции распределения.

Блоки $3_1, \dots, 3_N$ осуществляют сравнение первичных случайных чисел, формируемых генератором 1, со значени-

ями вероятностей функции распределения, поступающими с выходов блока 2.

Блок 4 задания адреса предназначен для определения адреса очередного разряда каждого из кодов вероятностей функции распределения, хранящихся в блоке 2.

Генератор 5 тактовых импульсов обеспечивает синхронность работы всех узлов датчика случайных чисел.

Элемент И6 определяет момент окончания операции сравнения разрядов первичного случайного числа с соответствующими разрядами кодов вероятностей функции распределения и разрешения выдачи сформированного случайного числа, распределенного по требуемому закону, на выход датчика случайных чисел.

Элемент И 7 вырабатывает сигнал, разрешающий выдачу сформированного случайного числа на выход устройства и подготавливающий необходимые блоки устройства к формированию следующего случайного числа.

Элемент И 8 вырабатывает сигнал, по которому определяется адрес очередных разрядов кодов вероятностей функции распределения для осуществления операции сравнения.

Шифратор 9 формирует выходное случайное число, распределенное по требуемому закону.

Регистр 10 памяти служит в качестве буферного устройства, хранящего выходное случайное число до поступления сигнала, разрешающего выдачу его на выход датчика случайных чисел.

Элементы $11_1, \dots, 11_N$ памяти с побитовой адресуемой выборкой служат для хранения и выдачи по запросу блока 4 выбора адреса одного из разрядов соответствующих кодов вероятностей функции распределения.

Первый 12_1 и второй 12_2 триггеры, элементы И 13 и 14, а также элемент ИЛИ 15 реализуют операцию сравнения i -го разряда первичного случайного числа с соответствующим разрядом соответствующего кода вероятностей функции распределения.

В основе работы датчика случайных чисел лежит метод обратных функций, который заключается в сравнении первичного случайного числа, вырабатываемого генератором с кодами вероятностей функции распределения. Выходное случайное число, распределенное по требуемому закону, получается

как результат выделения интервала, в который попадает первичное случайное число после выполнения операции его сравнения с кодами вероятностей розыгрыша соответствующих квантилей функции распределения.

Устройство работает следующим образом.

При включении датчика случайных чисел генератор 1 по сигналу генератора 5 тактовых импульсов вырабатывает первый (старший) разряд первичного случайного числа, который

поступает на третьи входы всех блоков $3_1, \dots, 3_N$. Одновременно на вторые входы блоков $3_1, \dots, 3_N$ подаются старшие разряды кодов вероятностей для соответствующих квантилей функции распределения с соответствующих выходов блока 2.

Допустим, что в i -м и $(i+1)$ -м элементах 11_i и 11_{i+1} памяти с побитовой адресуемой выборкой хранятся следующие коды вероятностей розыгрыша (появления) квантилей функции распределения:

Разряды	1	2	3	4	5	6	7	8
Код вероятности, хранящийся в блоке 11_i	1	0	1	1	1	1	0	0
Код вероятности, хранящийся в блоке 11_{i+1}	1	1	1	0	1	0	1	1
Первичное случайное число b	1	1	0	-	-	-	-	-

Допустим также, что старший разряд первичного случайного числа b равен единице $b_1=1$. В этом случае на выходе элемента И 13 i -го блока 3_i единичный сигнал не появляется, так как на третий вход трехвходового элемента И 13, являющийся инверсным, поступает единичный сигнал с третьего входа блока 3_i . На выход элемента И 14 также не проходит единичный сигнал с третьего входа блока 3_i , так как на первый вход элемента И 14 являющийся инверсным, подается единичный сигнал с второго входа блока 3_i .

Аналогичная ситуация происходит в $(i+1)$ -м блоке 3_{i+1} .

Поскольку на выходах элементов И 13 и 14 присутствует нулевой сигнал, то переключения первого 12_1 и второго 12_2 триггеров в единичное состояние не происходит. Следовательно, нулевой сигнал сохраняется и на выходе элемента И 6.

Следующий тактовый импульс, вырабатываемый генератором 5 тактовых импульсов, приводит к появлению на выходе генератора 1 второго разряда первичного случайного числа b_2 . Этот

же тактовый импульс вызывает прохождение единичного сигнала на выход второго элемента И 8, так как на его второй вход, являющийся инверсным, поступает нулевой сигнал с выхода элемента И 6. Сигнал с выхода второго элемента И 8 подается на второй вход блока 4, что приводит к формированию в блоке 4 задания адреса, адреса очередного разряда кода вероятности соответствующих квантилей функции распределения и выдаче их на выходы блока 2.

Таким образом, начинается следующий этап операции сравнения.

Допустим, что второй разряд первичного случайного числа принимает значение единицы $b_2=1$. Тогда на выходе элемента И 14 i -го блока 3_i появляется единичный сигнал, переключающий второй триггер 12_2 в единичное состояние. Состояние на выходе элемента И 13 не изменяется, так как на его третий (инверсный) вход поступает единичный сигнал с третьего входа блока 3_i .

В $(i+1)$ -м блоке 3_{i+1} происходят те же процессы, что и на предыдущем такте.

Очередной тактовый импульс приводит к формированию в блоке 4 задания адреса, адреса третьих разрядов кодов вероятностей всех квантилей функции распределения и выдаче их на соответствующие выходы устройства 2 ввода функции распределения, а также к появлению на выходе генератора 1 третьего разряда первичного случайного числа b_3 , равного, например, нулю.

Тогда на выходе элемента И 13 $(i+1)$ -го блока 3_{i+1} появляется единичный сигнал, так как на его второй вход поступает единичный сигнал с соответствующего выхода блока 2, на третий инверсный вход - нулевой сигнал с выхода генератора 1, а на первый инверсный вход - нулевой сигнал с выхода второго триггера 12_2 (переключения второго триггера 12_2 в единичное состояние не происходит, поскольку состояние на выходе двухвходового элемента И 14 не изменяется). Единичный сигнал с выхода элемента И 13 вызывает переключение первого триггера 12_1 в единичное состояние.

Переключения первого триггера 12_1 i -го блока 3_i в единичное состояние не происходит, так как прохождение единичного сигнала на выход элемента И 13 блокируется единичным сигналом с выхода второго триггера 12_2 , поступающим на первый инверсный вход элемента И 13 i -го блока 3_i .

Операция сравнения продолжается до тех пор, пока не работает хотя бы один из триггеров 12_1 или 12_2 каждого блока $3_1, \dots, 3_N$, что означает, что первичное случайное число больше (срабатывает второй триггер 12_2) либо меньше (срабатывает первый триггер 12_1) соответствующих кодов вероятностей функции распределения.

После окончания операции сравнения единичные сигналы с выходов одного из триггеров каждого блока $3_1, \dots, 3_i$ проходят через элемент ИЛИ 15 и поступают на входы элемента И 6, а единичный сигнал с его выхода проходит через первый элемент И 7, переводит блок 4 в первоначальное состояние для получения возможности форми-

рования очередного выходного случайного числа и обнуляет оба триггера 12_1 и 12_2 каждого блока $3_1, \dots, 3_N$.

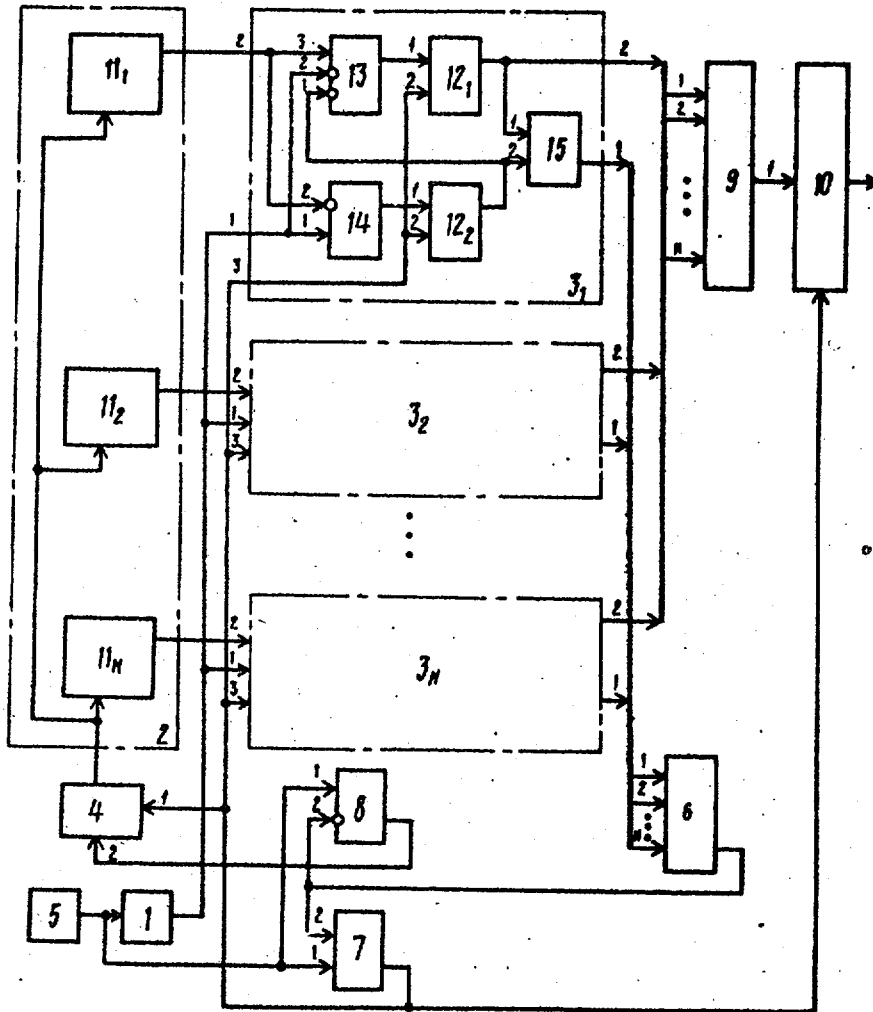
Поскольку значения кодов вероятностей розыгрыша квантилей функции распределения, хранящиеся в элементах $11_1, \dots, 11_{i-1}$ памяти с побитовой адресуемой выборкой, не превышают значения кода вероятности, хранящегося в элементе 11_i памяти, а значения кодов вероятностей, хранящихся в элементах $11_{i+2}, \dots, 11_N$ памяти, больше значения кода вероятности, хранящегося в элементе 11_{i+1} памяти, то на вторых выходах блоков $3_1, \dots, 3_N$ обязательно формируются нулевые сигналы.

Интегральный двоичный код с вторых выходов блоков $3_1, \dots, 3_N$ поступает на входы шифратора 9, где происходит формирование дифференциального двоичного кода и выделение интервала, в который попадает первичное случайное число в результате операции его сравнения с кодами вероятностей введенной функции распределения.

Выходное случайное число, распределенное по требуемому закону, из регистра 10 подается на выход датчика случайных чисел, так как на втором входе регистра 10 присутствует разрешающий сигнал с выхода двухвходового элемента И 7.

Технико-экономическая эффективность предлагаемого датчика случайных чисел определяется значительным упрощением его устройства, заключающимся в упрощении функциональных блоков и уменьшении числа связей схемы при сохранении достаточно высокого быстродействия, превышающего быстродействие последовательных датчиков, не намного более простых, чем предлагаемый.

Кроме того, значительно расширяются возможности интегрального исполнения датчика случайных чисел в виде, например, большой гибридной интегральной микросхемы, вследствие высокой однородности структуры, выполненной на основе цифровой элементной базы, и относительно малого, по сравнению с известными устройствами, числа межсоединений схемы.



Составитель А. Карасов
 Редактор Т. Кугрышева Техред О. Неце Корректор Ю. Макаренко

Заказ 2140/72

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4