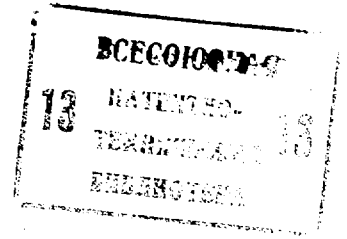




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3505970/18-09
(22) 25.10.82
(46) 23.12.83. Бюл. №47
(72) А.И. Королев и О.Д. Купеев
(71) Минский радиотехнический институт
(53) 621.394.662 (088.8)
(56) 1. Авторское свидетельство СССР № 496690, кл. Н 04 Л 7/08, 1970.
2. Авторское свидетельство СССР по заявке № 3277516/18-09, кл. Н 04 Л 7/08, 1981 (прототип).
(54)(57) УСТРОЙСТВО ДЛЯ ЦИКЛОВОЙ синхронизации при двоичном сверточном кодировании, содержащее последовательно соединенные коммутатор, формирователь проверочной последовательности, формирователь синдромной последовательности, первый блок совпадения, пороговый счетчик и формирователь запрещающих сигналов, к второму входу которого подключен формирователь тактовых импульсов через счетчик объема выборки, выход которого подсоединен к второму входу порогового счетчика, последовательно соединенные счетный триггер, второй блок совпадения и формирователь временного интервала перезаписи, при этом второй вход второго блока совпадения объединен с входом счетчика объема выборки и подключен к информационному входу коммутатора, второй вход которого является входом устройства, второй выход коммутатора подсоединен к второму входу формирователя синдромной последовательности,

а к второму входу первого блока совпадения подключен инверсный выход счетного триггера, отличающемся тем, что, с целью повышения помехоустойчивости при наличии пакетов ошибок, введены третий блок совпадения и последовательно соединенные регистр сдвига, мажоритарный элемент, инвертор, четвертый блок совпадения, дополнительный счетный триггер и пятый блок совпадения, выход которого подсоединен к дополнительному входу коммутатора, а второй вход объединен с первым входом регистра сдвига и подключен к выходу формирователя запрещающего сигнала, второй вход регистра сдвига объединен с вторым входом четвертого блока совпадения, первым входом третьего блока совпадения, и подключен к выходу счетчика объема выборки, при этом второй вход третьего блока совпадения объединен со счетным входом дополнительного счетного триггера и подключен к выходу мажоритарного элемента, а инверсный выход дополнительного счетного триггера подключен к своему информационному входу, причем выход формирователя временного интервала перезаписи подсоединен к установочному входу счетного триггера, счетный вход которого подключен к выходу третьего блока совпадения, а инверсный выход подсоединен к своему информационному входу.

Изобретение относится к электро-
связи и может использоваться для
цикловой синхронизации в аппарату-
ре повышения достоверности переда-
чи данных в системах сбора и обра-
ботки дискретной информации, сиг-
налов цифрового радио и телевизион
ного вещания при кодировании их
сверточными кодами с пороговым
блоком декодирования.

Известно устройство для цикловой
синхронизации при двоичном сверточ-
ном кодировании, содержащее после-
довательно соединенные запрещающий
блок, коммутатор, ключи, блок обнару-
жения ошибок, блок исправления
ошибок, а также последовательно
соединенные блок формирования такто-
вых импульсов, счетчик объема вы-
борки, формирователь импульсов уста-
новки нуля, элемент ИЛИ, пороговый
счетчик, триггер и формирователь
запрещающих импульсов, выход кото-
рого подсоединен к второму входу
запрещающего блока, выход блока
формирования тактовых импульсов
подсоединен к входу запрещающего
блока, а второй вход порогового
счетчика подключен к выходу блока
обнаружения ошибок.

Недостатками данного устройст-
ва являются сравнительно большое
время вхождения в синхронизм и не-
высокая надежность работы устройст-
ва, так как при переключении ключей
первоначальными, т.е. принятыми
проверочными символами будут
заполнены блок обнаружения ошибок
и блок исправления ошибок, и в те-
чение m тактов (где m - максималь-
ная степень порождающего полинома)
будут ошибочно формироваться сим-
волы синдромной последовательнос-
ти, которые фиксируются пороговым
счетчиком и тем самым увеличивает-
ся вероятность ложного срабаты-
вания устройства цикловой синхро-
низации, следовательно, увеличи-
вается время вхождения в синхро-
низм.

Наиболее близким техническим
решением к изобретению является
устройство для цикловой синхрони-
зации при двоичном сверточном
кодировании, содержащее последова-
тельно соединенные коммутатор, фор-
мирователь проверочной последо-
вательности, формирователь синд-
ромной последовательности, первый
блок совпадения, пороговый счетчик
и формирователь запрещающих сигна-
лов, к второму входу которого под-
ключен формирователь тактовых им-
пульсов через счетчик объема выбор-
ки, выход которого подсоединен
к второму входу порогового счетчи-
ка, последовательно соединенные

счетный триггер, второй блок совпа-
дения и формирователь временного
интервала перезаписи, при этом вто-
рой вход второго блока совпадения
объединен с входом счетчика объема
выборки и подключен к информацион-
ному входу коммутатора, второй вход
которого является входом устройства,
второй выход коммутатора подсоеди-
нен к второму входу формирователя
синдромной последовательности, а
к второму входу первого блока сов-
падения подключен инверсный выход
счетного триггера, к счетному вхо-
ду которого подключен выход форми-
рователя временного интервала пе-
резаписи, а к установочному входу
подключен выход счетчика объема вы-
борки, причем выход формирователя
запрещающих сигналов подсоединен
к третьему входу коммутатора.

Недостатками известного устрой-
ства для цикловой синхронизации
при двоичном сверточном кодирова-
нии являются недостаточная надеж-
ность (точность) достоверности
выделения сигнала срыва синхрониз-
ма из-за исключения синдрома из
 m символов при анализе синдромной
последовательности, когда не про-
исходит перезапись информации в
формирователе проверочной после-
довательности, а также низкая по-
мехоустойчивость работы устройства
цикловой синхронизации при двоич-
ном сверточном кодировании при воз-
никновении в канале связи пакетов
ошибок.

Цель изобретения - повышение по-
мехоустойчивости при наличии па-
кетов ошибок.

Поставленная цель достигается
тем, что в устройство для цикловой
синхронизации при двоичном свер-
точном кодировании, содержащее пос-
ледовательно соединенные коммутатор,
формирователь проверочной после-
довательности, формирователь синд-
ромной последовательности, первый
блок совпадения, пороговый счетчик
и формирователь запрещающих сигна-
лов, к второму входу которого под-
ключен формирователь тактовых им-
пульсов через счетчик объема выбор-
ки, выход которого подсоединен к
второму входу порогового счетчика,
последовательно соединенные счет-
ный триггер, второй блок совпаде-
ния и формирователь временного ин-
тервала перезаписи, при этом второй
вход второго блока совпадения объ-
единен с входом счетчика объема
выборки и подключен к информацион-
ному входу коммутатора, второй вход
которого является входом устройст-
ва, второй выход коммутатора под-
соединен к второму входу формиро-

вателя синдромной последовательности, а к второму входу первого блока совпадения подключен инверсный выход счетного триггера, введены третий блок совпадения и последовательно соединенные регистр сдвига, мажоритарный элемент, инвертор, четвертый блок совпадения, дополнительный счетный триггер и пятый блок совпадения, выход которого подсоединен к дополнительному входу коммутатора, а второй вход объединен с первым входом регистра сдвига и подключен к выходу формирователя запрещающего сигнала, второй вход регистра сдвига объединен с вторым входом четвертого блока совпадения, первым входом третьего блока совпадения, и подключен к выходу счетчика объема выборки, при этом второй вход третьего блока совпадения объединен со счетным входом дополнительного счетного триггера и подключен к выходу мажоритарного элемента, а инверсный выход дополнительного счетного триггера подключен к своему информационному входу, причем выход формирователя временного интервала перезаписи подсоединен к установочному входу счетного триггера, счетный вход которого подключен к выходу третьего блока совпадения, а инверсный выход подсоединен к своему информационному входу.

На чертеже представлена блок-схема устройства для цикловой синхронизации при двоичном сверточном кодировании.

Устройство для цикловой синхронизации при двоичном сверточном кодировании содержит коммутатор 1, формирователь 2 проверочной последовательности, формирователь 3 синдромной последовательности, первый блок 4 совпадения, пороговый счетчик 5, формирователь 6 запрещающих сигналов, формирователь 7 тактовых импульсов, счетчик 8 объема выборки, счетный триггер 9, второй блок 10 совпадения, формирователь 11 временного интервала перезаписи третий, четвертый и пятый блоки совпадения 12-14, инвертор 15, дополнительный счетный триггер 16, регистр 17 сдвига, и мажоритарный элемент 18.

Устройство для цикловой синхронизации при двоичном сверточном кодировании работает следующим образом.

Принятая кодовая последовательность в коммутаторе 1 разделяется на информационную (или информационные) и на проверочную (или проверочные) последовательности. Символы информационной последовательности поступают на вход формирователя 2 проверочной последовательности,

где из принятых информационных символов формируется проверочная последовательность, которая поступает на один из входов формирователя 3 синдромной последовательности, на второй вход которого с коммутатора 1 поступает принятая проверочная последовательность; производится формирование синдромной последовательности. При наличии цикловой синхронизации ветвей коммутатора 1 и отсутствии ошибок в информационной последовательности формируется нулевая синдромная последовательность; при наличии ошибок в информационной последовательности формируется ненулевая синдромная последовательность. Число ненулевых символов определяется видами порождающих полиномов и характером ошибок в канале связи.

При отсутствии цикловой синхронизации ветвей коммутатора 1 формирователь 2 проверочной последовательности образует проверочную последовательность, отличную от переданной, и в формирователе 3 синдромной последовательности формируется ненулевая синдромная последовательность; в этом случае число ненулевых символов в синдромной последовательности больше.

Сформированная синдромная последовательность через первый блок 4 совпадения поступает на вход порогового счетчика 5. Если же по окончании времени анализа число ненулевых символов синдромной последовательности превысит выбранный порог, то на выходе порогового счетчика 5 появится импульс, свидетельствующий об отсутствии цикловой синхронизации или ложном срабатывании цикловой синхронизации. Импульсы с выхода порогового счетчика 5 поступают на вход формирователя 6 запрещающих сигналов, который вырабатывает импульсы сдвига, запрещающие прохождение импульсов тактовой частоты в коммутаторе 1, что соответствует перераспределению (сдвигу) ветвей информации в коммутаторе 1.

Формирователь временного интервала анализа, определяющий число ненулевых символов в синдромной последовательности, выполнен в виде счетчика 8 объема выборки.

Импульсы сдвига с выхода формирователя 6 запрещающих сигналов поступают одновременно на вход блока 14 совпадения и на вход регистра 17 сдвига, тактирование которого производится импульсами с выхода счетчика 8 объема выборки.

По заполнении импульсами регистра 17 сдвига мажоритарный элемент 18 производит анализ содержимого

регистра 17 сдвига. Если число нулевых символов, записанных в регистре 17 сдвига превысит порог, то на выходе мажоритарного элемента 18 появляется логическая единица.

Логическая единица (высокий уровень) с выхода мажоритарного элемента 18 поступает одновременно на счетный вход второго счетного триггера 16, на вход инвертора 15 и на первый вход блока 12 совпадения. При этом второй счетный триггер 16 устанавливается в состояние "Единица" (логическая единица или высокий уровень на прямом выходе), обеспечивая тем самым прохождение импульса сдвига через блок 14 совпадения на коммутатор 1 и перераспределение (сдвиг) ветвей информации в коммутаторе 1. Выходной сигнал с инвертора 15 (логический ноль или низкий уровень), поступающий на вход блока 13 совпадения, блокирует (запрещает) прохождение импульсов сброса со счетчика 8 объема выборки на установочный вход второго счетного триггера 16.

Одновременно выходной сигнал мажоритарного элемента 18 (логическая единица или высокий уровень) открывает блок 12 совпадения и обеспечивает прохождение импульсов сброса от счетчика 8 объема выборки на счетный вход первого счетного триггера 9, устанавливая его в состояние "Единица" (логическая единица или высокий уровень на прямом выходе триггера). Сигналом с инверсного выхода первого счетного триггера 9 запирается блок 4 совпадения прекращая тем самым поступление синдромной последовательности на вход порогового счетчика 5, а сигналом с прямого выхода первого счетного триггера 9 открывается блок 10 совпадения и импульсы тактовой частоты от формирователя 7 тактовых импульсов поступают на вход формирователя 11 временного интервала перезаписи и регистр формирователя 2 проверочной последовательности. Производится перезапись информации формирователя 2 проверочной последовательности от ранее принятой информации перед началом следующего этапа поиска цикловой синхронизации. По заполнении формирователя 11 временного интервала перезаписи сигналом с его выхода первый счетный триггер 9 устанавливается в нулевое состояние (логический ноль или низкий уровень на прямом выходе). Импульсом с прямого выхода запирается блок 10 совпадения, а сигналом с инверсного выхода открывается блок 4 совпадения, обеспечивая поступление

импульсов синдромной последовательности на вход порогового счетчика 5.

Рассмотренный алгоритм поиска повторяется при отсутствии цикловой синхронизации до установления циклового синхронизма.

Таким образом, в предлагаемом устройстве цикловой синхронизации исключение синдрома из m символов (где m - длина регистра сдвига формирователя 2 проверочной последовательности) из анализа синдромной последовательности происходит только лишь при наличии импульса (логической единицы) с выхода мажоритарного элемента 18, свидетельствующего об отсутствии или срыве цикловой синхронизации. Следовательно, исключение из анализа синдромной последовательности - символов только лишь на время перезаписи информации в формирователе 2 проверочной последовательности повышает точность и достоверность выделение сигнала отсутствия или срыва синхронизма.

При установлении циклового синхронизма с выхода мажоритарного элемента 18 логический ноль (низкий уровень) поступает одновременно на счетный вход счетного триггера 16, на вход инвертора 15 и на первый вход блока 12 совпадения. Инвертированный сигнал (логическая единица или высокий уровень), поступающий на вход сброса блока 13 совпадения, разрешает прохождение импульсов сброса от счетчика 8 объема выборки на установочный вход счетного триггера 16, счетный триггер 15 устанавливается в нулевое состояние. Выходным сигналом (логический ноль или низкий уровень) с прямого выхода счетного триггера 16 производится блокировка прохождения импульсов сдвига с выхода формирователя 6 запрещающих сигналов через блок 14 совпадения на управляющий вход коммутатора 1.

Таким образом, производится блокировка импульсов сдвига, возникающих в результате ложных срабатываний устройства цикловой синхронизации и обеспечивается тем самым повышение помехоустойчивости работы устройства цикловой синхронизации или удержание правильной фазы цикловой синхронизации ветвей коммутатора 1 при наличии ошибок.

Одновременно выходным сигналом мажоритарного элемента 18 обеспечивается блокировка прохождения импульсов сброса от счетчика 8 объема выборки через блок 14 совпадения на счетный вход первого счетного триггера 9. В результате этого первый

