



Изобретение относится к вычислительной технике и может быть использовано для контроля постоянных запоминающих устройств, выполненных по интегральной технологии.

Известны устройства для контроля постоянной памяти, позволяющие производить коррекцию любого одного отказа элемента памяти на основе использования кода Хэмминга [1].

Однако эти устройства характеризуются высокой сложностью схем коррекции, увеличивающейся при увеличении числа информационных разрядов.

Наиболее близким по технической сложности и схемному решению к изобретению является устройство для контроля постоянной памяти, содержащее блок контроля по четности, селектор, блок кодирования, дешифраторы, блок сравнения и позволяющее исправлять один любой отказ элемента памяти в каждом слове матрицы постоянной памяти [2].

Однако подобное устройство не позволяет исправлять ошибки в постоянной памяти при словарной организации накопителя и приводит к большому аппаратным затратам при контроле постоянной памяти со словарной организацией.

Целью изобретения является упрощение устройства.

Поставленная цель достигается тем, что устройство для контроля постоянной памяти, содержащее блок контроля по четности, входы первой группы которого являются информационными входами первой группы устройства, входы второй группы блока контроля по четности соединены со входами первой группы селектора и являются информационными входами второй группы устройства, входы второй группы селектора соединены со входами первой группы блока кодирования и выходами первого дешифратора, входы которого соединены со входами второй группы блока кодирования и являются управляющими входами устройства, выходы блока кодирования соединены со входами первой группы блока сравнения, входы второй группы которого соединены с выходами первой группы блока контроля по четности, выходы второй группы которого соединены со входами второго дешифратора, выходы которого соединены со входами первой группы блока формирователей четности, входы второй группы которого соединены с выходами селектора, а выходы являются информационными выходами устройства, дополнительно выход блока сравнения соединен с

управляющим входом второго дешифратора.

На чертеже представлена функциональная схема устройства.

Устройство для контроля постоянной памяти, содержащее блок контроля по четности 1, входы первой группы которого являются информационными входами первой группы устройства, входы второй группы блока контроля по четности 1 соединены со входами первой группы селектора 2 и являются информационными входами второй группы устройства, входы второй группы селектора 2 соединены со входами первой группы блока кодирования 3 и выходами первого дешифратора 4, входы которого соединены со входами второй группы блока кодирования 3 и являются управляющими входами устройства, выходы блока кодирования 3 соединены со входами первой группы блока сравнения 5, входы второй группы которого соединены с выходами первой группы блока контроля по четности 1, выходы второй группы которого соединены со входами второго дешифратора 6, выходы которого соединены со входами первой группы блока формирователей четности 7, входы второй группы которого соединены с выходами селектора 2, а выходы являются информационными выходами устройства, выход блока сравнения 5 соединен с управляющим входом второго дешифратора 6.

Устройство работает следующим образом.

При считывании сигналы с блока постоянной памяти [на чертеже не показан] поступают на селектор 2 и блок контроля по четности 1, на выходе которого образуются контрольные соотношения кода Хэмминга. Наряду с этим блок кодирования 3 формирует на своих выходах сигналы, которые соответствуют синдрому опрашиваемого столбца. При этом если в блоке памяти есть ошибки, т.е. входные сигналы на блоке сравнения 5, поступающие с блока 1, не равны нулю и совпадают с выходными сигналами с блока кодирования 3, то блок сравнения 5 вырабатывает единичный сигнал, который откроет дешифратор 6. На входы дешифратора 6 поступают сигналы со старших разрядов блока 1, которые указывают в каком из групп опрашиваемых моментов памяти хранится искаженная информация. Тогда выходной сигнал с дешифратора 6 производит исправление ошибки с помощью блока формирователей четности 7.

Технико-экономическое преимущество устройства для контроля постоянной памяти заключается в сокращении аппаратных затрат при не-

обходимости корректировать ошибки в запоминающем устройстве со словарной организацией накопителя.

Редактор М. Товтин      Составитель Г. Бородин      Корректор С. Черни  
Техред К. Мыццо

---

Заказ 4988/49      Тираж 594      Подписное  
ВНИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035. Москва, Ж-35, Раушская наб., д. 4/5

---

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4