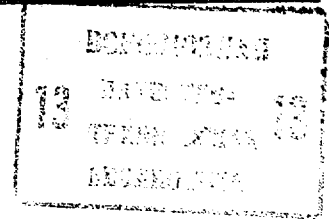




3(51) G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



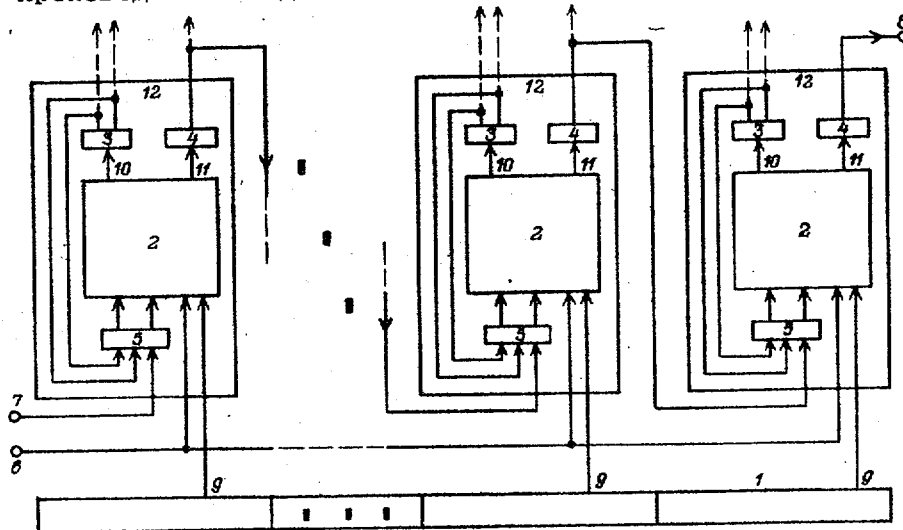
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3334469/18-24
- (22) 07.09.81
- (46) 30.07.83. Бюл. № 28
- (72) Г.П.Лопато и А.А.Шостак
- (71) Минский радиотехнический институт
- (53) 681.325 (088.8)
- (56) 1. Бут Э. и Бут К. Автоматические цифровые машины. М., ГИФМЛ, 1959, с. 74-75.

2. Авторское свидетельство СССР № 888109, кл. G 06 F 7/52, 1978 (прототип).

(54)(57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ, содержащее регистр множимого,  $n$  блоков вычисления разрядных значений произведения ( $n$  - число разрядов множимого), буферные регистры первой и второй групп, причем вход первого сомножителя каждого блока вычисления разрядных значений произведения соединен с выходом соответствующего разряда регистра множимого, вход второго сомножителя каждого блока вычисления разрядных значений произведения соединен с

входом множителя устройства, выходы значений младшего и старшего разрядов каждого блока вычисления разрядных значений произведения соединены с входами соответствующих буферных регистров первой и второй групп, выход первого буферного регистра второй группы подключен к выходу устройства, отличающаяся тем, что, с целью повышения быстродействия, устройство дополнительно содержит группу сумматоров, причем входы  $i$ -го сумматора группы ( $i=1, 2, \dots, n-1$ ) соединены с выходами  $i$ -го буферного регистра первой группы и  $(i+1)$ -го буферного регистра второй группы, входы  $n$ -го сумматора группы соединены с выходом  $n$ -го буферного регистра первой группы и входом коррекции устройства, выходы суммы и переноса каждого сумматора группы соединены с входами первого и второго слагаемых младшего разряда соответствующего блока вычисления разрядных значений произведения.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения чисел, представленных в любой позиционной системе счисления. Особенно эффективно его применение при использовании больших интегральных схем.

Известно устройство для умножения, содержащее накопитель (блок формирования произведения) и осуществляющее умножение множимого  $X$  на множитель  $Y = Y_n, \dots, Y_2 Y_1$ , причем в предварительно очищенный накопитель множимое  $X$  прибавляется  $Y_1$  раз, затем оно сдвигается влево на один разряд и вновь прибавляется в накопитель  $Y_2$  раз и так до тех пор, пока все разряды числа  $Y$  не будут обработаны [1].

Недостатком устройства является низкое быстродействие.

Наиболее близким к предлагаемому по технической сущности является устройство для умножения, содержащее регистр множимого,  $n$  блоков вычисления разрядных значений произведения ( $n$  - число разрядов множимого),  $n$  буферных регистров первой группы и  $n$  буферных регистров второй группы, причем вход первого сомножителя каждого блока вычисления разрядных значений произведения соединен с выходом соответствующего разряда регистра множимого, вход второго сомножителя каждого блока вычисления разрядных значений произведения соединен с входом множителя устройства, входы первого и второго слагаемых младшего разряда каждого блока вычисления разрядных значений произведения соединены с выходами соответствующих буферных регистров первой и второй групп, выходы значений младшего и старшего разрядов каждого блока вычисления разрядных значений произведения соединены с входами соответствующих буферных регистров первой и второй групп, выход первого буферного регистра второй группы подключен к выходу устройства, вход второго слагаемого последнего блока вычисления разрядных значений произведения соединен с входом коррекции устройства [2].

Это устройство предназначено для перемножения чисел в произвольной позиционной системе счисления с основанием  $N > 2$ , в частности в  $b$ -ично-кодированной системе счисления с основанием  $N = b^K$  ( $b$ -ичные разряды группируются по  $K$ , где  $K$  - целое число и большее единицы).

Недостатком такого устройства является относительно низкое быстродействие. Это связано с тем, что, с

целью увеличения скорости умножения чисел в известном устройстве необходимо стремиться к использованию более высокого основания

$N = b^K$  в  $b$ -ично-кодированной системе счисления, так как это сокращает число тактов работы устройства. Однако сокращение числа тактов за счет увеличения основания приводит к существенному увеличению как длительности самого такта, так и объема используемого оборудования. Даже при использовании двоично-кодированной шестнадцатиричной системы счисления (т.е. когда  $K=4$  и  $N=2^4=16$ ) для реализации каждого блока вычисления разрядных значений произведения требуется постоянная память емкостью  $2^{16} = 65536$  8-разрядных двоичных слов. А это не позволяет реально обеспечить высокую скорость работы блоков вычисления разрядных значений произведения даже если сняты ограничения на объем используемого в устройстве оборудования. Реализация же в известном устройстве блоков вычисления разрядных значений произведения на основе одноктактных комбинационных умножителей, например, в виде итеративной сети, также не обеспечивает их высокого быстродействия, так как время формирования результата на их выходах составляет величину  $(2 \cdot K - 1) \cdot T$ , где  $T$  - задержка сигнала на одной ячейке сети.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для умножения, содержащее регистр множимого,  $n$  блоков вычисления разрядных значений произведения ( $n$  - число разрядов множимого), буферные регистры первой и второй групп, причем вход первого сомножителя каждого блока вычисления разрядных значений произведения соединен с выходом соответствующего разряда регистра множимого, вход второго сомножителя каждого блока вычисления разрядных значений произведения соединен с входом множителя устройства, выходы значений младшего и старшего разрядов каждого блока вычисления разрядных значений произведения соединены с входами соответствующих буферных регистров первой и второй групп, выход первого буферного регистра второй группы подключен к выходу устройства, введена группа сумматоров, причем входы  $i$ -го сумматора группы ( $i=1, 2, \dots, n-1$ ) соединены с выходами  $i$ -го буферного регистра первой группы и  $(i+1)$ -го буферного регистра второй группы, входы  $n$ -го сумматора группы соединены с выходом  $n$ -го буферного регист-

ра первой группы и входом коррекции устройства, выходы суммы и переноса каждого сумматора группы соединены с входами первого и второго слагаемых младшего разряда соответствующего блока вычисления разрядных значений произведения.

На фиг. 1 изображена структурная схема устройства для умножения чисел; на фиг. 2 - один из возможных вариантов совместной реализации  $j$ -го блока вычисления разрядных значений произведения ( $j=1, 2, \dots, n$ ) и  $j$ -го сумматора группы в виде итеративной сети для случая двоично-кодированной шестнадцатиричной системы счисления ( $K=4$  и  $N=16$ ); на фиг. 3 - функциональная схема ячейки, используемой в итеративной сети на фиг. 2.

Устройство содержит ( $n$ -разрядный) регистр 1 множимого,  $n$  блоков 2 вычисления разрядных значений произведения,  $n$  буферных регистров 3 первой группы,  $n$  буферных регистров 4 второй группы, группу из  $n$  сумматоров 5, вход 6 множителя и вход 7 коррекции устройства, выход 8 устройства. Вход первого сомножителя  $j$ -го блока 2 вычисления разрядных значений произведения ( $j=1, 2, \dots, n$ ) соединен с выходом 9  $j$ -го разряда регистра 1 множимого, вход второго сомножителя - с входом 6 множителя устройства, входы первого и второго слагаемых младшего разряда - с выходами суммы и переноса  $j$ -го сумматора 5 группы, выход 10 старшего разряда соединен со входом  $j$ -го буферного регистра 3 первой группы и выход 11 младшего разряда - с входом  $j$ -го буферного регистра 4 второй группы. Входы  $i$ -го сумматора 5 группы ( $i=1, 2, \dots, n-1$ ) соединены с выходами  $i$ -го буферного регистра 3 первой группы и  $(i+1)$ -го буферного регистра 4 второй группы, входы  $n$ -го сумматора 5 группы соединены с выходом  $n$ -го буферного регистра 3 первой группы и входом 7 коррекции устройства, выход первого буферного регистра 4 второй группы подключен к выходу 8 устройства. Совокупность  $j$ -го блока 2 вычисления разрядных значений произведения,  $j$ -го сумматора 5 и  $j$ -ых буферных регистров 3 и 4 может быть конструктивно выполнена в виде единого модуля 12, реализованного, например, как большая интегральная схема. Не составляет никакого труда включение в этот модуль, если это будет признано целесообразным, соответствующего разряда регистра 1 множимого в качестве его третьего буферного регистра. Этим обеспечивается лучшая однородность структуры устройства.

В устройстве регистр 1 множимого и буферные регистры 3 и 4 могут быть построены на двухтактных синхронных  $D$ -триггерах (цепи синхронизации на чертеже не показаны). Предлагается, что все блоки 2 вычисления разрядных значений произведения и все сумматоры 5 устройства комбинационного типа. Они могут быть построены самыми различными способами. На фиг. 2 в качестве примера показана совместная реализация  $j$ -го блока 2 вычисления разрядных значений произведения и  $j$ -го сумматора 5 в виде итеративной сети для случая двоично-кодированной шестнадцатиричной системы счисления, т.е. когда  $K=4$  и  $N=16$ . Итеративная сеть содержит двадцать (в общем случае  $K^2+K$ ) идентичных ячеек 13 и реализует функции  $j$ -го сумматора 5 и  $j$ -го блока 2 вычисления разрядных значений произведения (нижний ряд сети из  $K$  ячеек 13 выполняет функцию сумматора 5, а остальная часть сети из  $K^2$  ячеек 13 выполняет функцию блока 2 вычисления разрядных значений произведения). В ней производится умножение двоично-кодированной шестнадцатиричной цифры множимого  $X^j = x_4^j x_3^j x_2^j x_1^j$  на двоично-кодированную шестнадцатиричную цифру множителя  $Y^j = y_4^j y_3^j y_2^j y_1^j$  (возрастание индексов при буквенных обозначениях принято в направлении старших разрядов) и прибавление к младшей двоично-кодированной шестнадцатиричной цифре получившегося при этом произведении трех двоично-кодированных шестнадцатиричных цифр  $L^j$ ,  $M^j$  и  $N^j$ . Цифра множимого  $X^j$  поступает на вход сети с выхода 9  $j$ -го разряда регистра 1 множимого, цифра множителя  $Y^j$  - с входа 6 устройства, цифра  $L^j$  и  $M^j$  - с выхода  $j$ -го буферного регистра 3 первой группы и цифра  $N^j$  - с выхода  $(j+1)$ -го буферного регистра 4 второй группы. На выходе 11 итеративной сети формируется младшая двоично-кодированная шестнадцатиричная цифра результата  $P_M^j$ , а на выходе 10 - старшая цифра результата  $P_C^j$  в виде двух цифр  $P_C^j$  и  $P_{C''}^j$  (цифра  $P_C^j$  старшего разряда результата образована поразрядными суммами, а цифра  $P_{C''}^j$  - поразрядными переносами).

Каждая ячейка 13 сети содержит (фиг. 3) одноразрядный двоичный сумматор 14, элемент И 15, и функционирует в соответствии со следующими логическими выражениями

Сумма  $S = A \oplus D \oplus E$   
 Перенос  $C = A D + (A \oplus D) E$ , где  $D = B F$ .

Переносы  $C$  с выходов ячеек 13 сети передаются с одного ее ряда на другой и нигде не распространяются вдоль ряда справа налево, поэто-

му скорость работы итеративной сети определяется величиной  $(k+1)\tau$ , где  $\tau$  - задержка сигнала на одной ячейке сети.

Рассмотренный вариант совместной реализации  $j$ -го блока 2 вычисления разрядных значений произведения и  $j$ -го сумматора 5 не является единственным. Так, например, с целью увеличения быстродействия их можно реализовать в виде дерева определенным образом соединенных одноразрядных двоичных сумматоров (многослойное построение), либо каким-то другим из известных способов. Общим же для всех реализаций является то, что старший разряд результата на выходе 10 формируется в виде двух цифр (в двухрядном коде).

Устройство для умножения работает следующим образом.

В исходном состоянии буферные регистры 3 и 4 всех модулей 12 обнулены, в регистре 1 множимого хранится без знака  $n$ -разрядный  $2^k$ -ичный код множимого (и  $k$ -разрядный двоичный код множимого). Здесь предполагается, что сомножители представлены в двоично-кодированной  $2^k$ -ичной системе счисления, т.е. каждый разряд как множимого, так и множителя, представляет собой набор из  $k$  двоичных цифр.

В каждом из  $n$  первых тактов работы устройства на его вход 6 поступает параллельно  $k$  двоичных разрядов множителя, начиная с младших разрядов. При этом в  $j$ -ом блоке 2 вычисления разрядных значений произведения осуществляется умножение  $k$  двоичных разрядов множимого, поступающих на его вход первого сомножителя с выхода 9  $j$ -го  $2^k$ -ичного разряда регистра 1 множимого, на  $k$  двоичных разрядов множителя, поступающих на его вход второго сомножителя с входа 6 устройства, и прибавление к  $k$  младшим двоичным разрядам получившегося при этом  $2^k$ -разрядного произведения по его входам первого и второго слагаемых через  $j$ -ый сумматор 5  $k$  младших двоичных разрядов произведения  $(j+1)$ -го блока 2, сформированных в предыдущем такте в однорядном коде и хранимых в буферном регистре 4  $(j+1)$ -го модуля 12 и  $k$  старших двоичных разрядов произведения  $j$ -го блока 2, сформированных в предыдущем такте в двухрядном коде и хранимых в буферном регистре 3  $j$ -го модуля 12. После этого сформированные в однорядном коде  $k$  младших двоичных разрядов произведения  $j$ -го блока 2 с его выхода 11 записываются в  $j$ -ый буферный регистр 4, а  $k$  старших разрядов произведения, представленного в двухрядном коде - с его выхода 10 в  $j$ -ый буферный регистр 3.

После выполнения  $n$  первых тактов работы устройства на его вход 6 поступает нулевая информация и далее осуществляется еще дополнительно  $n$  тактов, в течение которых из устройства выводятся с соответствующим преобразованием информация, хранимая в буферных регистрах 3 и 4 всех модулей 12. Вывод  $2n$ -разрядного произведения сомножителей в устройстве осуществляется через его выход 8 в параллельно-последовательном коде (по  $k$  двоичных разрядов в каждом такте). В рассмотренном случае на вход 7 коррекции устройства во всех его  $n$  дополнительных тактах подается  $k$ -разрядный двоичный код  $0\dots 000$ . В тех же случаях, когда тре-

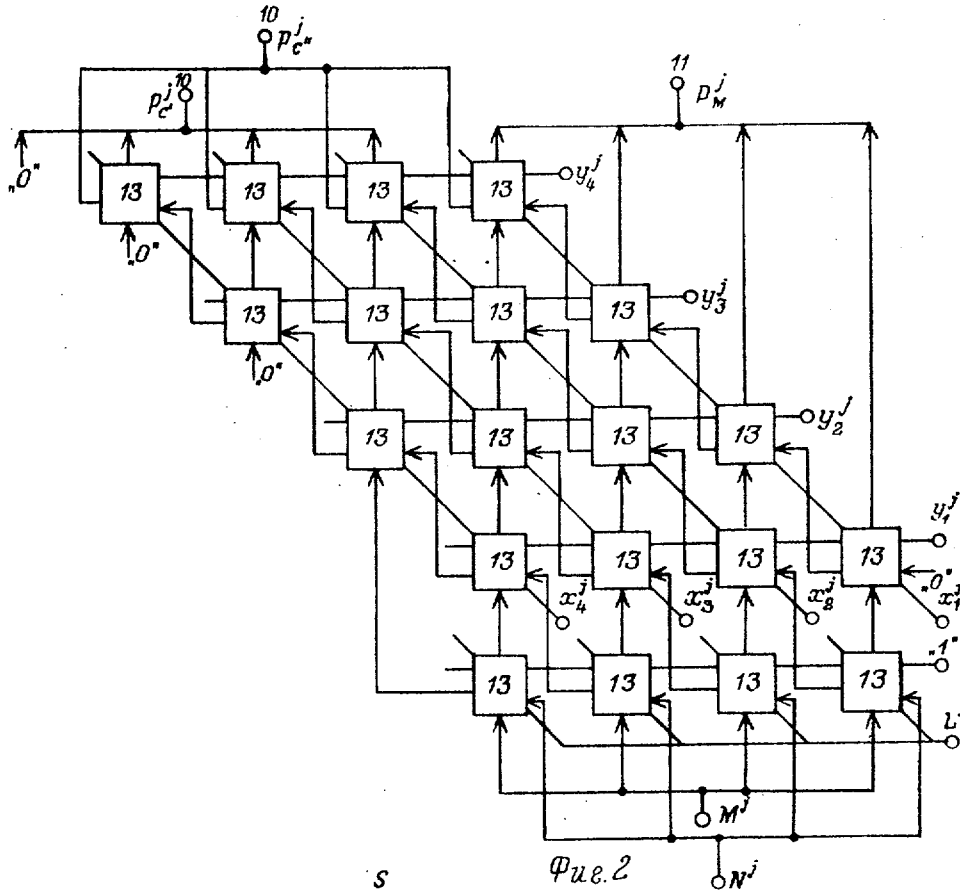
буется получить округленное  $n$ -разрядное произведение, необходимо в первом такте работы устройства на его вход 7 коррекции подать  $k$ -разрядный двоичный код  $100\dots 000$ . Это позволяет осуществить округление произведения без дополнительных временных затрат. Используя определенным образом вход 7 коррекции устройства можно одновременно выполнять операцию умножения  $n$ -разрядных чисел  $X$  и  $Y$  с суммированием  $k$  и старшим разрядам получившегося при этом произведения  $n$ -разрядного слагаемого  $Z$ , т.е. в одном цикле работы устройства выполнять сложную операцию  $Q = X \cdot Y + Z$ . Для этого необходимо в течение  $n$  тактов работы устройства, начиная со второго, подавать в каждом такте на вход 7 коррекции устройства по  $k$  двоичных разрядов слагаемого  $Z$ , начиная с его младших разрядов, причем это прибавление слагаемого  $Z$  может осуществляться либо к округленным  $n$  старшим разрядам произведения, либо просто к усеченным  $n$  старшим разрядам произведения.

Умножение  $n$ -разрядных чисел в предлагаемом устройстве (как и в известном) можно выполнять и за  $(n+1)$  тактов, если после выполнения  $n$ -го такта содержимое буферных регистров 3 и 4 модулей 12 подать для окончательного суммирования на соответствующие входы быстродействующего трехходового сумматора (на фиг. 1 такой сумматор не показан, а только отмечены штриховыми линиями дополнительные цепи передачи информации с выходов буферных регистров 3 и 4 на входы сумматора). Это может быть особенно целесообразным, если например, арифметико-логическое устройство ЭВМ содержит подобный сумматор.

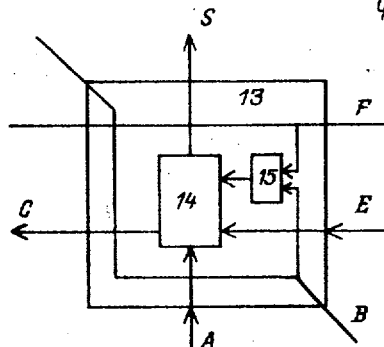
Таким образом, окончательное произведение в предлагаемом устройстве, так же как и в известном, может

быть сформировано за  $2 \cdot N$  или  $(N+1)$  тактов. Однако длительность выполнения одного такта в предлагаемом устройстве существенно сокращена, потому что все блоки 2 вычисления разрядных значений произведения формируют на своем выходе 10 старшую цифру разрядного произведения в виде двух цифр, т.е. в двухрядном коде, а это исключает потери времени на приведение в каждом такте

работы устройства двухрядного кода в однорядный. Так, например, в случае реализации блоков 2 вычисления разрядных значений произведения в виде итеративной сети длительность такта работы устройства-прототипа примерно равна  $(2 \cdot K - 1) \tau$ , в то время как в предлагаемом устройстве она составляет величину  $(k+1) \tau$ , где  $\tau$  - задержка сигнала на одной ячейке сети.



Фиг. 2



Фиг. 3

Составитель А.Шюстак

Редактор О.Сопко Техред И.Гайду

Корректор А.Повх

Заказ 5401/52

Тираж 706

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4