



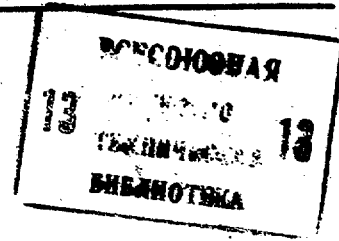
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1035819 A

3(5D) H 04 L 1/10

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3395026/18-09  
(22) 05.02.82  
(46) 15.08.83. Бюл. № 30  
(72) А.И. Королев и О.Д. Купеев  
(71) Минский радиотехнический институт  
(53) 621.394.14(088.8)  
(56) 1. Патент США № 3988767,  
кл. H 04 L 1/10, 1976.

2. Касами Т. и др. Теория кодирования  
М., "Мир", 1979, с. 298-300, фиг. 6.3,  
с. 396-397, фиг. 7.14, (прототип).  
(54) (57) УСТРОЙСТВО ДЛЯ КОДИРОВАНИЯ  
И ДЕКОДИРОВАНИЯ ДВОИЧНОЙ ИНФОРМАЦИИ  
СВЕРТОЧНЫМИ КОДАМИ, содержащее на пе-  
редающей стороне первый канал коди-  
рования, состоящий из коммутатора  
разделения ветвей, выходы которого  
подключены к входам кодера и к первой  
группе входов корректора ошибок, к  
второй группе входов которого подклю-  
чены выходы анализатора синдромной  
последовательности, к входу которого  
подключен выход первого сумматора по  
модулю два, при этом выходы корректо-  
ра ошибок подключены к входам коммута-  
тора объединения ветвей, о т л и ч а  
ю щ е с я т е м , что, с целью повы-  
шения помехоустойчивости передачи дво-  
ичной информации, на передающей сторо-  
не введены преобразователь входной  
информации, второй канал кодирования  
и сумматор по модулю два, при этом  
выходы преобразователя входной инфор-  
мации подключены к входам коммутато-  
ров разделения ветвей первого и вто-  
рого каналов кодирования, причем вы-  
ход кодера второго канала кодирова-  
ния подключен к соответствующему вхо-  
ду коммутатора объединения ветвей  
второго канала кодирования, выход ко-  
торого подключен к первому входу сум-

матора по модулю два, к второму вхо-  
ду которого подключен выход кодера  
первого канала кодирования, а выход  
сумматора по модулю два подключен к  
соответствующему входу коммутатора  
объединения ветвей первого канала ко-  
дирования, а на приемной стороне вве-  
дены второй канал декодирования и пре-  
образователь выходной информации, к  
входам которого подключены выходы ком-  
мутаторов объединения ветвей первого  
и второго каналов декодирования, а  
также второй и третий сумматоры по мо-  
дулю два, первый и второй буферные  
накопители, третий кодер и третий ком-  
мутатор объединения ветвей, при этом  
выход кодера первого канала декодиро-  
вания подключен через первый буферный  
накопитель к первому входу первого  
сумматора по модулю два и через вто-  
рой сумматор по модулю два - к входу  
коммутатора разделения ветвей второ-  
го канала декодирования, выход кодера  
второго канала декодирования подклю-  
чен к первому входу первого суммато-  
ра по модулю два второго канала деко-  
дирования, а к второму входу первого  
сумматора по модулю два второго канала  
декодирования подключен соответствую-  
щий выход коммутатора разделения вет-  
вей второго канала декодирования, вы-  
ходы корректора ошибок второго канала  
декодирования подключены к входам тре-  
тьего коммутатора объединения ветвей  
непосредственно и через третий кодер,  
при этом соответствующий выход ком-  
мутатора разделения ветвей первого  
канала декодирования подключен к вто-  
рому входу сумматора по модулю два и  
через второй буферный накопитель - к  
первому входу третьего сумматора по

(19) SU (11) 1035819 A

модулю два, к второму входу которого подключен выход третьего коммутатора объединения ветвей, а выход третьего

сумматора по модулю два подключен к второму входу первого сумматора по модулю два.

1

Изобретение относится к электросвязи и может использоваться для повышения достоверности при передаче данных цифровых сигналов радиовещания, цифровых телевизионных сигналов по космическим каналам связи при кодировании и декодировании их сверточными кодами.

Известен способ и устройство помехоустойчивого кодирования и декодирования дискретной информации, содержащее на передающей стороне последовательно соединенные источник информации, блок информации, первый кодирующий блок, второй кодирующий блок, мольдуютор или передатчик, а на приемной стороне - два разнесенных друг от друга демодулятора приемника и последовательно соединенные с ними первый декодирующий блок, приемный перемножитель, второй декодирующий блок, демультимплексор и получатель информации [1].

Недостатками данного устройства являются низкая помехоустойчивость при заданной скорости передачи, малая об- 25 щая скорость каскадного кода ( $P \leq 0,375$ ).

Наиболее близким к изобретению является устройство для помехоустойчивого кодирования и декодирования двоичной информации сверточными кодами, содержащее на передающей стороне первый канал кодирования, состоящий из коммутатора разделения ветвей, выходы которого подключены к входам кодера и коммутатора объединения ветвей, а на приемной стороне - первый канал декодирования, состоящий из коммутатора разделения ветвей, выходы которого подключены к входам кодера и к первой группе входов корректора ошибок, к второй группе входов которого подключены выходы анализатора синдромной последовательности, к входу которого подключен выход первого сумматора по модулю два, при этом выходы корректора ошибок подключены к входам коммутатора объединения ветвей [2].

2

Недостатком известного устройства также является низкая помехоустойчивость передачи двоичной информации при заданной скорости.

Цель изобретения - повышение помехоустойчивости передачи двоичной информации.

Поставленная цель достигается тем, что в устройство для кодирования и декодирования двоичной информации сверточными кодами, содержащее на передающей стороне первый канал кодирования, состоящий из коммутатора разделения ветвей, выходы которого подключены к входам кодера и коммутатора объединения ветвей, а на приемной стороне - первый канал декодирования, состоящий из коммутатора разделения ветвей, выходы которого подключены к входам кодера и к первой группе входов корректора ошибок, к второй группе входов которого подключены выходы анализатора синдромной последовательности, к входу которого подключен выход первого сумматора по модулю два, при этом выходы корректора ошибок подключены к входам коммутатора объединения ветвей, на передающей стороне введены преобразователь входной информации, второй канал кодирования и сумматор по модулю два, при этом выходы преобразователя входной информации подключены к входам коммутаторов разделения ветвей первого и второго каналов кодирования, причем выход кодера второго канала кодирования подключен к соответствующему входу коммутатора объединения ветвей второго канала кодирования, выход которого подключен к первому входу сумматора по модулю два, к второму входу которого подключен выход кодера первого канала кодирования, а выход сумматора по модулю два подключен к соответствующему входу коммутатора объединения ветвей первого канала кодирования, а на приемной стороне введены второй канал декодирова-

ния и преобразователь выходной информации, к входам которого подключены выходы коммутаторов объединения ветвей первого и второго каналов декодирования, а также второй и третий сумматоры по модулю два, первый и второй буферные накопители, третий кодер и третий коммутатор объединения ветвей, при этом выход кодера первого канала декодирования подключен через первый буферный накопитель к первому входу первого сумматора по модулю два и через второй сумматор по модулю два к входу коммутатора разделения ветвей второго канала декодирования, выход кодера второго канала декодирования подключен к первому входу первого сумматора по модулю два второго канала декодирования, а к второму входу первого сумматора по модулю два второго канала декодирования подключен соответствующий выход коммутатора разделения ветвей второго канала декодирования, выходы корректора ошибок второго канала декодирования подключены к входам третьего коммутатора объединения ветвей непосредственно и через третий кодер, при этом соответствующий выход коммутатора разделения ветвей первого канала декодирования подключен к второму входу второго сумматора по модулю два и через второй буферный накопитель - к первому входу третьего сумматора по модулю два, к второму входу которого подключен выход третьего коммутатора объединения ветвей, а выход третьего сумматора по модулю два подключен к второму входу первого сумматора по модулю два.

На фиг. 1 приведена структурная электрическая схема передающей части; на фиг. 2 - структурная схема приемной части.

Устройство содержит на передающей части преобразователь 1 входной информации, два канала кодирования, каждый из которых содержит коммутатор 2 разделения ветвей, коммутатор 3, объединения ветвей и кодер 4, а также сумматор 5 по модулю два, и на приемной стороне устройство содержит преобразователь 6 выходной информации и два канала декодирования, каждый из которых содержит коммутатор 7 разделения ветвей, корректор 8 ошибок, коммутатор 9 объединения ветвей, кодер 10, анализатор 11 синдромной последовательности, первый сумматор 12 по модулю два, кроме того, первый канал декодирования содержит вто-

рой и третий сумматоры 13 и 14 по модулю два, первый и второй буферные накопители 15 и 15, а второй канал декодирования содержит дополнительно объединенные по входу и последовательно соединенные кодер 16 и коммутатор 17 объединения ветвей.

Устройство работает следующим образом.

Входная информация в преобразователе 1 входной информации преобразуется в два  $(1_1; 1_2)$  параллельных потока информации (при числе вложенных кодеров  $n > 2$  входной поток преобразуется в  $n, 2$  параллельных потока), при этом информационные скорости потоков  $1_1$  и  $1_2$  различны, а именно  $1_1 > 1_2$ .

В коммутаторе 2 разделения ветвей каждый информационный поток  $1_1$  и  $1_2$  разделяется на  $K_1$  и  $K_2$  информационных подпотоков (в соответствии со скоростями сверточных кодов, т.е.  $R_1 = K_1 / n_1$  - первого канала кодирования;  $R_2 = K_2 / n_2$  - второго канала кодирования).

С выхода каждого коммутатора 2 разделения ветвей информационные подпотоки поступают на входы коммутаторов 3 объединения ветвей и на входы кодеров 4 каждого канала кодирования. В кодерах из информационных символов формируются проверочные символы, которые объединяются в проверочные последовательности. Формирование проверочных последовательностей производится в соответствии с выбранными порождающими полиномами сверточных кодов каждого канала кодирования.

Во втором канале кодирования сформированная проверочная последовательность поступает на один из входов коммутатора 3 объединения ветвей, который формирует кодовую последовательность путем объединения информационных подпотоков и подпотока проверочной последовательности.

С выхода коммутатора 3 объединения ветвей второго канала кодирования кодовая последовательность поступает на один из входов сумматора 5 по модулю два, на второй вход которого поступает проверочная последовательность, сформированная кодером 4 первого канала кодирования.

В сумматоре 5 по модулю два производится суммирование по модулю два кодовой последовательности второго канала кодирования с проверочной последовательностью первого канала ко-

дирования. В результате суммирования указанных последовательностей достигается уменьшение избыточности информации, поступающей в канал связи, с входа коммутатора 3 объединения ветвей первого канала кодирования.

Если скорость сверточного кода первого канала кодирования  $R_1 = K_1/n_1$ , то избыточность информации составляет  $r_1 = 1/n_1$ , а если скорость сверточного кода второго канала кодирования  $R_2 = K_2/n_2$ , то избыточность информации второго канала кодирования составляет  $r_2 = 1/n_2$ . В результате суммирования по модулю два проверочной последовательности первого канала кодирования и кодовой последовательности второго канала кодирования общая избыточность информации, передаваемой в канал связи, определяется произведением избыточностей исходных сверточных кодов, т.е.  $r_{\text{вЛ}} = \frac{1}{n_1} \cdot \frac{1}{n_2}$ . Так как  $\frac{1}{n_1} < 1$  и  $\frac{1}{n_2} < 1$ , то их произведение будет меньше наименьшего из  $\frac{1}{n_1}$  и  $\frac{1}{n_2}$ .

Таким образом, общая скорость сверточного кода на выходе первого канала кодирования равна  $R_{\text{вЛ}} = 1 - r_{\text{вЛ}}$  и  $R_{\text{вЛ}} > R_1$ ,  $R_{\text{вЛ}} > R_2$ , что эквивалентно увеличению скорости передачи информации или увеличению информационной пропускной способности канала (системы) связи при избыточном кодировании двоичной информации сверточными кодами.

С выхода сумматора 5 по модулю два сформированная последовательность поступает на один из входов коммутатора 3 объединения ветвей первого канала кодирования, который формирует выходную кодовую последовательность из информационных подпотоков и последовательности, поступающей с сумматора. С выхода коммутатора 3 объединения ветвей кодовая последовательность поступает в канал связи.

На приемной стороне принятая кодовая последовательность поступает на вход коммутатора 7 разделения ветвей первого канала декодирования, с выхода которого символы информационных подпотоков поступают одновременно на входы корректора 8 ошибок и на входы кодера 10, а последовательность сформированная на передающей стороне путем суммирования по модулю два проверочной последовательности первого канала кодирования и кодовой последовательности второго канала кодирования, с выхода коммутатора 7 разделения ветвей поступает одновременно на

вход первого буферного накопителя 15 и на один из входов третьего сумматора 14 по модулю два, на второй вход которого поступает проверочная последовательность, сформированная кодером 10 из принятых символов информационных подпотоков. При суммировании по модулю два указанных последовательностей производится "снятие" проверочной последовательности с принятой и формирование кодовой последовательности для второго канала декодирования. Так, если обозначим через  $P_1$  проверочную последовательность, сформированную на передающей стороне кодером 4, и через  $T_2$  - кодовую последовательность второго канала кодирования, а суммированную по модулю два этих последовательностей через  $N = P_1 \oplus T_2$ . Если через  $P'_1$  обозначим проверочную последовательность, сформированную на приемной стороне кодером 10 первого канала декодирования, то при суммировании по модулю два  $P'_1 \oplus N$  получим  $T_2$ , т.е.  $P'_1 \oplus N = P'_1 \oplus P_1 \oplus T_2 = T_2$  или точную копию кодовой последовательности второго канала декодирования (в случае отсутствия помех в канале связи).

При наличии помех в канале связи сформированная проверочная последовательность  $P'_1$  кодером 10 первого канала декодирования отличается от проверочной последовательности  $P_1$ , сформированной кодером 4 первого канала кодирования на передающей стороне. В этом случае при формировании кодовой последовательности  $T$  наблюдается трансформирование или внесение ошибок в кодовую последовательность  $T_2$ .

Количество ошибок в этой последовательности определяется количеством и типом ошибок в канале связи, а также типом порождающих полиномов кодеров 4 и 10 первого канала кодирования и декодирования. Это учитывается выбором исправляющей способности сверточного кода второй степени кодирования и декодирования, т.е. исправляющая способность второго кодера выше первого кодера. Второй кодер должен исправлять максимальное количество ошибок, внесенных в кодовую последовательность первым кодером при расчетной исправляющей способности первого кодера.

Сформированная кодовая последовательность  $T_2$  поступает на вход коммутатора 7 разделения ветвей второго канала декодирования, с выходов которого символы информационных подпото-

ков одновременно поступают на входы корректора 8 ошибок и на входы кодера 10.

Кодер 10 из принятых символов информационных подпотоков формирует проверочную последовательность, которая поступает на один из входов первого сумматора 12 по модулю два, на второй вход которого поступает принятая проверочная последовательность с одного из выходов коммутатора 7 разделения ветвей данного канала декодирования.

Первый сумматор 12 по модулю два формирует синдромную последовательность путем суммирования по модулю два сформированной и принятой проверочных последовательностей. Синдромная последовательность полностью определяет количество и тип ошибок. С выхода первого сумматора 12 по модулю два синдромная последовательность поступает на вход анализатора 11 синдромной последовательности, который производит анализ этой последовательности, обнаружение и исправление ошибок в пределах корректирующей способности кода. Синдромная последовательность заполняет регистр сдвига анализатора 11 синдромной последовательности, с соответствующих разрядов (ячеек памяти) регистра сдвига информации поступает на пороговые элементы. При отсутствии ошибок на выходе пороговых элементов присутствуют нулевые символы и коррекции ошибок не производится, а при наличии ошибок на выходах пороговых элементов присутствуют ненулевые символы, которые производят коррекцию ошибочных символов на выходах корректора 8 ошибок данного канала декодирования.

С выходов корректора 8 ошибок символы информационных подпотоков одновременно поступают на входы коммутатора 9 объединения ветвей, на входы коммутатора 17 объединения ветвей и на входы кодера 16, который из информационных символов, прошедших коррекцию ошибок, формирует проверочную последовательность, аналогичную сформированной кодером и на передающей стороне вторым каналом кодирования. Сформированная проверочная последовательность поступает на один из входов дополнительного коммутатора 17 объединения ветвей, который формирует кодовую последовательность  $T_2$ , аналогичную

принятой кодовой последовательности, но в которой отсутствуют ошибки, внесенные первым каналом декодирования. Сформированная кодовая последовательность  $T_2$  поступает на один из входов второго сумматора 13 по модулю два, на другой вход которого поступает задержанная последовательности  $N = P_1 \oplus T_2$  с выхода первого буферного накопителя 15.

При суммировании по модулю два последовательности  $N = P_1 \oplus T_2$  и вновь сформированной кодовой последовательности  $T_2$  второго канала кодирования получим на входе второго сумматора 13 по модулю два принятую проверочную последовательность  $P_1$  первого канала декодирования, т.е.  $P_1 \oplus T_2 \oplus T_2 = P_1$ , которая поступает на один из входов первого сумматора 12 по модулю два первого канала декодирования.

На другой вход первого сумматора 12 по модулю два через второй буферный накопитель 15' поступает сформированная кодером 10 проверочная последовательность  $P_1'$ . Первый и второй буферные накопители предназначены для фазирования символов информационных подпотоков и соответствующих им символов синдромной последовательности, обусловленных задержкой формирования кодовой последовательности второго канала декодирования. Длина регистра сдвига первого и второго буферных накопителей 15 и 15' определяется длиной регистра кодера 16 второго канала декодирования.

Сформированная синдромная последовательность с выхода первого сумматора 12 по модулю два поступает в анализатор 11 синдромной последовательности, далее, как во втором канале декодирования, производится обнаружение и исправление ошибочных символов в информационных подпотоках первого канала декодирования.

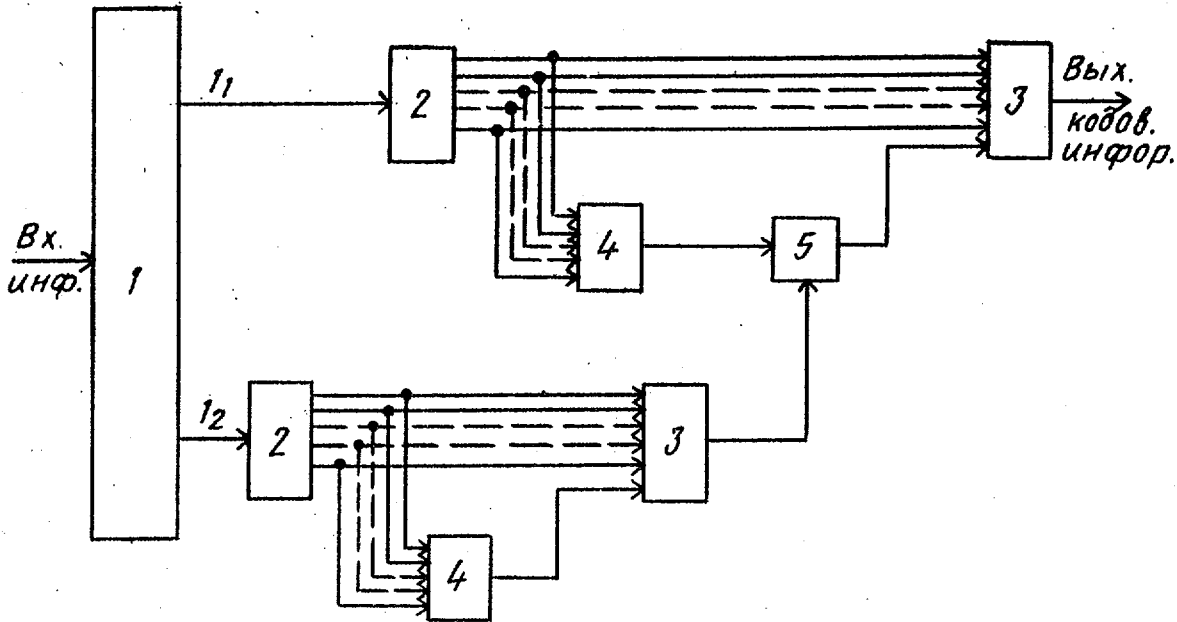
С выходов корректора 8 ошибок символы информационных подпотоков поступают на входы коммутатора 9 объединения ветвей данного канала декодирования.

В коммутаторах 9 объединения ветвей первого и второго каналов декодирования производится объединение информационных подпотоков в один последовательный поток соответственно  $1_1$  и  $1_2$ , которые поступают на преобразователь 6 выходной информации.

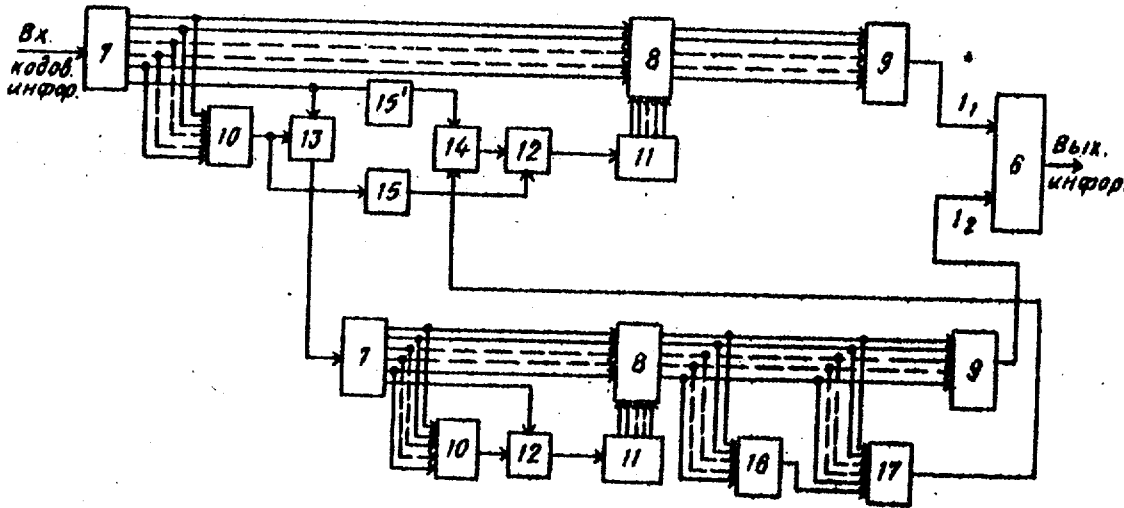
Преобразователь 6 выходной информации производит согласование (преоб-

разование) скоростей информационных подпотоков 1<sub>1</sub> и 1<sub>2</sub> в исходную скорость передачи выходного потока информации, равной скорости входного информационного потока на передающей стороне.

Таким образом, устройство обеспечивает высокую помехоустойчивость при заданной скорости передачи и большую общую скорость каскадного кода ( $R \leq 0,375$ ).



Фиг. 1



Фиг. 2

Составитель С. Осмоловский  
 Редактор М. Петрова    Техред И. Метелева    Корректор Л. Бокшан  
 Заказ 5856/60    Тираж 677    Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4