



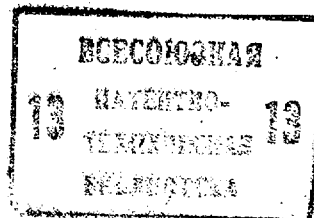
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1038937** **A**

3 (5D) G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3439828/18-24  
 (22) 17.05.82  
 (46) 30.08.83. Бюл. № 32  
 (72) Г. П. Лопато, Л. Г. Лопато  
 и А. А. Шостак  
 (71) Минский радиотехнический институт  
 (53) 681.325(088.8)  
 (56) 1. Авторское свидетельство СССР  
 № 769539, кл. G 06 F 7/52, 1977.  
 2. Авторское свидетельство СССР  
 № 763897, кл. G 06 F 7/52, 1978.  
 3. Авторское свидетельство СССР  
 № 769540, кл. G 06 F 7/52, 1978.  
 4. Авторское свидетельство СССР  
 № 888109, кл. G 06 F 7/52, 1978.  
 5. Yüild H. H. Fully iterative  
 fast array for binary multiplication  
 and addition. - "Electronics  
 Letters", 1969, vol. 5, № 12, p.263.  
 6. Dean K. I. Versatile multiplier  
 arrays. - "Electronics Letters",  
 1968, vol. 4, № 16, pp.333-334.  
 7. Шостак А. А. О разработке  
 быстродействующих однородных множи-  
 тельных структур. - В сб. "Автоматики  
 и вычислительная техника", Минск,  
 1980, вып.10, с. 132-138.  
 (54) (57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ,  
 содержащее  $n$ -разрядный регистр множи-  
 мого,  $n$  блоков вычисления разрядных  
 значений произведения,  $n$  буферных

регистров первой группы и  $n$  буферных  
 регистров второй группы, причем входы  
 буферных регистров первой группы сое-  
 единены с первыми выходами старшего  
 разряда соответствующих блоков вычис-  
 ления разрядных значений произведения,  
 первый вход  $i$ -го блока вычисления раз-  
 рядных значений произведения ( $i = 1,$   
 $2, \dots, n$ ) соединен с выходом  $i$ -го раз-  
 ряда регистра множимого, второй вход -  
 с входом множителя устройства, третий  
 вход - с выходом  $i$ -го буферного регист-  
 ра первой группы, о т л и ч а ю щ е е -  
 с я тем, что, с целью повышения быстр-  
 одействия, входы буферных регистров  
 второй группы соединены с вторыми вы-  
 ходами старшего разряда соответствую-  
 щих блоков вычисления разрядных зна-  
 чений произведения, четвертый вход  
 $i$ -го блока вычисления разрядных значе-  
 ний произведения соединен с выходом  
 $i$ -го буферного регистра второй груп-  
 пы, а пятый вход - с выходом младше-  
 го разряда  $(i+1)$ -го блока вычисления  
 разрядных значений произведения,  
 выход младшего разряда первого блока  
 вычисления разрядных значений произ-  
 ведения подключен к выходу устройст-  
 ва, пятый вход последнего блока вы-  
 числения разрядных значений произве-  
 дения соединен с входом коррекции уст-  
 ройства.

(19) **SU** (11) **1038937** **A**

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения чисел, представленных в любой позиционной системе счисления. Особенно эффективно его применение при использовании больших интегральных схем, в частности, при разработке высокопроизводительных наращиваемых микропроцессоров и микропроцессорных систем.

Известно устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор,  $n/2$  одноразрядных узлов умножения ( $n$ -разрядность множимого) и блок управления, выходы которого соединены с управляющими входами регистров множимого, множителя и накапливающего сумматора, первый вход  $i$ -го одноразрядного узла умножения ( $i = 1, 2, \dots, n/2$ ) соединен с выходом первого разряда регистра множителя, а второй вход - с выходом  $(2i-1)$ -го разряда регистра множимого, выходы одноразрядных узлов умножения соединены с соответствующими входами накапливающего сумматора.

Данное устройство может быть использовано для умножения чисел, представленных в произвольной позиционной системе счисления с основанием  $N > 2$  [1].

Основным недостатком известного устройства является низкое быстродействие, вызванное в первую очередь двухшаговым принципом обработки одной цифры множителя. Кроме этого для устройства характерна низкая эффективность при реализации его на больших интегральных схемах (устройство кроме однотипных одноразрядных узлов умножения содержит регистры множимого и множителя с цепями сдвига, накапливающий сумматор с распространением переноса и с цепью сдвига, а также несколько сложный блок управления).

Известны устройства для умножения, содержащие регистры множимого и множителя, накапливающий сумматор и  $n$  операционных модулей.

Эти устройства также предназначены для перемножения чисел в произвольной позиционной системе счисления с основанием  $N > 2$  [2], [3].

Основными недостатками устройств являются относительно низкое быстродействие и невысокая эффективность

при реализации их на больших интегральных схемах.

Наиболее близким к предлагаемому является устройство для умножения, содержащее  $n$ -разрядный регистр множимого,  $n$  блоков вычисления разрядных значений произведения,  $n$  буферных регистров первой группы и  $n$  буферных регистров второй группы, причем входы буферных регистров первой и второй групп соединены соответственно с выходами старшего и младшего разряда соответствующих блоков вычисления разрядных значений произведения, первый вход  $i$ -го блока вычисления разрядных значений произведения ( $i = 1, 2, \dots, n$ ) соединен с выходом  $i$ -го разряда регистра множимого, второй вход - с входом множителя устройства, третий вход - с выходом  $i$ -го буферного регистра первой группы, четвертый вход - с выходом  $(i+1)$ -го буферного регистра второй группы, выход первого буферного регистра второй группы подключен к выходу устройства, четвертый вход последнего блока вычисления разрядных значений произведения соединен с входом коррекции устройства.

Известное устройство предназначено для перемножения чисел в произвольной позиционной системе счисления с основанием  $N > 2$ . В частности, интересен случай использования в-ично-кодированной системы счисления с основанием  $N = b^K$  (когда в-ичные разряды группируются по  $K$ , где  $K$  - целое число и большее единицы), при использовании которой имеется принципиальная возможность повысить быстродействие устройства примерно в  $K$  раз по сравнению со случаем использования в-ичной системы счисления. Особый интерес представляет устройство в случае перемножения двоично-кодированных операндов в системе счисления с основанием  $N = 2^K$ . В этом случае каждый разряд как множимого, так и множителя представляет собой набор из  $K$  двоичных цифр, а перемножение двух  $n$ -разрядных  $2$ -ичных чисел эквивалентно перемножению двух  $n \cdot K$ -разрядных двоичных чисел, разряды которых сгруппированы по  $K$  [4].

Недостатком известного устройства является его ограниченное быстродействие. Это связано с тем, что с целью увеличения скорости умножения чисел в устройстве необходимо стремиться к

использованию более высокого основания  $N=B$  в ичнокодированной системе счисления, так как это сокращает число тактов работы устройства. Однако сокращение числа тактов за счет увеличения основания приводит к существенному увеличению длительности самого такта (длительность такта определяется в основном скоростью работы блоков вычисления разрядных значений произведения). Действительно, пусть блоки вычисления разрядных значений произведения в известном устройстве реализованы в виде постоянного запоминающего устройства. Но тогда даже при использовании двоично-кодированной 16-ричной системы счисления (т.е. когда  $B=2$ ,  $K=4$  и  $N=2^4=16$ ) для реализации каждого блока вычисления разрядных значений произведения требуется постоянная память емкостью  $2^{16}=65536$  8-разрядных двоичных слов. А это не позволяет реально обеспечить высокую скорость работы блоков вычисления разрядных значений произведения при сколь-нибудь больших значениях  $K$ , даже если снять ограничения на объем используемого в устройстве умножения оборудования. Реализация же блоков вычисления разрядных значений произведения по матричному принципу, например, в виде однородной ячеечной структуры [5], наряду с многими достоинствами также не обеспечивает их высокого быстродействия, так как время формирования результата на их выходах при использовании двоично-кодированной системы счисления с основанием  $N=2^K$  составляет величину  $(2K-1)\tau$ , где  $\tau$  - задержка сигнала на одной ячейке.

Цель изобретения - повышение быстродействия устройства за счет использования в нем блоков вычисления разрядных значений произведения, в которых старшая цифра разрядного произведения формируется в виде двух цифр (цифры суммы и цифры переноса).

Поставленная цель достигается тем, что в устройстве для умножения, содержащем  $n$ -разрядный регистр множителя,  $n$  блоков вычисления разрядных значений произведения,  $n$  буферных регистров первой группы и  $n$  буферных регистров второй группы, причем входы буферных регистров первой группы соединены с первыми выходами старшего разряда соответствующих блоков

вычисления разрядных значений произведения, первый вход  $i$ -го блока вычисления разрядных значений произведения ( $i=1,2,\dots,n$ ) соединен с выходом  $i$ -го разряда регистра множителя, второй вход - с входом множителя устройства, третий вход - с выходом  $i$ -го буферного регистра первой группы, причем входы буферных регистров второй группы соединены с вторыми выходами старшего разряда соответствующих блоков вычисления разрядных значений произведения, четвертый вход  $i$ -го блока вычисления разрядных значений произведения соединен с выходом  $i$ -го буферного регистра второй группы, а пятый вход - с выходом младшего разряда  $(i+1)$ -го блока вычисления разрядных значений произведения, выход младшего разряда первого блока вычисления разрядных значений произведения подключен к выходу устройства, пятый вход последнего блока вычисления значений произведения соединен с входом коррекции устройства.

На фиг. 1 представлена структурная схема предлагаемого устройства для умножения; на фиг. 2 блок вычисления разрядных значений произведения в виде ячеечной структуры; на фиг. 3 - функциональная схема ячейки, которая может быть использована в однородной структуре на фиг. 2.

Устройство для умножения (фиг. 1) содержит  $n$ -разрядный регистр 1 множителя,  $n$  блоков 2 вычисления разрядных значений произведения,  $n$  буферных регистров 3 первой группы и  $n$  буферных регистров 4 второй группы, вход 5 множителя устройства, вход 6 коррекции устройства и выход 7 устройства. Первый вход  $i$ -го блока вычисления разрядных значений произведения ( $i=1,2,\dots,n$ ) соединен с выходом 8  $i$ -го разряда регистра 1 множителя, второй вход - с входом 5 множителя устройства, третий вход - с выходом  $i$ -го буферного регистра 3 первой группы, четвертый вход - с выходом  $i$ -го буферного регистра 4 второй группы и пятый вход соединен с выходом 9 младшего разряда  $(i+1)$ -го блока 2 вычисления разрядных значений произведения. Первый 10 и второй 11 выходы  $i$ -го блока 2 вычисления разрядных значений произведения соединены с входами  $i$ -ых буферных регистров 3 и 4 первой и второй групп соответственно. Пятый вход  $n$ -го (самого старшего) блока 2 вы-

числения разрядных значений произведения соединен с входом 6 коррекции устройства, выход 9 младшего разряда первого (самого младшего) блока 2 вычисления разрядных значений произведения подключен к выходу 7 устройства.

Совокупность  $i$ -го блока 2 вычисления разрядных значений произведения и  $i$ -ых буферных регистров 3 и 4 первой и второй групп соответственно может быть конструктивно выполнена в виде единого модуля 12, реализованного, например, как большая интегральная схема. Не составляет особого труда включение в этот модуль, если это конечно будет признано целесообразным,  $i$ -ых разрядов регистра 1 множителя и регистра множителя (не показан) в качестве его третьего и четвертого буферных регистров. Это обеспечивает однородность устройства умножения на уровне идентичных модулей 12. Все триггеры устройства могут быть реализованы на двухтактных синхронных D-триггерах (цели синхронизации не показаны).

На фиг. 2 показан один из возможных вариантов реализации  $i$ -го блока 2 вычисления разрядных значений произведения в виде однородной ячейки структуры (здесь предполагается, что в устройстве используется в-ично-кодированная система счисления с основанием  $N = 2^k$ , причем  $k$  принято равным четырем). Блок 2 содержит  $K^2$  идентичных ячеек 13, образующих итеративную сеть, подобную описанной в [7] и формирующую старшую в-ично-кодированную  $N$ -ичную цифру разрядного произведения в виде двух в-ично-кодированных  $N$ -ичных цифр (цифры суммы и цифры переноса), как это сделано, например, в [6] для случая  $v=2$ . В блоке 2 производится умножение в-ично-кодированной  $N$ -ичной цифры множителя  $X^i = X_4^i X_3^i X_2^i X_1^i$  на в-ично-кодированную  $N$ -ичную цифру множителя  $Y_i = Y_4^i Y_3^i Y_2^i Y_1^i$  (возрастание индексов при буквенных обозначениях принято в направлении старших разрядов), а также прибавление к младшей в-ично-кодированной  $N$ -ичной цифре получившегося при этом разрядного произведения двух в-ично-кодированных  $N$ -ичных цифр  $M^i$ ,  $R^i$  и  $K$  старшей в-ично-кодированной  $N$ -ичной цифре разрядного произведения одной в-ично-кодированной  $N$ -ичной цифры  $L^{i+1}$ .

Цифра множителя  $X^i$  поступает на первый вход блока 2 с выхода 8  $i$ -го разряда регистра 1 множителя, цифра множителя  $Y^i$  подается на второй вход блока 2 с входа 5 устройства, цифры  $M^i$ ,  $R^i$  поступают на третий и четвертый входы блока 2 с выходом  $i$ -ых буферных регистров 3 и 4 первой и второй групп соответственно, цифра  $L^{i+1}$  подается на пятый вход блока 2 с выхода 9 младшего разряда  $(i+1)$ -го блока 2 вычисления разрядных значений произведения. На выходе 9  $i$ -го блока 2 вычисления разрядных значений произведения формируется младшая в-ично-кодированная  $N$ -ичная цифра разрядного произведения  $P_m^i$ , а на выходах 10 и 11 образуется старшая в-ично-кодированная  $N$ -ичная цифра разрядного произведения  $P_c^i$  в виде двух в-ично-кодированных  $N$ -ичных цифр соответственно  $P_{c1}^i$ ,  $P_{c2}^i$  (цифра  $P_{c1}^i$  образована поразрядными в-ичными суммами, а цифра  $P_{c2}^i$  — поразрядными в-ичными переносами).

На фиг. 3 приведена функциональная схема ячейки 13, используемой в блоке 2 вычисления разрядных значений произведения на фиг. 2 для случая, когда  $v=2$ , т.е. когда в устройстве применяется двоично-кодированная система счисления с основанием  $N = 2^k$ . Ячейка 13 содержит одноразрядный двоичный сумматор 14, двухвходовой элемент И 15 и функционирует в соответствии со следующими логическими выражениями:

$$\text{Сумма } S = a \oplus d \oplus e$$

$$\text{Перенос } C = a \wedge d \vee (a \oplus d) \wedge e$$

$$\text{где } d = d \wedge f$$

Устройство для умножения работает следующим образом.

В исходном состоянии буферные регистры 3 и 4 всех модулей 12 обнулены, в регистре 1 множителя хранится без знака  $n$ -разрядный в-ичный код множителя ( $n \cdot k$  - разрядный в-ичный код множителя). В каждом из  $n$  первых тактов работы устройства на его вход 5 поступает параллельно  $K$  в-ичных разрядов множителя, начиная с его младших разрядов (предполагается, что множитель и множимое имеют одинаковую разрядность). При этом в  $i$ -ом блоке 2 вычисления разрядных значений произведения осуществляется умножение  $K$  в-ичных разрядов множителя, поступающих на

его второй вход с входа 5 устройства, на  $K$ -ичных разрядах множимого, поступающих на его первый вход с выхода 8  $i$ -го в  $K$ -ичного разряда регистра 1 множимого, и прибавление к  $K$  младшим в-ичным разрядам получившегося при этом  $2K$ -разрядного произведения через третий и четвертый входы  $K$  старших в-ичных разрядов произведения  $i$ -го блока 2, сформированных в предыдущем такте в двухрядном коде и хранимых в буферных регистрах 3 и 4  $i$ -го модуля 12, а также прибавление через пятый вход  $K$  к старшим в-ичным разрядам  $2K$ -разрядного произведения  $K$  младших в-ичных разрядов  $2K$ -разрядного произведения  $i$ -го модуля 12, формируемых в данном такте на выходе 9 ( $i+1$ )-го блока 2 вычисления разрядных значений произведения. После этого  $K$  старших в-ичных разрядов  $2K$ -разрядного произведения, представленных в двухрядном коде, с выходов 10 и 11  $i$ -го блока 2 записываются в  $i$ -ые буферные регистры 3 и 4 соответственно.

После выполнения  $n$  первых тактов работы устройства на его вход 5 поступает нулевая информация и далее осуществляется еще дополнительно  $n$  тактов, в течение которых из устройства выводится с соответствующим преобразованием информация, хранимая в буферных регистрах 3 и 4 всех модулей 12. Вывод  $2n$ -разрядного произведения сомножителей в устройстве осуществляется через его выход 7 в параллельно-последовательном коде (по  $K$  в-ичных разрядов в каждом такте). В рассмотренном случае на вход 6 коррекции устройства во всех его  $n$  дополнительных тактах подается  $K$ -разрядный в-ичный код  $\underbrace{00 \dots 000}_K$ . В тех

случаях, когда требуется получить округленное  $n$ -разрядное произведение, необходимо в самом начале процесса умножения (например, до приема сомножителей) подать на вход 6 коррекции устройства  $K$ -разрядный в-ичный код  $\underbrace{b/20 \dots 000}_K$  и произвести с не-

которой задержкой запись результатов, сформированных на выходах блоков 2 вычисления разрядных произведений, в буферные регистры 3 и 4 модулей 12. В результате этого в буфер-

ном регистре 3 последнего модуля 12 будет записан код  $\underbrace{b/20 \dots 000}_K$ , кото-

рый и позволит в процессе умножения осуществить округление результата без дополнительных временных затрат. Очевидно, что используя определенным образом вход 6 коррекции устройства, можно одновременно осуществлять операцию умножения  $n$ -разрядных в-ичных чисел  $X$  и  $Y$  с суммированием  $n$ -разрядного в-ичного слагаемого  $Z$ , т.е. в одном цикле работы устройства выполнять сложную функцию

$$Q = X \cdot Y + Z.$$

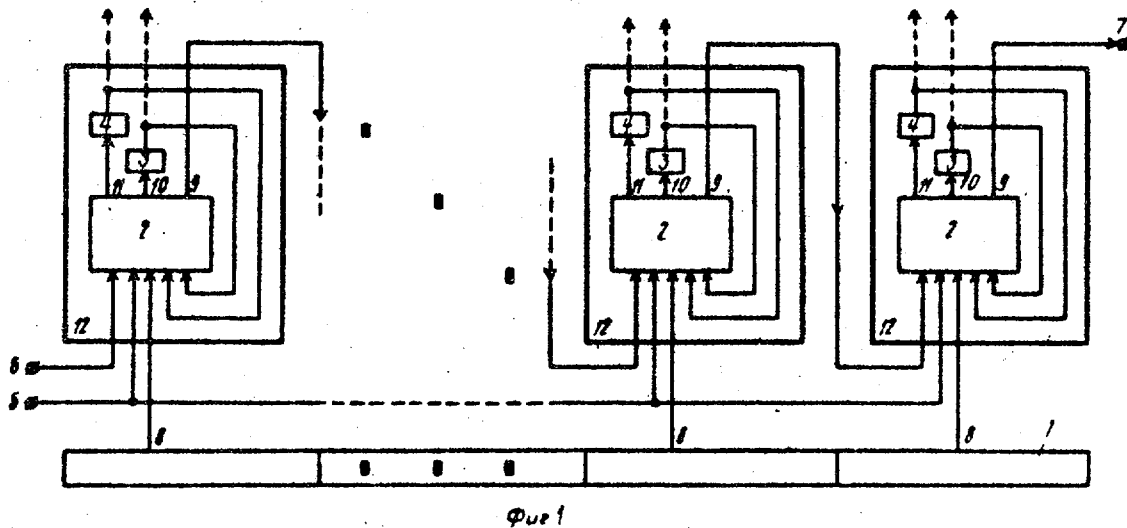
Для этого необходимо в течение  $n$  первых тактов работы устройства подавать на его вход 6 коррекции в каждом такте  $K$  в-ичных разрядов слагаемого  $Z$ , начиная с его младших разрядов, причем это прибавление может осуществляться либо к округленным  $n$  старшим разрядам произведения  $X \cdot Y$ , либо просто к усеченным его  $n$  старшим разрядам.

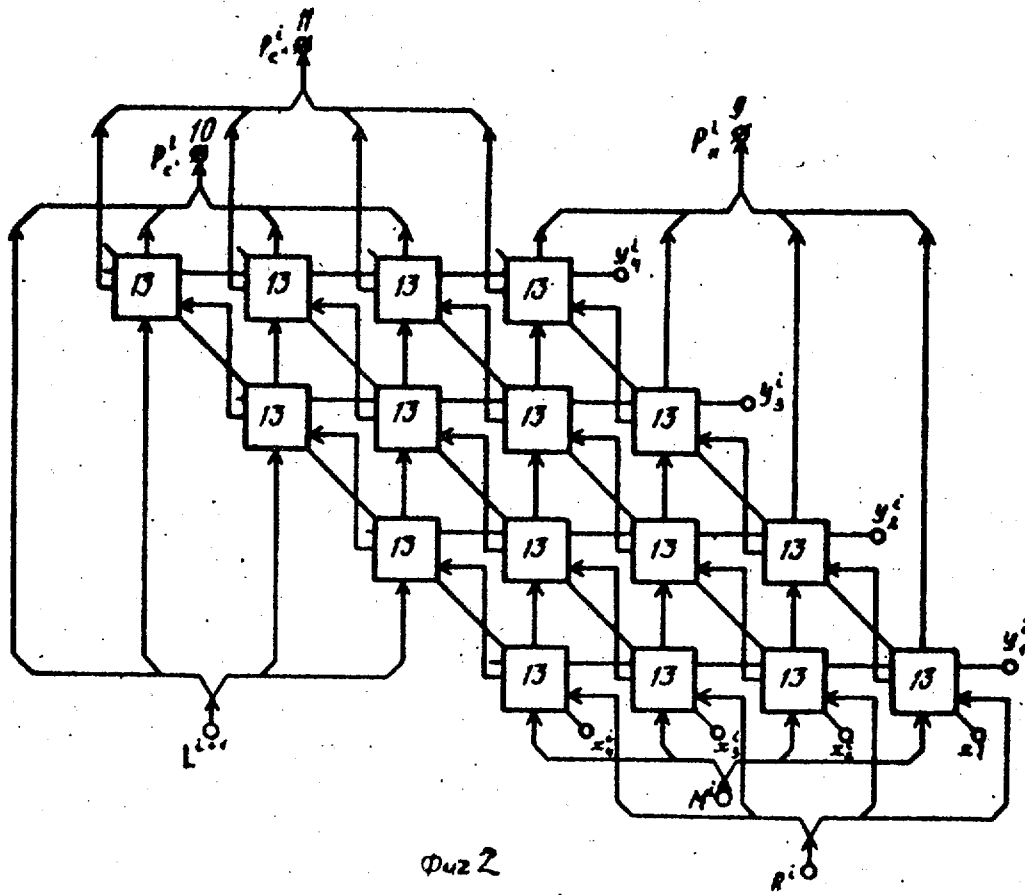
Следует особо отметить, что умножение  $n$ -разрядных чисел в предлагаемом устройстве, можно выполнять за  $(n+1)$  тактов, если после выполнения  $n$ -го такта содержимое буферных регистров 3 и 4 всех модулей 12 подать для окончательного суммирования на соответствующие входы быстродействующего двухвходового сумматора (на фиг. 1 эти дополнительные цепи передачи информации с выходов буферных регистров 3 и 4 отмечены штриховыми линиями). Это может быть целесообразным, если, например, арифметико-логическое устройство ЭВМ содержит подобный быстродействующий сумматор.

Таким образом, окончательное произведение в предлагаемом устройстве, так же как и в [4], может быть сформировано за  $2n$  или  $(n+1)$  тактов. Однако длительность выполнения одного такта в предлагаемом устройстве существенно сокращена. Действительно, пусть в известном и предлагаемом устройствах применяется в-ично-кодированная в-ичная система счисления и при реализации блоков вычисления разрядных значений произведения в известном устройстве используется быстродействующая однородная ячеечная структура, подобная описанной в [7], а в предлагаемом устройстве - ячеечная структура, изобраз-

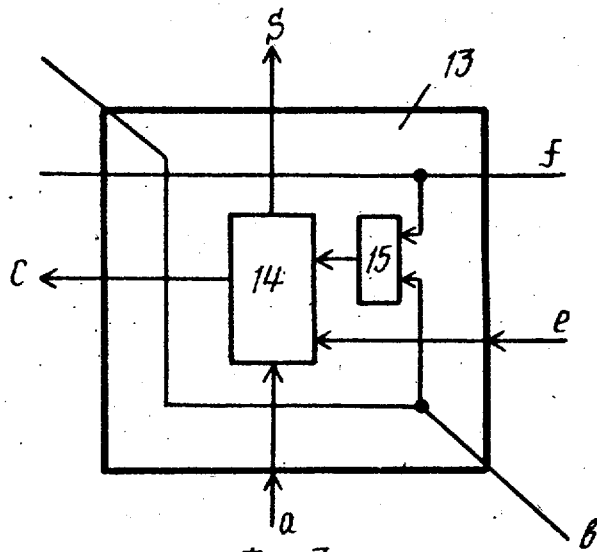
женная на фиг.2 (основное отличие структур, показанных на фиг.2,3 от структур, описанных в [7] состоит в том, что во-первых, старшая  $K$ -ичная цифра разрядного произведения формируется в виде двух цифр, т.е. в двухрядном коде, в то время, как, во-вторых структурах эта цифра образуется в однорядном коде). Тогда в предлагаемом устройстве длительность одного такта работы примерно равна  $K\tau$ , в то время, как в известном устройстве эта длительность составляет величину  $(2K-1)\tau$ , так как на приведение переносов при формировании старшей  $K$ -ично кодированной  $K$ -ичной цифры разрядного произведения в его блоках вычисления разрядных значений произведения затрачивается время  $(K-1)\tau$  (здесь через  $\tau$  обозначена задержка информации в одной ячейке блока вычисления разрядных значений произведения).

Предлагаемое устройство для умножения чисел при том же объеме используемого оборудования обеспечивает в  $(2K-1)K$  раза более высокое быстродействие, чем известное. Оно может быть изготовлено из множества однотипных взаимозаменяемых модулей, каждый из которых удобен для реализации в виде БИС, причем переход от устройства с большим к устройствам с малым форматом обрабатываемой информации и наоборот фактически сводится к пропорциональному уменьшению либо увеличению числа используемых модулей. Если соответствующие разряды регистров множимого и множителя ввести в операционные модули, то устройство будет состоять только из однотипных модулей, что делает его особенно перспективным при разработке высокопроизводительных наращиваемых микропроцессоров и микропроцессорных систем.





Фиг. 2



Фиг. 3

Составитель В. Виноградов

Редактор Н. Стащишина

Техред С. Мигунова

Корректор М. Демчик

Заказ 6231/55

Тираж 706

Подписное

ВНИПИ Государственного комитета СССР  
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4