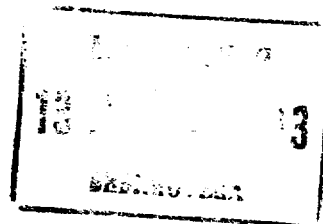




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3586399/18-24
(22) 29.04.83
(46) 07.08.84. Бюл. № 29
(72) Е.А.Верниковский, П.П.Урбанович
и В.К.Конопелько
(71) Минский радиотехнический инсти-
тут
(53) 681.327(088.8)
(56) 1. Авторское свидетельство СССР
№ 746741, кл. G 11 C 11/00,
G 11 C 29/00, 1980.
2. Авторское свидетельство СССР
№ 955209, кл. G 11 C 29/00, 1982
(прототип).

(54)(57) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, со-
держащее основной и дополнительный
накопители, числовые шины которых сое-
динены с выходами дешифратора адреса
строк, а разрядные шины - соответст-
венно с одними из выходов основных и
дополнительных усилителей, одни из
входов которых подключены соответст-
венно к выходам первого и выходам
второго формирователей сигналов запи-
си-считывания, первый триггер, выход
которого подключен к первому входу
второго формирователя сигналов запи-
си-считывания, дешифратор адреса
столбцов, выходы которого соединены
с другими входами основных усилите-
лей и одними из входов блока кодиро-
вания, выходы которого подключены к
другим входам дополнительных усилите-
лей и одним из входов блока сравне-
ния, другие входы которого соединены
с другими выходами дополнительных
усилителей, блок вывода информации
и сумматор по модулю два, первый
вход которого соединен с входами пер-
вого триггера и первым входом пер-
вого формирователя сигналов записи-
считывания и является информационным
входом устройства, причем вторые вхо-
ды первого и второго формирователей
сигналов записи-считывания и управ-
ляющий вход блока вывода информации

объединены и являются первым управ-
ляющим входом устройства, тактовый
вход первого триггера и третий вход
первого формирователя сигналов запи-
си-считывания объединены и являются
вторыми управляющими входами устрой-
ства, другие входы блока кодирования
и входы дешифратора адреса столбца
соответственно объединены и являются
одними из адресных входов устройства,
отличающееся тем, что, с
целью снижения потребляемой устройст-
вом мощности, в него введены резерв-
ные усилитель и накопитель, числовые
шины которого соединены с числовыми
шинами дополнительного накопителя,
а разрядная шина подключена к пер-
вому выходу резервного усилителя, пер-
вый вход которого соединен с выходом
третьего формирователя сигналов запи-
си-считывания, второй триггер, эле-
мент И-НЕ, элементы ИЛИ и элементы
И, причем второй вход и выход сумма-
тора по модулю два подключены соот-
ветственно к другим выходам основных
усилителей и прямому входу первого
элемента И и к первому входу элемента
И-НЕ, второй вход которого соединен
с выходом первого триггера, установоч-
ным входом второго триггера и первым
входом третьего формирователя сигна-
лов записи-считывания, второй и тре-
тий входы которого подключены соответ-
ственно к первому и второму входам
первого формирователя сигналов запи-
си-считывания, третий вход элемента
И-НЕ соединен с выходом блока сравне-
ния, инверсным входом первого элемен-
та И, первыми входами второго элемен-
та И и первого элемента ИЛИ, выход
которого подключен к второму входу
резервного усилителя, второй выход
которого соединен с вторым входом
второго элемента И, вход запуска вто-
рого триггера подключен к выходу эле-
мента И-НЕ, а выход - к второму входу
первого элемента ИЛИ и третьему входу

второго формирователя сигналов записи-считывания, выходы первого и второго элементов И соединены с входами

второго элемента ИЛИ, выход которого подключен к входу блока вывода информации.

1

Изобретение относится к вычислительной технике и может быть использовано при изготовлении больших интегральных схем запоминающих устройств (БИС ЗУ).

Известно запоминающее устройство, содержащее матрицу основных и дополнительных элементов памяти (ЭП), схемы логики обрамления, а также схемы обнаружения и исправления одиночных ошибок в слове данных (отказов в строке матрицы) [1].

Недостатком данного устройства является повышенное потребление энергии.

Наиболее близким техническим решением к изобретению является запоминающее устройство, содержащее основной и дополнительный накопители, числовые шины которых соединены с выходами дешифратора адреса строк, основные и дополнительные разрядные шины соответствующих накопителей - с основными и дополнительными усилителями записи-считывания (УЗС), первые входы основных и дополнительных УЗС связаны с выходами соответствующих схем управления записью-считыванием (СУЗС), входы основной СУЗС подключены к шинам выборки кристалла, разрешения записи и к шине информации, которая связана с входами триггера, выходом соединенного с одним входом дополнительной СУЗС, и к первому входу сумматора по модулю два, тактовый вход триггера подключен к шине разрешения записи, вторые входы УЗС связаны соответственно с выходами дешифратора адреса столбцов и блока кодирования, первыми входами подключенного к шинам кода адреса столбца, вторыми входами - к выходам дешифратора, второй вход дополнительной СУЗС связан с шиной выборки кристалла, одни из информационных выходов дополнительной СУЗС подключены к первым входам блока сравнения, вторые входы которой связаны с выходами блока кодирования, выходной блок, управляющий вход которого соединен с шиной выборки кристалла [2].

Недостатком известного устройства является повышенное потребление мощности вследствие многократной записи стирания проверочной информации в нескольких дополнительных ЭП за время непрерывной эксплуатации между включением и выключением питания,

2

так как запись проверочной информации в дополнительные ЭП производится при занесении в дефектный ЭП бита информации, не совпадающего с состоянием этого ЭП, а стирание в случае, когда бит информации совпадает с состоянием ЭП и в предыдущем обращении к ЭП записывалась информация, не совпадающая с его состоянием.

10 Целью изобретения является снижение потребляемой устройством мощности за счет однократной записи проверочной информации в дополнительные разряды опрашиваемой строки накопителя.

15 Поставленная цель достигается тем, что в запоминающее устройство, содержащее основной и дополнительный накопители, числовые шины которых соединены с выходами дешифратора адреса строк, а разрядные шины - соответственно с одними из выходов основных и дополнительных усилителей, одни из входов которых подключены соответственно к выходам первого и выходам второго формирователей сигналов записи-считывания, первый триггер, выход которого подключен к первому входу второго формирователя сигналов записи-считывания, дешифратор адреса столбцов, выходы которого соединены с другими входами основных усилителей и одними из входов блока кодирования, выходы которого подключены к другим входам дополнительных усилителей и одним из входов блока сравнения, другие входы которого соединены с другими выходами дополнительных усилителей, блок вывода информации и сумматор по модулю два, первый вход которого соединен с входами первого триггера и первым входом первого формирователя сигналов записи-считывания и является информационным входом устройства, причем вторые входы первого и второго формирователей сигналов записи-считывания и управляющий вход блока вывода информации объединены и являются первым управляющим входом устройства, тактовый вход первого триггера и третий вход первого формирователя сигналов записи-считывания объединены и являются вторыми управляющими входами устройства, другие входы блока кодирования и входы дешифратора адреса столбца соответственно объединены и

являются одними из адресных входов устройства, введены резервные усилитель и накопитель, числовые шины которого соединены с числовыми шинами дополнительного накопителя, а разрядная шина подключена к первому выходу резервного усилителя, первый вход которого соединен с выходом третьего формирователя сигналов записи-считывания, второй триггер, элемент И-НЕ, элементы ИЛИ и элементы И, причем второй вход и выход сумматора по модулю два подключены соответственно к другим выходам основных усилителей и прямому входу первого элемента И и к первому входу элемента И-НЕ, второй вход которого соединен с выходом первого триггера, установочным входом второго триггера и первым входом третьего формирователя сигналов записи-считывания, второй и третий входы которого подключены соответственно к первому и второму входам первого формирователя сигналов записи-считывания, третий вход элемента И-НЕ соединен с выходом блока сравнения, инверсным входом первого элемента И, первыми входами второго элемента И и первого элемента ИЛИ, выход которого подключен к второму входу резервного усилителя, второй выход которого соединен с вторым входом второго элемента И, вход запуска второго триггера подключен к выходу элемента И-НЕ, а выход - к второму входу первого элемента ИЛИ и третьему входу второго формирователя сигналов записи-считывания, выходы первого и второго элементов И соединены с входами второго элемента ИЛИ, выход которого подключен к входу блока вывода информации.

На чертеже приведена функциональная схема предложенного устройства.

Запоминающее устройство содержит основной 1, дополнительный 2 и резервный 3 накопителя с числовыми 4 и разрядными 5 шинами, дешифратор 6 адреса строк. Устройство содержит также основные усилители 7 с входами 8 и 9, первый формирователь 10 сигналов записи-считывания, дешифратор 11 адреса столбцов, блок 12 кодирования. На чертеже обозначены одни из адресных входов 13 и управляющие входы 14-16 устройства.

Устройство содержит также первый триггер 17, второй 18 и третий 19 формирователи сигналов записи-считывания, сумматор 20 по модулю два с вторым входом 21, первый элемент И 22, элемент И-НЕ 23, второй триггер 24, блок 25 сравнения, второй элемент И 26, первый элемент ИЛИ 27, дополнительные усилители 28 с входами 29 и 30 и выходами 31, резервный усилитель 32 с первым входом 33 и выходом 34. На чертеже обозначены

разрядные шины 35 и 36 соответственно дополнительного 2 и резервного 3 накопителей и второй вход 37 резервного усилителя 32. Кроме этого, устройство содержит второй элемент ИЛИ 38 и блок 39 вывода информации с выходом 40.

Предложенное устройство работает следующим образом.

При включении питания разряды накопителя 2 устанавливаются в нулевое состояние. При записи информации подаются сигналы выборки кристалла на вход 14, разрешения записи - на вход 15 и информации - на вход 16. В соответствии с кодом адреса опрашиваемого ЭП в накопителе 1 происходит возбуждение шин 4 и входов 9 дешифраторов 6 и 11 соответственно. Возбужденная шина 4 подключает ЭП выбранной строки накопителя 1-3 к разрядным шинам 6, 35 и 36. При этом в соответствии с сигналом на выходе 8 формирователя 10 в ЭП накопителя 1, находящимся на пересечении выбранных строки и столбца, происходит запись бита информации с входа 16. Наряду с этим в блоке 12 формируются сигналы в соответствии с входным кодом дешифратора 11, а на выходах усилителей 28 - в соответствии с сигналом на входе 29 формирователя 18, производится считывание информации с ЭП строки накопителя 2 на шины 35. Эта информация поступает на входы 31 блока 25. Если сигнал, сформированный блоком 12, поразрядно совпадает с сигналом на выходах 31, то на выходе блока 25 будет единичный сигнал и нулевой - в противном случае.

При снятии сигнала разрешения записи на входе 15 запись информации в опрашиваемый ЭП накопителя 1 прекращается и происходит контрольное считывание записанной в этот ЭП информации, а также сравнение ее на сумматоре 20 с информацией на входе 16. Одновременно с этим триггер 17 формирует сигнал разрешения записи, поступающий на входы формирователей 18 и 19. При первом обращении к дефектному ЭП накопителя 1 на выходе сумматора 20 будет единичный сигнал, а на выходе блока 25 - нулевой, так как в разрядах опрашиваемой строки накопителя 2 хранится нулевая информация. На выходе элемента И-НЕ 23 будет нулевой сигнал, а на выходе триггера 24 - единичный. Этот сигнал поступит на вход формирователя 18 и через элемент ИЛИ 27 - на вход усилителя 32. Это позволит записать в элементы памяти строки накопителя 2 логическую "1" с выхода триггера 24, а в ЭП накопителя 3 - информацию с входа 16, т.е. накопитель 3 начинает выполнять функции дефектного ЭП основного накопителя 1.

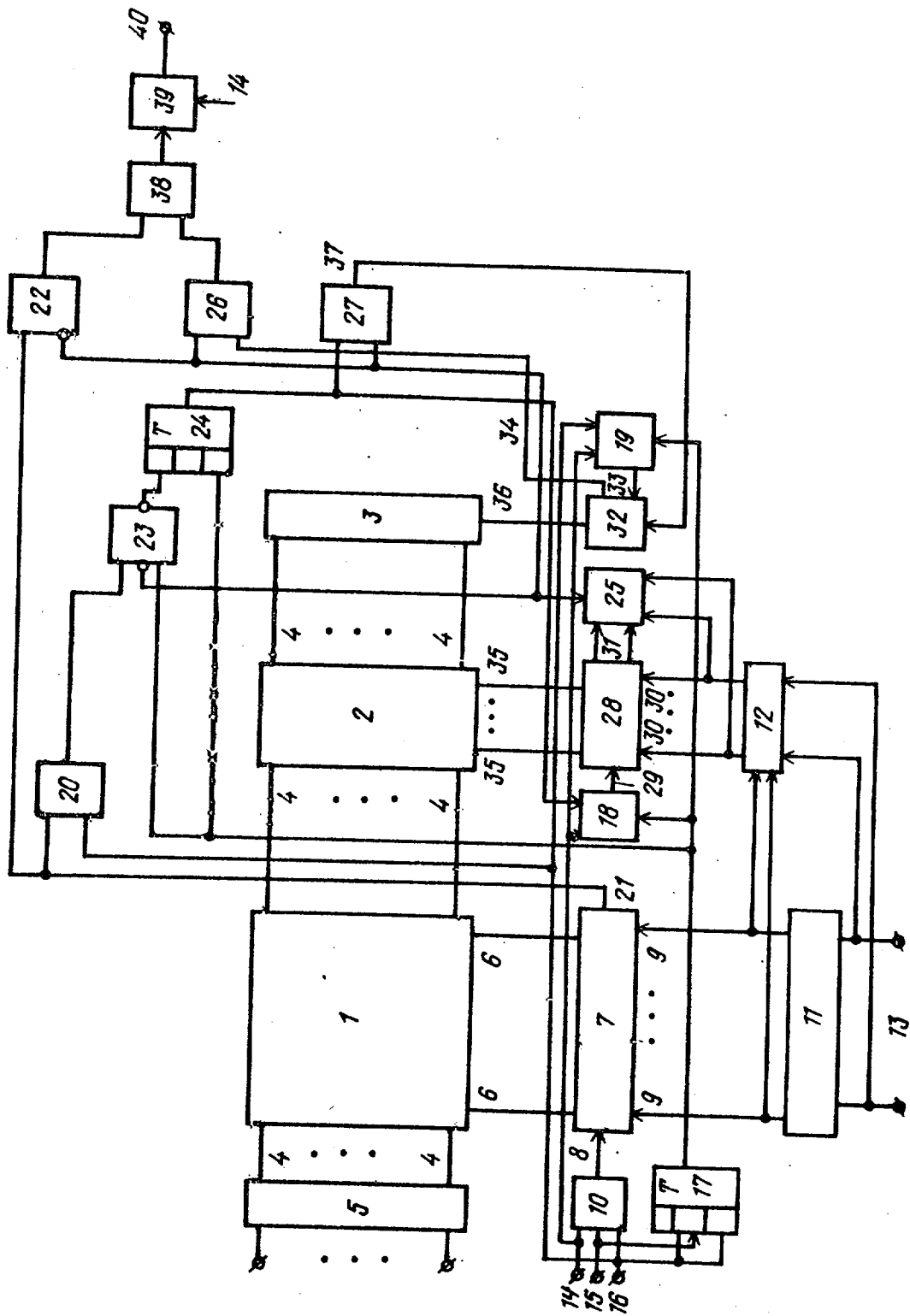
Режим считывания формируется известным логическим набором соответствующих сигналов на входах 14-16, а в накопителях 2 и 3 - соответствующими сигналами на входах формирователей 18 и 19. Сигнал о состоянии обрабатываемого ЭП накопителя 1 поступит на вход элемента И 22. Если обращение происходит к исправному ЭП, то на выходе блока 25 будет нулевой сигнал, который, поступая на вход элемента И 22, разрешит прохождение сигнала с ЭП накопителя 1 и запретит через элемент И 26 прохождение сигнала с накопителя 3.

Если же обращение происходит к дефектному ЭП, то сигналы, сформированные блоком 12 и считанные с соответствующей строки накопителя 2, будут совпадать, при этом единичный сигнал с выхода блока 25, поступив на вход элемента И 26, разрешит прохождение сигнала, считанного с накопителя 3. Этот же единичный сигнал с выхода блока 25 запретит прохождение на выход 40 устройства информации считанной с дефектного ЭП накопителя 1.

Если дефектные ЭП в накопителе 1 отсутствуют или дефектны не более одного ЭП в накопителях 2 и 3, то сигнал с выхода 21 усилителей 7 пройдет на выход 40 устройства без изменений, а в ЭП строки накопителя 3 никакая информация не заносится.

Таким образом, предложенное устройство выполняет те же функции, что и известное, однако предложенное устройство в режиме записи информации с исправлением одной ошибки потребляет энергии примерно в kn (где n - число столбцов в накопителе 2, k - число обращений к дефектному ЭП, которое может составлять сотни для известного устройства) раз меньше, поскольку за время непрерывной эксплуатации предложенного устройства только один раз включаются n дополнительных усилителей 29, являющихся основными потребителями энергии, а в дальнейшем происходит запись информации в один резервный ЭП накопителя 3.

Технико-экономическое преимущество предложенного устройства заключается в меньшем потреблении мощности по сравнению с известным устройством.



Редактор А.Шижкина Составитель Т.Зайцева
 Техред Ж. Кастелевич Корректор В.Петраш

Заказ 5764/37 Тираж 575 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4