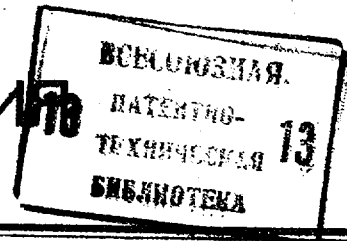




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3691005/24-24
(22) 13.01.84
(46) 07.03.85. Бюл. № 9
(72) Г.П. Лопато, А.Г. Якубенко,
А.И. Кузьмич и В.А. Черников
(71) Минский радиотехнический ин-
ститут
(53) 681.32 (088.8)
(56) 1. Авторское свидетельство СССР
№ 746515, кл. G 06 F 9/00, 1980.

2. Горин В.Г. и др. ОЗУ для
микро-ЭВМ "Электроника-60". -
"Электронная промышленность",
1983, № 3, с. 22 (прототип).

(54)(57) УСТРОЙСТВО ДЛЯ УПРАВЛЕНИЯ
ДИНАМИЧЕСКОЙ ПАМЯТЬЮ, содержащее
генератор импульсов регенерации,
счетчик адреса регенерации, комму-
татор, причем выход счетчика адреса
регенерации подключен к первому
информационному входу коммутатора,
выход которого подключен к выходу
адреса устройства, отличающ-
е е с я тем, что, с целью повы-
шения быстродействия устройства,
оно содержит три элемента И-НЕ, два
элемента И, элемент ИЛИ, элемент
ИЛИ-НЕ, реверсивный счетчик, форми-
рователь сигналов выборки и формиро-
ватель сигналов регенерации, причем
первый вход первого элемента И-НЕ
подключен к входу запроса устройст-
ва, второй вход первого элемен-
та И-НЕ соединен с входом суммирова-
ния реверсивного счетчика, вход
вычитания которого соединен с выхо-
дом генератора импульсов регене-
рации, а выход подключен к входам
второго элемента И-НЕ и соединен с
входами элемента ИЛИ-НЕ, выход ко-

торого подключен к первому входу
первого элемента И, второй вход ко-
торого подключен к выходу первого
элемента И-НЕ, а выход подключен к
первому входу элемента ИЛИ, второй
вход которого подключен к выходу
второго элемента И, первый вход
которого подключен к выходу второ-
го элемента И-НЕ, второй информа-
ционный вход коммутатора подключен
к входу адреса устройства, причем
формирователь сигналов выборки со-
держит элемент И и элемент задерж-
ки, вход элемента задержки форми-
рователя сигналов выборки соединен
с первым входом элемента И форми-
рователя сигналов выборки, выход
которого и выход элемента задержки
формирователя сигналов выборки
подключены к первому управляющему
выходу устройства, выход элемента
задержки формирователя сигналов
выборки подключен к первому входу
третьего элемента И-НЕ, выход кото-
рого подключен к второму управляюще-
му выходу устройства, а формирова-
тель сигналов регенерации содержит
два элемента задержки и формирователь
импульсов, причем выход элемен-
та ИЛИ через первый элемент задерж-
ки формирователя сигналов регенера-
ции подключен к входу формирователя
импульсов, выход которого подключен
к входу второго элемента задержки
формирователя сигналов регенерации,
выход которого подключен к второму
входу третьего элемента И-НЕ, выход
формирователя импульсов подключен к
второму входу элемента И формирова-
теля сигналов выборки, выход кото-
рого подключен к второму входу

второго элемента И, выход формирователя импульсов подключен к второму входу первого элемента И-НЕ, выход которого подключен к первому входу элемента И формирователя

сигналов выборки, выход формирователя импульсов подключен к управляющему входу коммутатора и соединен со счетным входом счетчика адреса регенерации.

1

Изобретение относится к вычислительной технике и может быть использовано в устройстве управления памятью ЭВМ, выполненной на интегральных схемах полупроводниковой динамической памяти.

Известно устройство для управления полупроводниковой памятью, содержащее блок управления, в состав которого входят счетчик тактовых импульсов, дешифратор тактовых импульсов и узел формирования и выдачи управляющих сигналов, блок регенерации информации, содержащий генератор импульсов регенерации, узел управления регенерацией и счетчик адресов регенерации, блок ввода-вывода, состоящий из генератора тактовых импульсов, регистра адреса и регистра слова, а также блок местного управления, элементы И, ИЛИ и генераторы импульсов [1].

В данном устройстве процесс регенерации выделен в отдельный режим работы и производится для всего объема адресуемой памяти в течение непрерывного интервала времени, что требует дополнительное время на регенерацию, в течение которого доступ к памяти запрещен.

Известно устройство, содержащее генератор импульсов регенерации, счетчик адреса регенерации, блок управления и коммутатор, причем выход счетчика адреса подключен к первому информационному входу коммутатора, выход которого подключен к выходу адреса устройства. В устройстве последовательность тактов регенерации разнесена во времени так, что очередной такт регенерации происходит через период времени $T^* = T_p / N$ с таким расчетом, чтобы в накопителе произошел полный перебор адресуемых частей накопителя за

2

время, равное периоду регенерации T , где N - количество тактов регенерации 2 .

Недостатком известного устройства является синхронная временная диаграмма регенерации, что приводит к возникновению конфликтов при обращении к памяти.

Цель изобретения - повышение быстродействия устройства путем уменьшения среднего времени ожидания процессора при обращении к памяти.

Поставленная цель достигается тем, что в устройстве для управления динамической памятью, содержащее генератор импульсов регенерации, счетчик адреса регенерации и коммутатор, причем выход счетчика адреса регенерации подключен к первому информационному входу коммутатора, выход которого подключен к выходу адреса устройства, введены три элемента И-НЕ, два элемента И, элемент ИЛИ, элемент ИЛИ-НЕ, реверсивный счетчик, формирователь сигналов выборки и формирователь сигналов регенерации, причем первый вход первого элемента И-НЕ подключен к входу запроса устройства, второй вход первого элемента И-НЕ соединен с входом суммирования реверсивного счетчика, вход вычитания которого соединен с выходом генератора импульсов регенерации, а выход подключен к входам второго элемента И-НЕ и соединен с входами элемента ИЛИ-НЕ, выход которого подключен к первому входу первого элемента И, второй вход которого подключен к выходу первого элемента И-НЕ, а выход подключен к первому входу элемента ИЛИ, второй вход которого подключен к выходу второго элемента И, первый вход

которого подключен к выходу второго элемента И-НЕ, второй информационный вход коммутатора подключен к входу адреса устройства, причем формирователь сигналов выборки содержит элемент И и элемент задержки, вход элемента задержки формирователя сигналов выборки соединен с первым входом элемента И формирователя сигналов выборки, выход которого и выход элемента задержки формирователя сигналов выборки подключены к первому управляющему выходу устройства, выход элемента задержки формирователя сигналов выборки подключен к первому входу третьего элемента И-НЕ, выход которого подключен к второму управляющему выходу устройства, а формирователь сигналов регенерации содержит два элемента задержки и формирователь импульсов, причем выход элемента ИЛИ через первый элемент задержки формирователя сигналов регенерации подключен к входу формирователя импульсов, выход которого подключен к входу второго элемента задержки формирователя сигналов регенерации, выход которого подключен к второму входу третьего элемента И-НЕ, выход формирователя импульсов подключен к второму входу элемента И формирователя сигналов выборки, выход которого подключен к второму входу второго элемента И, выход формирователя импульсов подключен к второму входу первого элемента И-НЕ, выход которого подключен к первому входу элемента И формирователя сигналов выборки, выход формирователя импульсов подключен к управляющему входу коммутатора и соединен со счетным входом счетчика адреса регенерации.

На фиг.1 приведена структурная схема устройства для управления динамической памятью; на фиг.2 - схема формирователя сигналов выборки; на фиг.3 - схема формирователя сигналов регенерации.

Устройство для управления динамической памятью содержит первый элемент И-НЕ 1, формирователь 2 сигналов выборки, формирователь 3 сигналов ответа, первый элемент И 4, элемент ИЛИ 5, формирователь 6 сигналов регенерации, реверсивный счетчик 7, второй элемент И-НЕ 8, второй элемент И 9, генератор 10 импульсов регене-

рации, элемент ИЛИ-НЕ 11, счетчик 12 адреса регенерации и коммутатор 13.

Формирователь 2 сигналов выборки (фиг.2) содержит элемент И 14 и элемент 15 задержки.

Формирователь 6 сигналов регенерации содержит элемент 16 задержки, формирователь 17 импульсов и элемент 18 задержки.

Предложенное устройство обеспечивает организацию следующего алгоритма регенерации. Период регенерации разбирается на $(N + m)$ интервалов с длительностью $T^* = T_p / (N + m)$. Как и в указанном алгоритме, на каждом интервале после обращения процессора к памяти в промежутке времени до следующего обращения к памяти выполняется такт регенерации. Однако, если в течение данного интервала времени происходят следующие обращения процессора к памяти, производится выполнение "резервных" m -тактов регенерации, т.е. создается буфер из m -тактов регенерации. При этом, если после выполнения k "резервных" тактов регенерации возникает пауза между обращениями процессора к памяти, то в течение интервала времени $K \cdot T^*$ не требуется выполнения такта "принудительной" регенерации. В устройстве организован счетчик буфера тактов регенерации. При выполнении каждого такта регенерации его состояние увеличивается на единицу, а по окончании интервала регенерации уменьшается на единицу. Накопленное количество "резервных" тактов регенерации не превышает m , что обеспечивается запрещением регенерации, когда счетчик принимает состояние m , после чего новый такт регенерации может выполняться уже после обращения процессора к памяти по окончании текущего интервала времени регенерации. Если в течение длительности нескольких интервалов регенерации не производится обращение процессора к памяти и происходит уменьшение счетчика буфера регенерации до нуля, производится "принудительная" регенерация. Задержки обращения процессора к памяти в данном случае возникают когда запрос от процессора поступает во время выполнения такта "принудительной" регенерации, поскольку нельзя

прервать в произвольный момент времени выполнения такта регенерации, так как это приведет к разрушению информации. Вследствие организации буфера тактов регенерации вероятность совпадения моментов "принудительной" регенерации и обращений процессора к памяти имеет значительно меньшую величину по сравнению со способами, рассмотренными выше. Ее значение зависит от величины распределения интервалов следования запросов, определяемого характером выполняемой на ЭВМ программы.

Устройство работает следующим образом.

В исходном состоянии счетчик адреса регенерации 12 находится в нулевом состоянии (сброс этого счетчика в нуль происходит циклически в процессе работы). Реверсивный счетчик 7 перед началом работы устройства может находиться в произвольном состоянии.

Работу устройства рассмотрим на примере использования элементов памяти K565РУЗ.

С выхода генератора 10 импульсов регенерации импульсы с периодом $T_p^{**} = T_p / (N+m)$ поступают на второй вход реверсивного счетчика 7, по каждому импульсу его содержимое уменьшается на единицу. На первый вход элемента И-НЕ 1 поступает запрос на обращение к памяти, а на второй вход - сигнал с выхода формирователя сигналов регенерации 6, который в свою очередь запускает формирователь 2 сигналов выборки по второму входу в режиме регенерации. С выхода элемента И-НЕ 1 на первый вход формирователя 2 сигналов выборки поступает сигнал разрешения работы с памятью, что обуславливает выработку разрешающих сигналов выборки соответственно строки и столбца (\overline{RAS} и \overline{CAS}). По окончании цикла работы с памятью с выхода формирователя 2 сигналов выборки на первый вход элемента И 4 поступает сигнал логической единицы завершения цикла обращения к памяти. Если реверсивный счетчик 7 находится в промежуточном состоянии, т.е. содержит на своих выходах как нули, так и единицы, то на второй вход элемента И 4 также поступит сигнал логической единицы с выхода элемента И-НЕ 3.

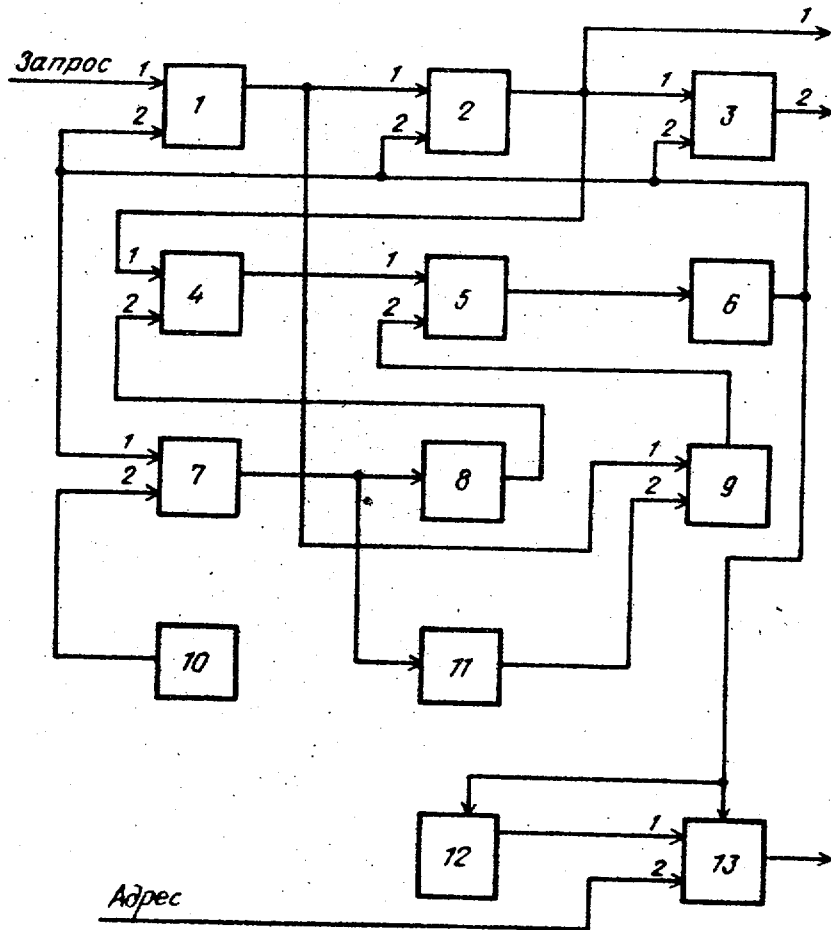
Таким образом, сразу после завершения работы с памятью по данному к ней обращению через элемент ИЛИ 5 на вход формирователя 6 сигналов регенерации поступает сигнал логической единицы, который запускает формирователь 6 для выработки сигнала начала цикла регенерации. Данный сигнал поступает на первый вход коммутатора 13 и переключает коммутатор 13 для выдачи необходимого адреса регенерации с выхода счетчика 12 адреса регенерации в накопитель, на второй вход элемента И-НЕ 1 и запрещает на время регенерации работу памяти в режиме запроса (обмена) на второй вход формирователя 2 сигналов выборки и вырабатывает управляющий сигнал выборки из памяти в режиме регенерации. Одновременно сигнал с выхода формирователя сигналов регенерации поступает на первый вход реверсивного счетчика 7 и на вход счетчика 12 адреса регенерации, где по заднему фронту каждого последующего импульса соответственно прибавляет единицу в счетчик 7 и формирует новый адрес массива ячеек памяти ЗУ, которые требуют регенерации, в счетчике 12.

При непрерывном обращении к памяти происходит накопление "резервных" тактов регенерации. Как только на выходах реверсивного счетчика 7 появляется комбинация "Все единицы" (буфер регенерации полон), на выходе схемы И-НЕ 8 появляется сигнал логического нуля, который запрещает прохождение через элемент И 4 сигналов на вход формирователя 6 сигналов регенерации для отработки очередного такта регенерации. В этом случае при поступлении очередного запроса к памяти на первый вход схемы И-НЕ 1 после завершения текущего цикла работы с памятью очередной цикл регенерации не произойдет. При отсутствии обращений к памяти по сигналам с генератора 10 импульсов регенерации, поступающим на вычитающий вход реверсивного счетчика 7, состояние счетчика 7 в некоторый момент уменьшится до нулевого, что свидетельствует о необходимости очередного "принудительного" цикла регенерации. На выходе схемы ИЛИ-НЕ 11 вырабатывается сигнал логической единицы, который

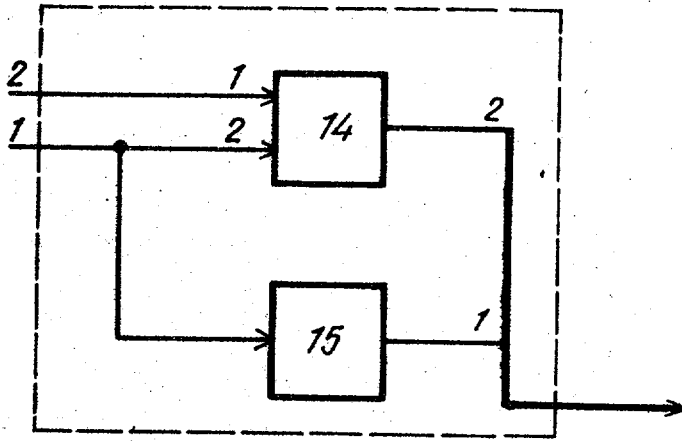
поступает на второй вход элемента И 9. На первый вход элемента И 9 поступает сигнал с выхода схемы И-НЕ 1, запрещающий цикл "принудительной" регенерации, если в данный момент времени уже происходит цикл работы с памятью по очередному к ней обращению, после которого с выхода элемента И 4 по первому входу элемента ИЛИ 5 на вход формирователя 6 сигналов регенерации поступает сигнал и обрабатывается очередной цикл "естественной" регенерации. При отсутствии же данного сигнала на первом входе элемента И 9 сигнал логической единицы с выхода элемента И 9 через второй вход элемента ИЛИ 5 поступит на вход формирователя 6 сигналов регенерации и будет обрабатываться очередной цикл "принудительной" регенерации по очередному адресу и после его завершения в реверсивный счетчик 7 по первому входу прибав-

ляется единица. Если и в дальнейшем запрос на работу с памятью не поступает, то по каждому очередному импульсу с генератора 10 импульсов регенерации, приходящему на второй вход реверсивного счетчика 7, счетчик 7 обнуляется, а на выходе схемы ИЛИ-НЕ 11 появляется сигнал логической единицы, который через элементы И 9 и ИЛИ 5 поступает на вход формирователя 6 сигналов регенерации, за чем следует очередной цикл "принудительной" регенерации по адресу, образуемому в счетчике 12 регенерации.

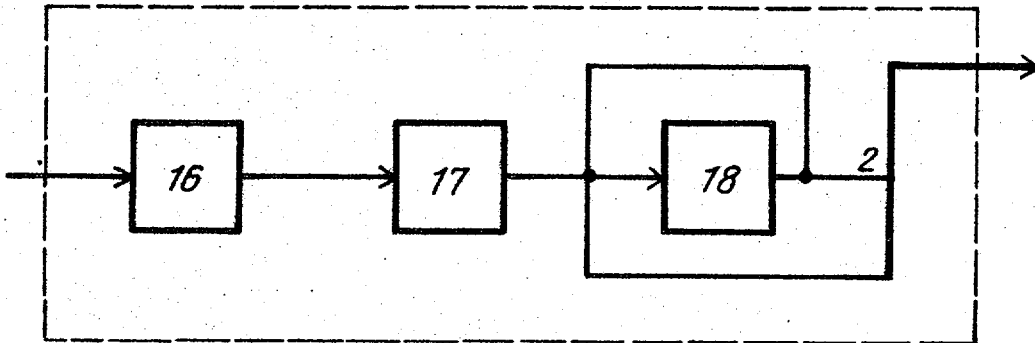
Таким образом, изобретение позволяет значительно повысить эффективность быстродействия системы процессор-память путем сокращения среднего времени ожидания процессора при обращении к памяти, что обеспечивает получение существенно-го технико-экономического эффекта.



Фиг. 1



Фиг. 2



Фиг. 3

Редактор А. Козориз Составитель М. Силин Техред А. Кикемезей Корректор М. Розман

Заказ 931/40 Тираж 710 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г. Ужгород, ул. Проектная, 4