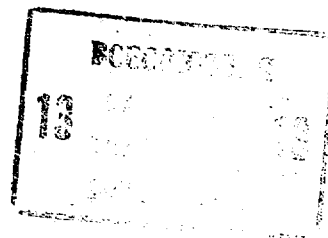




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3654671/24-24

(22) 19.09.83

(46) 23.04.85. Бюл. № 15

(72) А.В. Соловей и А.А. Шостак

(71) Минский радиотехнический институт

(53) 681.325(088.8)

(56) 1. Майоров С.А., Новиков Г.И. Структура ЭВМ.Л., "Машиностроение", 1979, с. 321, рис. 107.

2. Путков В.Н., Обросов Н.И., Бекетов С.В. Электронные вычислительные устройства. Минск, "Высшая школа", 1981, с. 225, рис. 9.14.

3. Авторское свидетельство СССР № 964640, кл. G 06 F 9/22, 1981 (прототип).

(54)(57) 1. МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ, содержащее два блока памяти, микрокоманд, коммутатор, регистр микрокоманд и блок проверки условий, причем выход кода микроопераций регистра микрокоманд является выходом устройства, группа выходов кода логических условий регистра микрокоманд соединена с первой группой входов блока проверки условий, вторая группа входов которого является группой входов логических условий устройства, информационный вход регистра микрокоманд соединен с выходом коммутатора, первый и второй информационные входы которого соединены соответственно с выходами кодов операций и логических условий первого и второго блоков памяти микрокоманд, первый

и второй выходы блока проверки условий соединены соответственно с первым и вторым управляющими входами коммутатора, отличающееся тем, что, с целью сокращения оборудования, оно содержит первый и второй блоки формирования адреса, причем, первый и второй управляющие входы первого и второго блоков формирования адреса соединены соответственно с первым и вторым выходами блока проверки условий, выходы первого и второго блоков формирования адреса соединены соответственно с адресными входами первого и второго блоков памяти микрокоманд, выходы кода адреса которых соединены соответственно с информационными входами первого и второго блоков формирования адреса.

2. Устройство по п. 1, отличающееся тем, что каждый из блоков формирования адреса содержит регистр, коммутатор и сумматор, причем выход регистра соединен с информационным входом сумматора и является выходом блока, информационный вход регистра соединен с выходом коммутатора, первый и второй управляющие входы которого являются соответственно первым и вторым управляющими входами блока, первый информационный вход коммутатора соединен с выходом сумматора, вход переноса которого подключен к шине единичного потенциала, второй информационный вход коммутатора является информационным входом блока.

Изобретение относится к вычислительной технике и может быть использовано при построении управляющих автоматов.

Известно микропрограммное устройство управления, содержащее блок памяти, регистр микрокоманд, состоящий из поля микроопераций, поля логических условий и адресного поля, счетчик адреса микрокоманд и блок проверки условий, включающий дешифратор, группу элементов И и элемент ИЛИ [1].

Недостатком этого устройства является низкое быстродействие, так как длительность автоматного тока складывается из времени счета в счетчике адреса микрокоманд, времени выборки микрокоманды из блока памяти и времени ее выполнения в операционном автомате.

Известно также микропрограммное устройство управления, содержащее блок памяти, регистр микрокоманд, состоящий из поля микрокоманд, поля логических условий и двух адресных полей, коммутатор, группу элементов И, элемент ИЛИ и элемент НЕ [2].

Хотя в сравнении с предыдущим устройством данное устройство и имеет несколько более высокое быстродействие (в нем длительность автоматного такта уменьшена на время счета в счетчике адреса микрокоманды), однако оно также обладает низким быстродействием, так как в нем выборка следующей микрокоманды не может быть осуществлена во время выполнения в операционном автомате предыдущей микрокоманды.

Наиболее близким по технической сущности к изобретению является микропрограммное устройство управления, содержащее два блока памяти, коммутатор, регистр и блок проверки условий, причем первый и второй информационные входы коммутатора соединены с выходами соответственно первого и второго блоков памяти, выход коммутатора соединен с информационным входом регистра, первый выход которого является информационным выходом устройства, второй выход соединен с информационным входом блока проверки условий, третий выход является адресным входом блоков памяти, второй информационный вход блока проверки условий является группой входов условий устройства, первый и второй выходы блока проверки условий соеди-

нены соответственно с первым и вторым разрешающими входами коммутатора [3].

Известное устройство обеспечивает значительно более высокое быстродействие по отношению к предыдущим, так как в нем длительность автоматического такта существенно сокращена за счет распараллеливания процессов выполнения текущей микрокоманды и выборки следующей. Однако недостатком его является большое количество используемого оборудования, поскольку суммарная емкость двух блоков памяти значительно превышает минимально необходимую емкость памяти, требуемую для размещения микропрограмм (минимально необходимая емкость памяти при использовании микропрограммных устройств управления равна числу операторных вершин в граф-схемах реализуемых ими микропрограмм).

Цель изобретения - сокращение количества используемого оборудования.

Поставленная цель достигается тем, что в микропрограммное устройство управления, содержащее два блока памяти микрокоманд, коммутатор, регистр микрокоманд и блок проверки условий, причем выход кода микроопераций регистра микрокоманд является выходом устройства, группа выходов кода логических условий регистра микрокоманд соединена с первой группой входов блока проверки условий, вторая группа входов которого является группой входов логических условий устройства, информационный вход регистра микрокоманд соединен с выходом коммутатора, первый и второй информационные входы которого соединены соответственно с выходами кодов операций и логических условий первого и второго блоков памяти микрокоманд, первый и второй выходы блока проверки условий соединены соответственно с первым и вторым управляющими входами коммутатора, введены первый и второй блоки формирования адреса, причем первый и второй управляющие входы первого и второго блоков формирования адреса соединены соответственно с первым и вторым выходами блока проверки условий, выходы первого и второго блоков формирования адреса соединены соответственно с адресными входами первого и второго блоков памяти микрокоманд, выходы

кода адреса которых соединены соответственно с информационными входами первого и второго блоков формирования адреса.

Кроме того, каждый из блоков формирования адреса содержит регистр, коммутатор и сумматор, причем выход регистра соединен с информационным входом сумматора и является выходом блока, информационный вход регистра соединен с выходом коммутатора, первый и второй управляющие входы которого являются соответственно первым и вторым управляющими входами блока, первый информационный вход коммутатора соединен с выходом сумматора, вход переноса которого подключен к шине единичного потенциала, второй информационный вход коммутатора является информационным входом блока.

На фиг. 1 приведена структурная схема предлагаемого микропрограммного устройства управления; на фиг. 2 - функциональная схема блока проверки условий; на фиг. 3 - функциональная схема блока формирования адреса; на фиг. 4 и 5 - соответственно граф-схема микропрограммы и принцип ее размещения в блоках памяти предлагаемого устройства; на фиг. 6 - принцип размещения в блоках памяти предлагаемого устройства микропрограммы, приведенной в описании известного устройства [3]; на фиг. 7 - размещение этой микропрограммы в блоках памяти известного устройства; на фиг. 8 - график уменьшения объема при применении предлагаемого устройства в сравнении с известным устройством в зависимости от процентного отношения числа условных вершин к операторным в граф-схемах, используемых в них микропрограмм.

Микропрограммное устройство управления (фиг. 1) содержит первый 1 и второй 2 блоки формирования адреса, первый 3 и второй 4 блоки памяти микрокоманд, коммутатор 5, регистр 6 микрокоманд, блок 7 проверки условий, выходы 8 и 9 первого и второго блоков формирования адреса, выходы 10 и 11 кода операций и логических условий соответственно первого и второго блоков памяти микрокоманд, выходы 12 и 13 кода адреса соответственно первого и второго блоков памяти микрокоманд, вы-

ход 14 устройства, группу 15 выходов кода логических условий регистра микрокоманд, группу 16 входов логических условий, первый 17 и второй 18 выходы блока проверки условий.

Блок проверки условий (фиг. 2) содержит дешифратор 19, группу элементов И 20_1-20_K (K - число логических условий), элемент ИЛИ 21 и элемент НЕ 22.

Блок формирования адреса (фиг. 3) содержит сумматор 23, коммутатор 24, регистр 25 и вход 26 переноса сумматора, подключенный к шине единичного потенциала.

Работу устройства рассмотрим на примере выполнения микропрограммы, граф-схема которой изображена на фиг. 4.

Здесь u_i (где $i = 1, 10$ является управляющей частью i -й микрокоманды, d_j (где $j = 1, 3$) - кодом j -го проверяемого логического условия, V_n (где $n = 0, 5$) и C_m (где $m = 0, 3$) - адресами ячеек соответственно блоков 3 и 4 памяти, по которым хранятся микрокоманды, при этом здесь предполагается, что отличие значений адресов V_n от V_{n+1} и C_m от C_{m+1} составляет единицу. Размещение микропрограммы в блоках 3 и 4 памяти предлагаемого устройства показано на фиг. 5. В устройстве адрес следующей микрокоманды, считываемый из блока памяти (первого 3 или второго 4), равен либо адресу предыдущей микрокоманды этого блока, увеличенному на единицу, либо определяется полем адреса предыдущей микрокоманды соседнего блока памяти.

Устройство работает следующим образом.

В исходном состоянии регистр 6 обнуляется, а в регистр первого блока 1 формирования адреса заносится начальный адрес V_0 выполняемой микропрограммы (цепи синхронизации, обнуления и занесения адреса V_0 на чертежах с целью упрощения не показаны). Так как на первый информационный вход блока 7 проверки условий поступает нулевой код, то на первом 17 и втором 18 выходах этого блока устанавливаются сигналы логической единицы и логического нуля соответственно. Сигнал логической единицы разрешает запись через коммутатор 5 управляющей части u_i микрокоманды,

считанной из первого блока 3 памяти по адресу V_0 в регистр 6, а также запись адреса V_1 в регистр первого блока 1 формирования адреса с выхода сумматора и адреса с выхода 12 первого блока 3 памяти в регистр второго блока 2 формирования адреса (для считываемой в данный момент микрокоманды этот адрес является нулевым). Запись информации в регистры блоков 1 и 2 формирования адреса и в регистр 6 осуществляется одним импульсом. Микрокоманда, считанная из первого блока 3 памяти по адресу V_0 , становится текущей и выполняется. Одновременно с ее выполнением происходит считывание следующей микрокоманды из первого блока 3 памяти по адресу V_1 , а также микрокоманды из второго блока 4 памяти по нулевому адресу. Однако поскольку в поле кода проверяемого логического уровня текущей микрокоманды находится нулевой код, то на первом 17 и втором 18 выходах блока 7 проверки условий логические сигналы не изменяются. Это приводит к тому, что в регистр 6 будет записано значение u_2 микрокоманды, считанной из первого блока 3 памяти по адресу V_1 . Так как в поле кода проверяемого логического условия этой микрокоманды также находится нулевой код, то следующей записанной в регистр 6 микрокомандой будет микрокоманда, считанная с первого блока 3 памяти по адресу V_2 , при этом в регистр первого блока 1 формирования адреса будет записан адрес V_3 с выхода его сумматора, а в регистр второго блока 2 формирования адреса - адрес S_0 с выхода 12 первого блока 3 памяти. Во время выполнения этой микрокоманды будет одновременно происходить считывание двух возможных следующих микрокоманд из первого блока 3 памяти по адресу V_3 и второго блока 4 памяти по адресу S_0 . Так как в поле кода проверяемого логического условия текущей микрокоманды находится код условия α_1 , то в зависимости от его выполнения или невыполнения будут изменены или не изменены логические сигналы на выходах 17 и 18 блока 7 проверки условий. Так, если условие χ_1 выполняется, то на первом 17 и втором 18 выходах блока 7 проверки условий вырабатываются сигналы логического нуля и логической единицы

соответственно. Они разрешат запись микрокоманды, считанной по адресу S_0 из второго блока 4 памяти в регистр 6, адреса V_1 с выхода 13 второго блока 4 памяти в регистр первого блока 1 формирования адреса и адреса S_1 в регистр второго блока 2 формирования адреса с выхода его сумматора. Если же условие α_1 не выполняется, то на первом 17 и втором 18 выходах блока 7 проверки условий останутся сигналы логической единицы и логического нуля соответственно. По ним разрешается запись значения u_4 микрокоманды, считанной из первого блока 3 памяти по адресу V_3 , адреса V_4 - в регистр первого блока 1 формирования адреса с выхода его сумматора, нулевого адреса - с выхода 12 первого блока 3 памяти в регистр второго блока 2 формирования адреса.

Подобным образом устройство работает и при выполнении других микрокоманд. В таблице, изображенной на фиг. 5, "0", и "1" в поле кода проверяемого логического условия означают нулевой и единичный коды соответственно. Значение кода "0" используется для записи в регистр 6 управляющей части и кода проверяемого логического условия следующей микрокоманды, считанной из первого блока 3 памяти, а значение "1" - для записи в регистр 6 управляющей части и кода проверяемого логического условия следующей микрокоманды, считанной из второго блока 4 памяти. Использование этих кодов позволяет разместить в блоках 3 и 4 памяти устройства любую микропрограмму.

Оценим требуемую суммарную емкость двух блоков памяти предлагаемого устройства по отношению к требуемой суммарной емкости двух блоков известного (фиг. 6 и 7) устройства. Пусть в микропрограммах, размещаемых в двух блоках памяти, содержится X операторных и Y условных вершин. При этом необходимо учитывать, что во второй блок памяти известного устройства помещаются микрокоманды, которые могут выполняться после условных вершин. Тогда число микрокоманд, расположенных в первом блоке памяти известного устройства будет определяться разностью $X-Y$ и, следовательно, требуемая емкость первого блока па-

5
 10
 15
 20
 25
 30

памяти известного устройства будет равна этому значению. Во втором же блоке памяти хранится Y микрокоманд, что как правило значительно меньше $X-Y$. Однако, так как значения адресов 5 микрокоманд, хранимых во втором блоке памяти, определяются значениями адресов соответствующих микрокоманд, хранимых в первом блоке памяти, то емкость второго блока памяти должна быть почти такой же как и первого. Как показано на фиг. 7, во втором блоке памяти хранится всего две микрокоманды, но они расположены не по адресам B_0, B_1 , а по адресам B_3 и B_5 и емкость второго блока памяти поэтому составляет 6 ячеек, что можно считать примерно равно емкости первого блока памяти. Таким образом, суммарная емкость двух блоков памяти известного устройства будет равна $(X-Y) \cdot 2$.

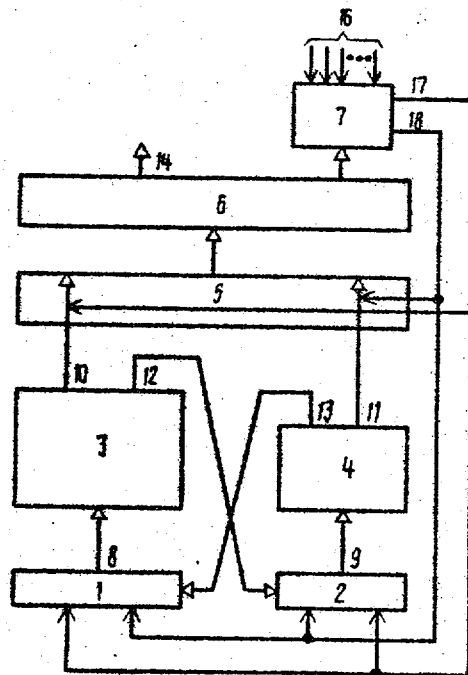
В предлагаемом устройстве суммарная емкость двух блоков памяти останется равной X (фиг. 6). Суммарная емкость двух блоков памяти в предлагаемом устройстве будет меньше, чем в известном устройстве в K раз, где K определяется соотношением

$$K = \frac{(X-Y) \cdot 2}{X} = \left(1 - \frac{Y}{X}\right) \cdot 2.$$

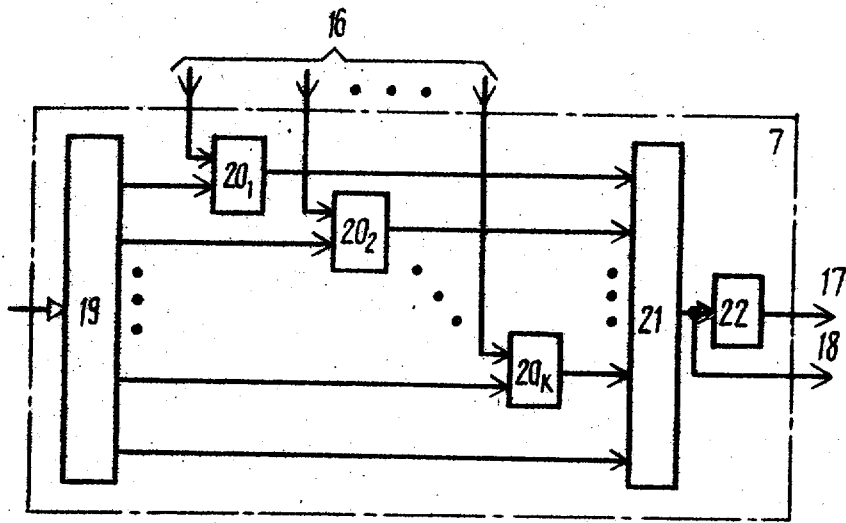
От значения $\frac{Y}{X}$, т.е. от соотношения числа условных вершин к числу

операторных, в реализуемых микропрограммах будет зависеть конкретное значение K . На фиг. 8 представлена зависимость K от $\frac{Y}{X} \cdot 100\%$. Из графика видно, что при значениях $\frac{Y}{X} \cdot 100\%$ в пределах 20-30% объем памяти при использовании предлагаемого устройства уменьшается в 1,6-1,4 раза по сравнению с известным устройством. А поскольку основные затраты оборудования при построении микропрограммных устройств управления идут на управляющую память, то применение предлагаемого устройства более экономично по сравнению с известным устройством, при этом быстродействие его останется таким же.

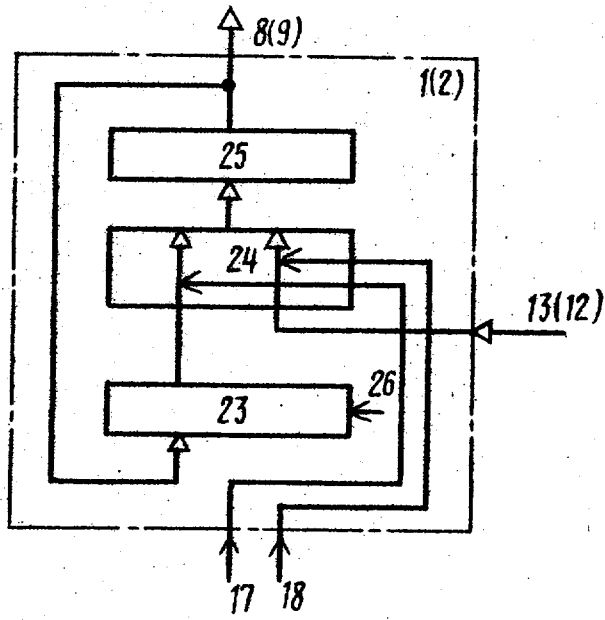
Пусть в предлагаемом и в известном устройствах число микрокоманд, расположенных во втором блоке памяти, в 2^m раз меньше, чем число микрокоманд, расположенных в первом блоке памяти, тогда длина адресного поля микрокоманд, расположенных в первом блоке памяти предлагаемого устройства, меньше, чем длина адресного поля микрокоманд, расположенных в первом блоке памяти известного устройства на m разрядов. При больших объемах первого блока памяти и малых объемах второго блока памяти этот факт также приводит к значительному сокращению оборудования.



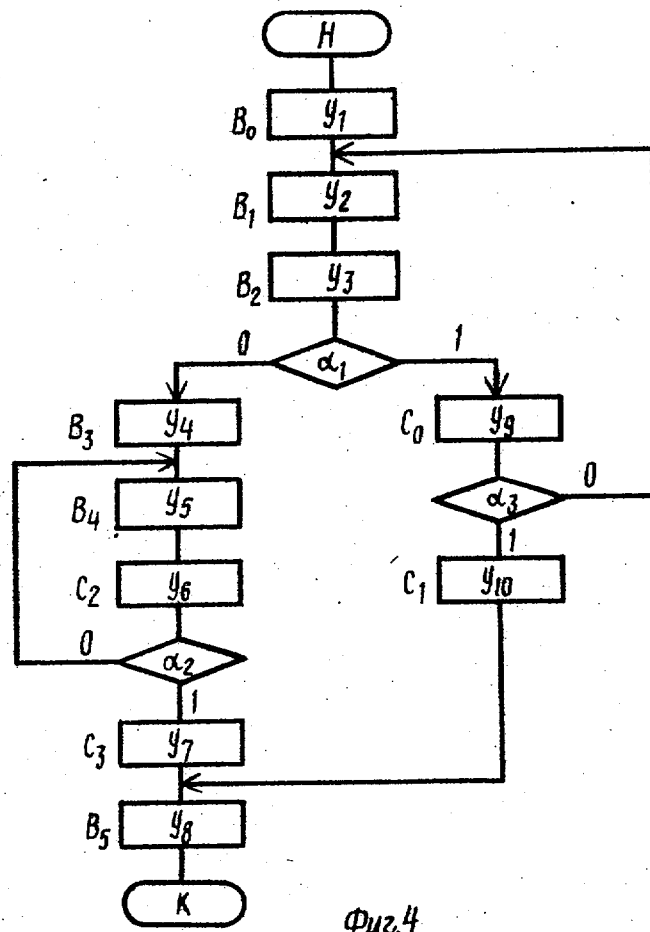
Фиг.1



Фиг. 2



Фиг. 3



Фиг.4

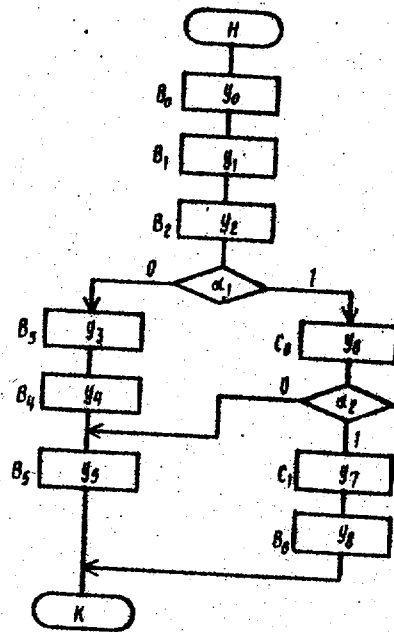
Первый блок памяти

Адрес ячейки	Управляющая часть МК	Лог. проверка логического условия	Адрес
B ₀	y ₁	0	0
B ₁	y ₂	0	0
B ₂	y ₃	α ₁	C ₀
B ₃	y ₄	0	0
B ₄	y ₅	1	C ₂
B ₅	y ₈	0	0

Второй блок памяти

Адрес ячейки	Управляющая часть МК	Лог. проверка логического условия	Адрес
C ₀	y ₉	α ₃	B ₁
C ₁	y ₁₀	0	B ₅
C ₂	y ₆	α ₂	B ₄
C ₃	y ₇	0	B ₅

Фиг.5



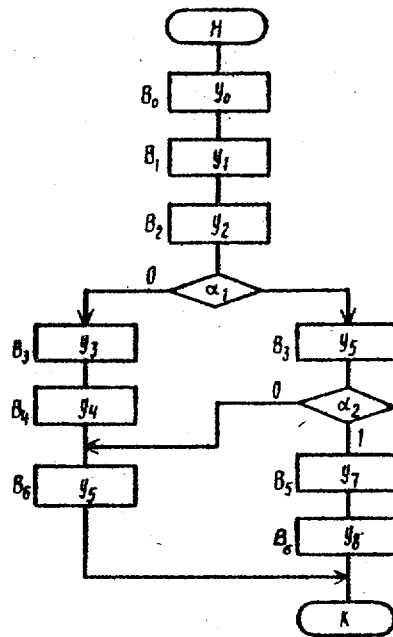
Первый блок памяти

Адрес ячейки	Управляющая часть МК	Код проверяемого логического условия	Адрес
B ₀	Y ₀	0	
B ₁	Y ₁	0	
B ₂	Y ₂	α ₁	
B ₃	Y ₃	0	
B ₄	Y ₄	0	
B ₅	Y ₅	0	
B ₆	Y ₆	0	

Второй блок памяти

Адрес ячейки	Управляющая часть МК	Код проверяемого логического условия	Адрес
C ₀	Y ₆	α ₂	B ₅
C ₁	Y ₇	0	B ₆

Фиг. 6



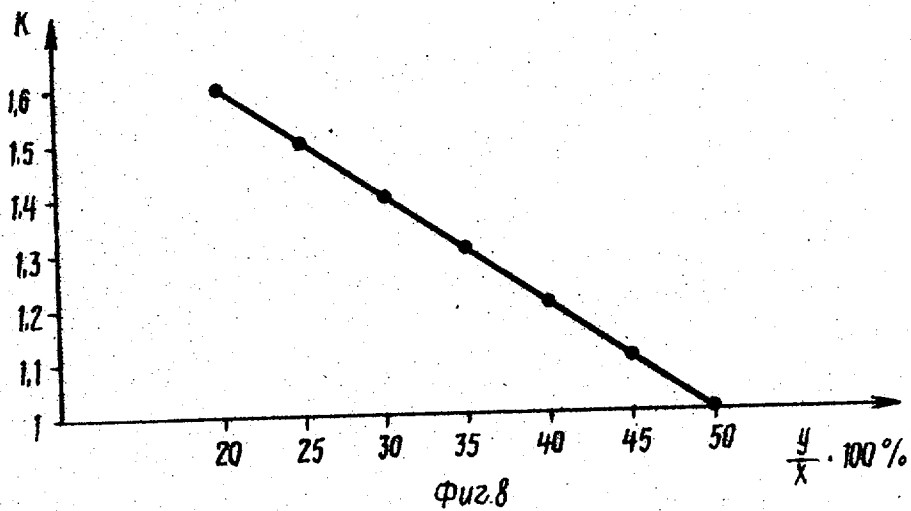
Первый блок памяти

Адрес ячейки	Управляющая часть МК	Код проверяемого логического условия	Адрес
B ₀	y ₀	0	B ₁
B ₁	y ₁	0	B ₂
B ₂	y ₂	0	B ₃
B ₃	y ₃	α ₁	B ₄
B ₄	y ₄	0	B ₅
B ₅	y ₅	0	0
B ₆	y ₆	0	0

Второй блок памяти

Адрес ячейки	Управляющая часть МК	Код проверяемого логического условия	Адрес
B ₀			
B ₁			
B ₂			
B ₃	y ₆	α ₂	B ₅
B ₄			
B ₅	y ₇	0	B ₆
B ₆			

Фиг. 7



Редактор Аг. Шандор Составитель Ю. Ланцов Техред С. Йовжий Корректор М. Максимишинец

Заказ 2324/37 Тираж 710 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4