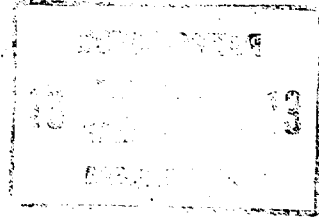




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3464691/24-07

(22) 05.07.82

(46) 07.07.85. Бюл. № 25

(72) В. В. Попов и В. Э. Пацевич

(71) Минский радиотехнический институт

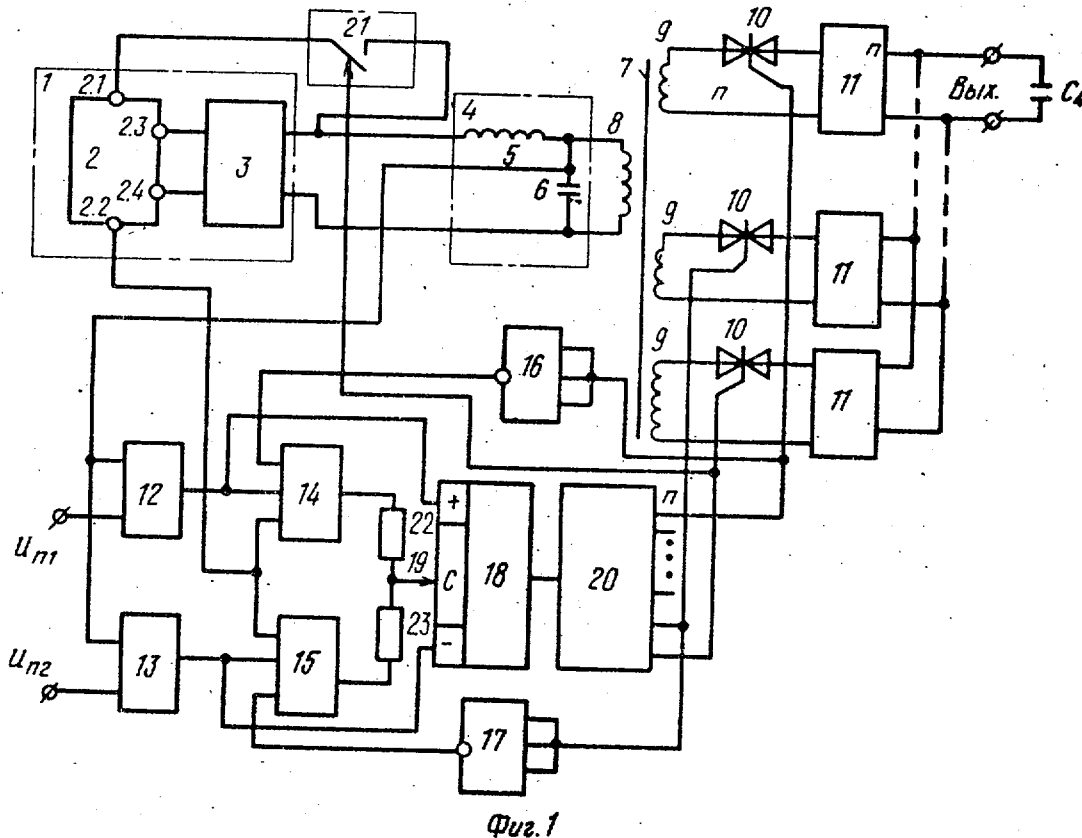
(53) 621.316.722 (088.8)

(56) Белостоцкий Б. Р., Любавский Ю. В.,
Овчинников В. Н. Основы лазерной техни-
ки. М., «Советское радио», 1972, с. 241.

Там же, с. 245.

Авторское свидетельство СССР
№ 588602, кл. Н 02 Н 7/00, 1972.

(54) (57) СПОСОБ ЗАРЯДА ЕМКОСТНО-ГО НАКОПИТЕЛЯ, заключающийся в том, что заряд накопителя производят ступенями, причем зарядный ток на каждой ступени стабилизируют путем изменения скважности напряжения электропитания, отличающийся тем, что, с целью повышения быстродействия путем увеличения коэффициента использования источника электропитания, заряд накопителя на каждой ступени производят постоянной мощностью, которую стабилизируют на каждой ступени изменением величины тока заряда.



Изобретение относится к электротехнике и может быть использовано в преобразователях тока и напряжения а также в регулируемых устройствах для заряда накопительных конденсаторов.

Целью изобретения является повышение быстродействия путем увеличения коэффициента использования источника электропитания.

На фиг. 1 приведено устройство, реализующее предложенный способ; на фиг. 2 — блок управления устройства.

Устройство выполнено из управляемого преобразователя 1 напряжения, содержащего блок 2 управления и выходной каскад 3, последовательного резонансного LC-контура 4, содержащего индуктивность 5 и конденсатор 6, трансформатора 7, содержащего первичную обмотку 8 и вторичные обмотки 9, п симисторов 10, п выпрямителей 11, первого 12 и второго 13 компараторов, первой 14 и второй 15 логической схемы И, первой 16 и второй 17 логической схемы И—НЕ, реверсивного счетчика 18, со счетным входом 19, дешифратора 20, управляемого ключа 21, первого 22 и второго 23 регистров.

Выходной каскад 3 управляемого преобразователя 1 напряжения соединен с входом резонансного LC-контура 4 и одним входом управляемого ключа 21, параллельно конденсатору 6 подключена первичная обмотка 8 трансформатора 7, точка соединения индуктивности 5 и конденсатора 6 соединена с первыми входами компараторов 12 и 13, на вторые входы которых поступают эталонные напряжения, выход компаратора 12 соединен с одним входом логической схемы И 14, выход компаратора 13 — с одним входом логической схемы И 15, а вторые входы логических схем И 14 и 15 — с тактовым выходом блока 2 управления управляемого преобразователя 1 напряжения, причем вход блока 2 управления соединен с выходом управляемого ключа, третий вход логической схемы И 14 — с выходом логической схемы И—НЕ 16, третий вход логической схемы И 15 — с выходом логической схемы И—НЕ 17, а выходы логических схем И 14 и 15 — через регистры 23 и 24 со счетным входом реверсивного счетчика 19, вход «+» прямого счета которого соединен с выходом компаратора 12, а вход «-» реверсивного счета — с выходом компаратора 13, выход реверсивного счетчика 18 — с входом дешифратора 20, первый выход которого соединен с входом логического элемента И—НЕ 17, вторым входом управляемого ключа и управляющим электродом первого симистора 10, второй выход дешифратора 20 — с управляющим электродом второго симистора 10, а п-й выход дешифратора — с управляющим электродом п-го симистора 10 соответственно и с входом логического элемента И—НЕ 16, причем первая вторичная об-

мотка 9 соединена с первым анодом первого симистора 10 и одним входом первого выпрямителя 11, второй вход первого выпрямителя 11 — с вторым анодом симистора 10, а вторая вторичная обмотка 9 — с одним входом второго выпрямителя 11 и первым анодом второго симистора 10, второй анод которого соединен с вторым входом второго выпрямителя 11, п-я вторичная обмотка 9 — с первым анодом п-го симистора 10 и одним входом п-го выпрямителя 11, второй вход которого соединен с вторым анодом п-го симистора 10, причем выходы всех п выпрямителей 11 соединены попарно-параллельно и соединены с емкостным накопителем.

Блок управления (фиг. 2) состоит из сумматора 24, интегратора 25, компаратора 26, RS-триггера 27, генератора тактовых импульсов 28, регулирующего элемента 29. Выход регулирующего элемента 29 соединен с входом сумматора 24, второй вход которого соединен с выходом 2.1 и выходом управляемого ключа 21 (фиг. 1), выход сумматора 24 — с входом интегратора 25, выход которого соединен с входом компаратора 26, выход которого соединен с R-входом RS-триггера 27, причем S-вход RS-триггера 27 соединен с выходом генератора 28 тактовых импульсов, который соединен с клеммой 2.2 и первыми входами первой и второй схемы И (фиг. 1), выходы RS-триггера — с клеммами 2.3 и 2.4 и с входом выходного каскада 3 (фиг. 1).

Способ осуществляется следующим образом.

С помощью регулирующего элемента 29 (фиг. 2) устанавливается требуемое выходное напряжение схемы И, до которого необходимо зарядить емкостной накопитель. После прихода тактового импульса с генератора 28 тактовых импульсов RS-триггер 27 включает силовые транзисторы выходного каскада 3 (фиг. 1), и на выходе преобразователя 1 напряжения появляется импульс прямоугольной формы. После того как площадь импульса на выходе преобразователя 1 напряжения станет равной площади входного сигнала (постоянного напряжения) на данном тактовом промежутке, на выходе интегратора 25 появится сигнал логического нуля и на выходе компаратора 26 также появится сигнал логического нуля, который переключит RS-триггер 4. После этого импульс на выходе управляемого преобразователя 1 прекращается. С приходом следующего тактового импульса происходит повторение всего цикла работы блока 2 управления.

Резонансный контур 4 (фиг. 1) выделяет первую гармонику выходного сигнала, и с помощью трансформатора 7 это напряжение трансформируется во вторичные обмотки 9. Так как последовательный резонансный

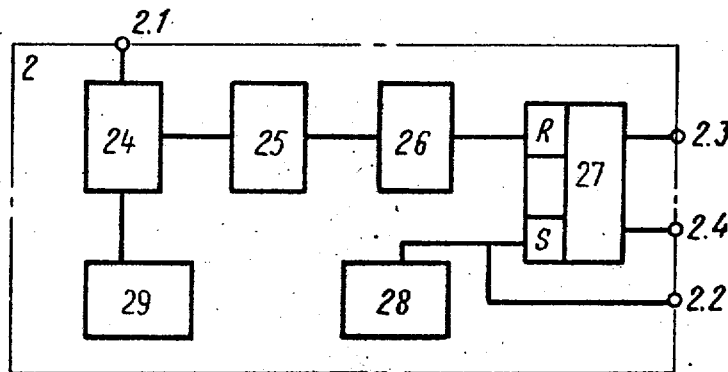
LC-контур обеспечивает стабилизацию тока в первичной обмотке трансформатора, то, следовательно, мощность, потребляемая от управляемого преобразователя напряжения, зависит только от напряжения на первичной обмотке 8 ($P_{догр} = J_{const} \cdot U$). Когда емкостной накопитель полностью разряжен, $U_c = 0$ и напряжение на первичной обмотке трансформатора 7 меньше порогового, то компаратор 12 разрешает прохождение счетного импульса на суммирующий и счетный вход реверсивного счетчика 18. Импульс на выходе реверсивного счетчика 18 устанавливает на первом выходе дешифратора 20 напряжение логической единицы, которое открывает первым симистор 10, и напряжение с первой вторичной обмотки 9 поступает на первый выпрямитель 11, к выходу которого подключен емкостной накопитель.

В момент, когда напряжение на первичной обмотке 8 трансформатора 7 достигает такой величины, что величина произведения тока через обмотку 8 и напряжения на ней оказывается равной максимальной выходной мощности управляемого преобразователя 1 напряжения, т.е. $U \cdot J_{const} = U_1 \cdot J_1 = P_m$, напряжение на выходе компаратора 12 устанавливается равным логической единице и переводит счетчик 19 импульсов в такое состояние, при котором на втором выходе дешифратора появляется напряжение управления вторым симистором 10. При этом управляющий сигнал первым симистором 10 прекращается и после перехвата тока вто-

рым симистором 10 первым отключается. Теперь по сигналу с первого выхода дешифратора включается управляемый ключ 21, который создает обратную связь и позволяет осуществить регулирование выходного тока так, чтобы поддержать постоянной выходную мощность. Блок 2 управления при наличии обратной связи осуществляет регулирование тока в первичной обмотке 8 трансформатора 7 таким образом, чтобы произведение $J_{вых} \cdot U_{вых}$ было постоянным, т.е. чтобы всегда потреблялась от преобразователя мощность, равная максимальной.

При наличии частично заряженного емкостного накопителя и подключении его к рассматриваемому устройству выход дешифратора 20 первоначально может установиться в любое из n положений. Если на выходе компаратора 12 напряжение логической единицы, то процесс заряда аналогичен, если же на выходе компаратора 13 напряжение логической единицы, что указывает на малую потребляемую мощность от преобразователя 1 напряжения, то реверсивный счетчик 19 поочередно переключает симисторы 10 до тех пор, пока не подключится одна из вторичных обмоток 9 трансформатора 7, при которой $U_{обн} \cdot J_{обн} = P_m$. Далее заряд емкостного накопителя производится аналогично рассмотренному.

При этом время, необходимое для заряда емкостного накопителя, уменьшается примерно в 2 раза, так как на всем рабочем промежутке заряд производится постоянной мощностью.



Фиг. 2

Редактор В. Данко
Заказ 4320/51

Составитель И. Никитин
Техред И. Верес
Тираж 646

Корректор А. Обручар
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4